

**科学研究費助成事業 研究成果報告書**

平成 27 年 6 月 11 日現在

機関番号：17104

研究種目：挑戦的萌芽研究

研究期間：2013～2014

課題番号：25630111

研究課題名(和文) パワーSoC(Supply on Chip)実現に向けての回路・制御技術の研究

研究課題名(英文) Investigation of control technique and circuit topology for power supply on chip

## 研究代表者

松本 聡 (Matsumoto, Satoshi)

九州工業大学・大学院工学研究院・教授

研究者番号：10577282

交付決定額(研究期間全体)：(直接経費) 3,100,000円

研究成果の概要(和文)：近年、電源の究極の小型化である1チップPOLが注目を集めている。1チップPOLは電力密度が高いものの1台あたりの電力容量が小さいため負荷電流が大きくなると多数並列接続する必要がある。また、小型化を実現するため10MHz以上の高速のスイッチングが要求される。このため制御技術が重要な課題となる。本研究では1チップPOL並列接続に適したデジタル制御技術による制御方法を提案する。また、本報告で提案した制御方法により並列接続したPOLが電圧制御可能であり広い範囲で高効率動作を実現できることをシミュレーションと実験により検証した。

研究成果の概要(英文)：In recent years, a power supply on chip (SoC) has been attracted attentions of many researchers because it realize ultimate miniaturization of a power supply. However it can handle small capacity per POL and is necessary to connect parallel at heavy loading conditions. In addition, high-frequency switching of more than 10MHz is required for shrinking the volume of the POL. In this study, we propose the novel concept of digitally controlled POLs suitable for power SoC. We also report the simulation and experimental results of the proposed concept. The results show that the proposed concepts enables to regulate output voltage and improves the efficiency over the wide range.

研究分野：集積システム

キーワード：Power SoC DC-DCコンバータ 制御 高周波

## 1. 研究開始当初の背景

低炭素社会実現に向けて、電力エネルギーへの転換が推進されており、経済産業省から出された超長期エネルギービジョンでは、2050年には2次エネルギーに占める電力の割合(電力化率)を現在の約2倍の50%まで拡大し、かつ40%を省エネする必要があることが示されている [1]。このような状況下、パワーエレクトロニクスはエネルギーの有効利用にかかわるキー技術である。このような背景のもと、パワーエレクトロニクス技術はその重要性が認識され、CoolEarth50の技術群に選定されている(「Cool Earth-エネルギー革新技術計画」経済産業省2008年)。パワーエレクトロニクスでキーとなる電力変換装置は小型化が研究開発のドライビングフォースとなり、15年で1桁程度小型化している [2]。今後、この小型化された高効率な電力変換機器を多数用いて電力を有効利用することが重要となる。具体的には、小型化した電源を多数用いることにより、新たな適用領域の創出や1台あたりの電源に流れる電流を分散することにより、高効率な電気エネルギー利用が可能となる。例えば、将来爆発的に電力消費量が増加する情報通信機器では、負荷変動が大きく低電圧大電流が要求される。このため、小型化した多数の電力変換装置を利用したきめ細かな制御技術の研究や電力変換装置の適用領域の拡大によりエネルギーの有効利用が可能となる。このような背景のもと、電源の究極の小型化の形態であるパワーSoC(Supply on Chip, 図1)

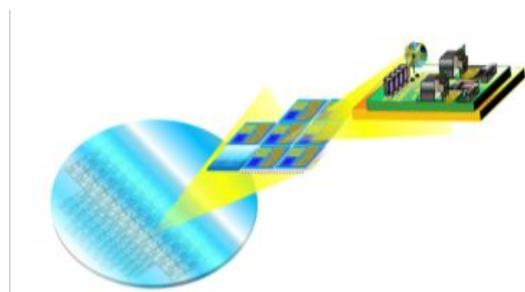


図1 パワーSoC

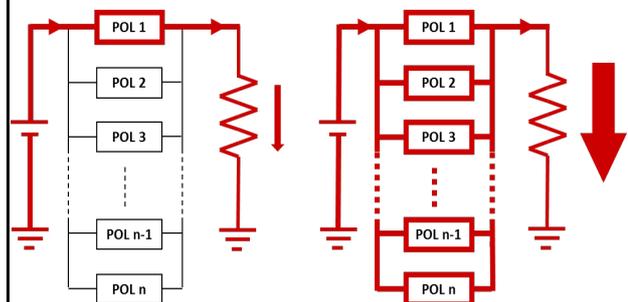
パワー半導体デバイス、これを駆動制御する回路、受動部品をワンチップに組み込む。)が注目を集めており、近年活発に研究が進められている[3]。

## 2. 研究の目的

電源を小型化するためには、その体積の大部分を占めるインダクタや、キャパシタなどの受動部品の小型化が有効であり、これらに対して、スイッチング周波数の高周波化が有効な手段のひとつである。パワーSoCを実現するためには、10MHz以上の高周波スイッチングが望まれており、将来数十MHzレベルの高周波スイッチングが必要となる[2]。また、パワーSoCでは各種部品やDC-DCコンバータの小型化と同時に電力密度の高密度化が達成できる反面、薄膜技術やMEMS技術を駆使して製造するため1台あたりの電力容量が小さく、小型化されたDC-DCコンバータの並列接続が必須となる。10MHzを超える高周波でかつ多数並列接続されたパワーSoCでは、従来のフィードバック制御によるPWM(Pulse Width Modulation)制御の適用が困難となる。本研究ではパワーSoCを実現する一環として、超高速のスイッチングが可能な新規な制御・回路技術の研究を行う。パワーSoCでは多数の小型POL(Point of Load)が多数並列接続されているという特徴を活かした新規な制御方法や回路技術を提案する。また、DSP(Digital Signal Processor)やFPGA(Field programmable Gate Array)のデジタルコードを書き換えるだけで出力電圧の変更が可能な多出力電圧のパワーSoCを提案する。

## 3. 研究の方法

図2に本研究で提案するパワーSoCの概念図を示す。本提案のパワーSoCでは、オンチップPOLが多数並列接続されており、個別のPOLに対してフィードバック制御することなく、固定の時比率で動作させ、負荷電流に応じて動作するPOLの台数を変えることにより、電圧を制御する。その結果、ス



(a) 軽負荷

(b) 重負荷

図2 パワーSoCの制御方法の概念図

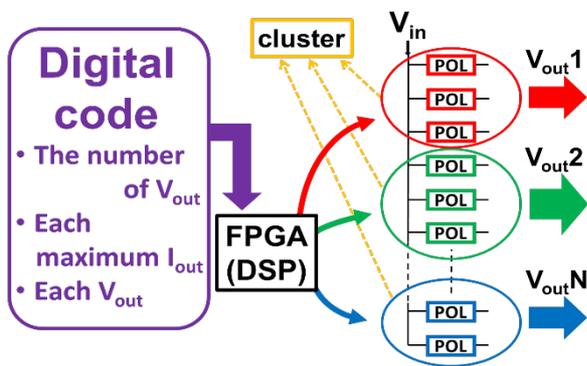


図3 多出力 Power-SoC の概略図

スイッチング周波数に依存しない制御が実現できるため DC-DC コンバータの動作の安定性が確保できる。また、負荷電流に応じて動作する POL の台数を変化させることができるため、広い負荷範囲にわたり高効率動作を実現できる。式(1)に、この制御システムにおける降圧チョップパの出力電圧変換式を示す。

$$V_o = DV_{in} - \frac{r_{DC}}{n} I_o \quad (1)$$

D はデューティ比、 $V_{in}$  は入力電圧、 $r_{DC}$  は内部抵抗、 $n$  は並列接続した POL の稼働台数、 $I_o$  は出力電流である。この制御方法では D は一定なため、式(1)より  $r_{DC}$  や  $I_o$  の増減に伴い出力電圧も増減する。そこで、POL の稼働台数  $n$  を  $r_{DC}$  や  $I_o$  の増減に応じて調整することで、出力電圧の制御を行う。

本研究で提案する多出力 Power-SoC の概略図を図3に示す。このシステムは、多数の小容量の POL を3次元に積層することで実現する。POL を出力電圧ごとに複数のクラスターに分け多出力化を外付け部品の変更なしに実現する。本提案の制御方法を用いることにより、出力電圧の数、出力電圧、最大負荷電流の3つのデジタルコードを FPGA または DSP に入力するだけで動作する。具体的にはクラスターの数が出力電圧の数と同じになり、各クラスターの POL の数が最大負荷電流に応じて決定され、さらに出力電圧の値は、クラスターごとにデューティ比を変える。

図4に出力電流検知による並列制御のフローチャートを示す[4]。N は POL の稼働台数であり、 $I_{set}$  は台数切り替えの基準となる出力電流値である。また出力電流の値は、

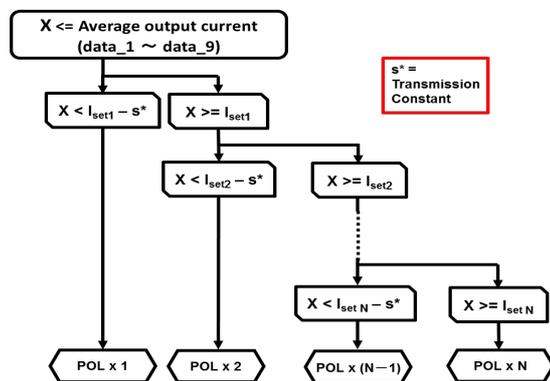


図4 出力電流検知による並列制御のフローチャート[4]

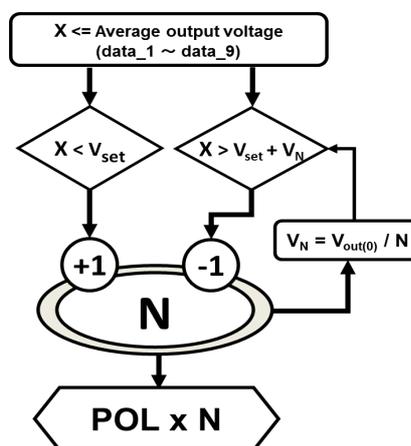


図5 出力電圧検知による並列制御のフローチャート

電流リップルやノイズの影響により発振する可能性があるため台数切り替え点にヒステリシス( $S^*$ )を設ける。具体的には AD コンバータを通して  $x$  回分の出力電流値を FPGA が読み取り、平均値を算出する。次に、出力電流の平均値( $X$ )を台数切り替え点である  $I_{set} - s^*$  や  $I_{set}$  と比較する。もし  $X$  が  $I_{set}$  より高ければ POL の稼働台数を増やし、 $I_{set} - s^*$  より低ければ稼働台数を減らすことで出力電圧を制御する。

図5に出力電圧検知による並列制御のフローチャートを示す。N は POL の稼働台数であり、 $V_{set}$  は目標出力電圧、 $V_{out}(0)$  は負荷特性の直線と Y 軸の交点である。シリアル AD コンバータを通して  $x$  回分の出力電圧値

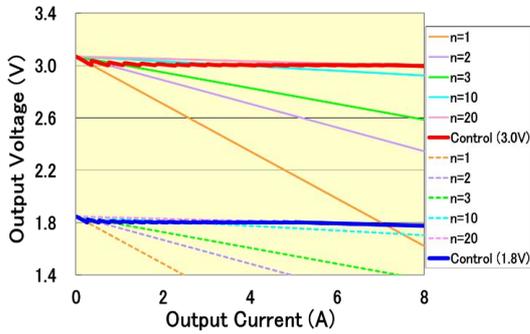


図6 出力電圧の負荷電流依存性 (シミュレーション)

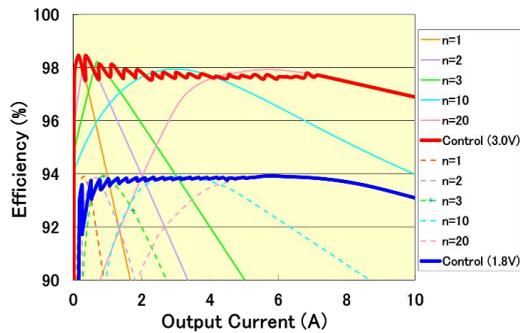


図7 効率の負荷電流依存性 (シミュレーション)

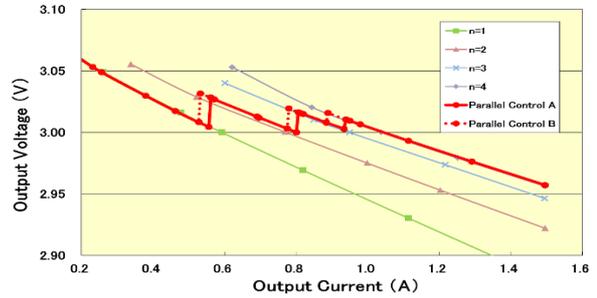
をFPGAが読み取り、平均値を算出する。次に、出力電圧の平均値(X)を目標出力電圧であるVsetやVset+VNと比較する。ここでVNとは $V_{out}(0)/N$ のことである。もしXがVsetよりも低ければPOLの稼働台数を増やし、Vset+VNよりも高ければ稼働台数を減らすことで出力電圧を安定にする。

提案する制御方法のプロトタイプ評価ボードのブロックダイアグラムと写真を図6と図7に示す。プロトタイプ評価ボードでは4台ずつ並列接続したDC-DCコンバータからなる2つのクラスターを制御する。出力電流や出力電圧はシリアル方式のADコンバータによりデジタル化された後FPGAに入力され、制御アルゴリズムをもとにゲートドライブ信号を出力する。

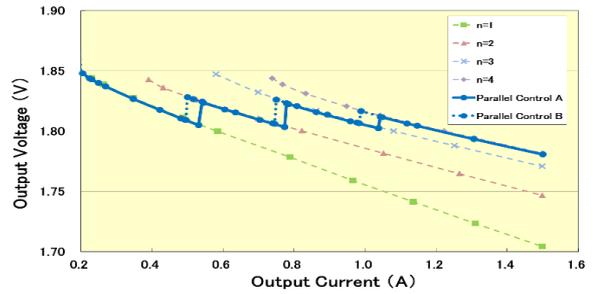
## 4. 研究成果

### 4.1 シミュレーション結果

MATLAB/Simulinkを用い、制御方法の動作検証を行った。同期整流の降圧チョッパを用いた。シミュレーションでは40台のPower-SoCを20台ずつ2つのクラスターに分けて制御を行った。図6に出力電圧の負荷



(a) 目標電圧 3.0V



(b) 目標電圧 1.8V

図8 出力電圧の負荷電流依存性 (電流制御)

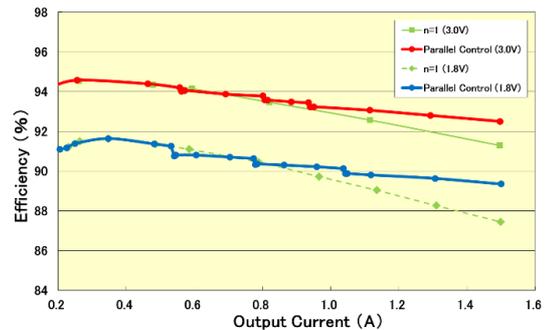
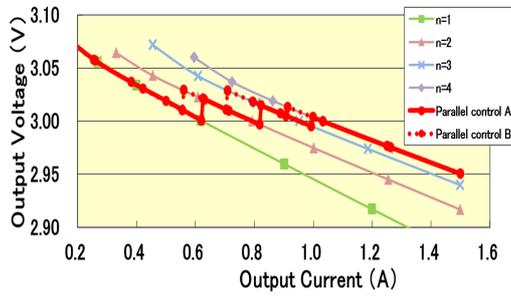


図9 効率の負荷電流依存性 (電流制御)

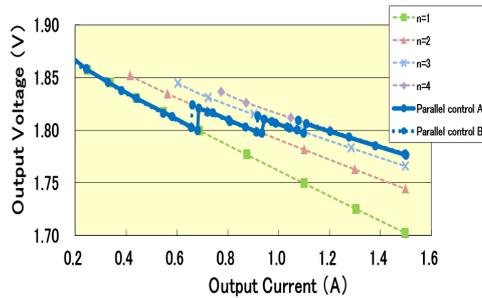
電流依存性、図7に効率の負荷電流依存性を示す。図6より、3Vと1.8Vの二つの出力電圧を同時に制御することができた。また図7より、広い負荷範囲にわたり高い電力変換効率を実現できる。

### 4.2 実験結果

負荷電流検出による多出力パワーSoCの出力電圧の負荷電流依存性と効率の負荷電流依存性を図8、図9に示す。図8に示すように3Vと1.8Vの2つの出力電圧を同時に制御することができた。また、同図の赤と青の



(a) 目標電圧 3.0V



(b) 目標電圧 1.8V

図 10 出力電圧の負荷電流依存性  
(電圧制御)

実線と点線より、ヒステリシスを設けることにより、出力電圧の発振を防止することができた。図 9 より広い負荷範囲にわたり、高い変換効率を実現した。

出力電圧検出による多出力パワーSoC の出力電圧の負荷電流依存性と効率の負荷電流依存性を図 10、図 11 に示す。図 10 に示すように3Vと1.8Vの2つの出力電圧を同時に制御することができた。また、同図の赤と青の実線と点線より、ヒステリシスを設けることにより、出力電圧の発振を防止することができた。図 11 より広い負荷範囲にわたり、高い変換効率を実現した。電圧検出による方法は、切り替え点を定めるために事前に特性を測定する必要がないこと、電流検出する必要が無いことから、電圧検出による方法が優れている。

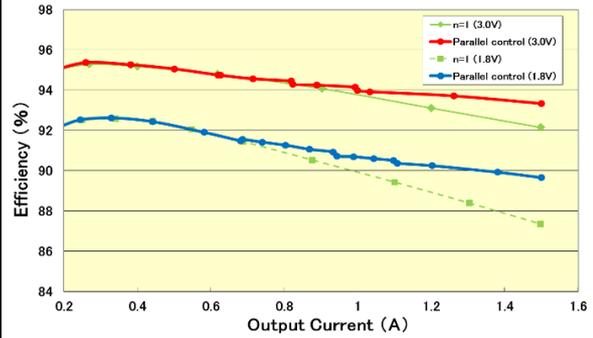


図 11 効率の負荷電流依存性  
(電流制御)

## 5. 主な発表論文等

[学会発表](計7件)

[1] 畑中政宣、赤木貴文、松本 聡、安部征哉、“空芯コイルを用いたパワーSoC 用絶縁型 DC-DC コンバータ”、信学技報(電子通信技術エネルギー研究会) EE2014-36、pp43-47、熊本、2015年1月30日。

[2] 山本貴之、安部征哉、松本 聡、“パワーSoC 用多出力 POL の制御方法”、信学技報(電子通信技術エネルギー研究会) EE2014-35、pp.37-42、熊本、2015年1月30日。

[3] T. Hashiguchi, S. Matsumoto, and S. Abe, “A novel multi-output back-boost POL architecture for power supply on chip”, International Power Supply on Chip Workshop 2014, p.67, Boston (USA), October 8, 2014.

[4] S. Abe and S. Matsumoto, “Isolated power transfer system for power supply on chip” International Power Supply on Chip Workshop 2014, p.80, Boston (USA), October 8, 2014..

[5] T. Yamamoto, S. Matsumoto, and S. Abe, “A novel concept of digitally controlled multiple output POL for power supply on chip”, 36th International communication Energy Conference, PO-33, Vancouver (Canada), October 1, 2014.

[6] S. Abe, A. Hidaka, J. Rikitake, S. Matsumoto, and T. Ninomiya, “A novel load regulation technique for power-SoC with parallel connected POLs” 2014 International Power Electronics Conference –ECCE Asia-

pp.2216-2221, Hiroshima, May 20, 2014.  
(Invited)

[7] 日高 彬, 松本 聡, 安部征哉, “電圧  
センスによる1チップPOLの制御方法の  
検討”, EDD-13-068, SPC-13-130, pp.33-38,  
大阪、2013.10.22.

## 6. 研究組織

### (1)研究代表者

松本 聡 (MATSUMOTO Satoshi)  
九州工業大学大学院工学研究院・教授  
研究者番号：10577282

### (2)研究分担者

安部 征哉 ABE, Seiya)  
九州工業大学大学院生命体工学研究科・  
准教授  
研究者番号：40423488

## 参考文献

- [1]<http://www.meti.go.jp/committee/materials/downloadfiles/g51013a41j.pdf>
- [2] H. Ohashi, “Recent Power Devices Trend” Trans. on IEEJ, vol.12, no.3, p.168, 2002.
- [3] <http://www.powersoc.org/index.php>