

平成 27 年 6 月 9 日現在

機関番号：11301

研究種目：挑戦的萌芽研究

研究期間：2013～2014

課題番号：25630118

研究課題名(和文)原子層堆積重合による縮合系耐熱高分子の積層膜形成と応用

研究課題名(英文)Thermally Stable Thin Polymeric Multi-Layer Formation with ALD

研究代表者

福島 誉史 (Fukushima, Takafumi)

東北大学・未来科学技術共同研究センター・准教授

研究者番号：10374969

交付決定額(研究期間全体)：(直接経費) 3,100,000円

研究成果の概要(和文)：気相堆積法によりポリイミド薄膜を次世代集積回路の基幹配線として期待されるSi貫通配線(TSV: Through-Silicon Via)のライナー絶縁膜として応用できる可能性を示すことができた。原子層気相堆積(ALD)のような緻密で高制御な超薄膜形成には至らなかったが、100nm以下の膜厚を10nm単位で制御でき、ALDに比べて高い成膜速度(およそ100-200nm/min)で高純度なKapton-H型のポリイミド薄膜を形成できた。アスペクト10、直径5 μ m以下のSi深穴に80%を超える高い被覆率で堆積でき、既存のプラズマCVDによるSiO₂薄膜よりも低い応力でTSVを形成することができた。

研究成果の概要(英文)：A novel approach to suppress the conventional Cu-TSV induced thermo-mechanical stress in 3D-LSI chip is proposed, fabricated and tested. In this approach, a thermal-chemical-vapor-deposition grown organic polyimide is conformably deposited along the side wall of the TSV. Compared to ALD, the thickness controllability is not so high, but relatively high thickness control with a resolution of 10 nm in thickness is realized. The deposition rate is approximately 100-200nm/min. The step-coverage is approximately 80% for high-aspect-ratio TSV with the depth of 50 μ m and the diameter of 5 μ m, and the resulting polyimide thin layer is very pure and shows high thermal stability. As-grown polymer was evaluated for their role in minimizing the thermo-mechanical stress in vicinal and via-space Si. It was found that replacing the conventional SiO₂ dielectric liner with organic polymer greatly helps in suppressing the thermo-mechanical stress.

研究分野：高分子化学

キーワード：気相堆積重合 ポリイミド TSV

1. 研究開始当初の背景

原子層堆積 (ALD: Atomic Layer Deposition) は、真空系で反応ガスの基材への吸着と排気を交互に繰り返し、原子レベルで緻密な薄膜を堆積する成膜手法であり、深い溝などに対して極めて段差被覆性が高く、LSI(大規模集積回路)の製造工程で近年用いられている。本研究では次世代の集積回路として高い期待がかかる三次元積層型 LSI に使われるシリコン貫通配線 (TSV: Through-Si Via) への応用を想定している。TSV で問題視されているのは、従来のプラズマ CVD(化学的気相堆積)で成膜した SiO₂ では、十分な厚さと被覆率を達成できない点である。

2. 研究の目的

本研究では、この ALD 法、もしくは分子層堆積により、耐熱有機材料として知られるポリイミドを主とした縮合系高分子の積層膜形成に挑戦する。これまで湿式の溶液重合とスピン塗布で得ていた単層の薄膜を形成するだけでなく、ナノレベルで厚さ方向に構造と特性を制御した異方性の多層膜を創製し、次世代集積回路として注目される三次元積層型 LSI の基幹配線となる TSV への応用に向けた実現可能性を探る。

3. 研究の方法

気相堆積によるポリイミドの成膜は、ULVAC 社製 VED-3000 を利用した。主に、酸二無水物としてピロメリット酸二無水物 (PMDA)、ジアミンとして 1,4-オキシジアニリン (ODA) を採用し、無溶媒で真空度 0.05-5Pa 程度の高真空で堆積させた。成膜温度は 180 から 220 とした。モノマーの供給量は 20mmol から 100mmol の間で調製した。供給装置の構成を図 1 に示す。

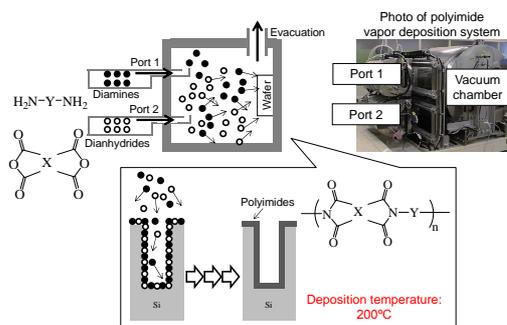


図 1 気相堆積によるポリイミド成膜装置

4. 研究成果

平成 25 年度には、上記ジアミンと酸二無水物を真空加熱し、200 に昇温した 8 インチシリコンウェーハ上へ気相堆積させることにより、耐熱性の高い芳香族系のポリイミドを得ることができた。膜厚を 100nm 以下から 3000nm 程度まで制御でき、特にスピンコート法では制御が難しい 500nm 以下の膜厚で高い面内均一性 (5%以内) を達成できた。

ポリイミドの構造は、赤外分光法により 1680cm⁻¹ 近辺のアミドの吸収が無いこと、および 1380, 1720, 1780cm⁻¹ のイミド C-N 伸縮、イミド C=O 対称伸縮、イミド C=O 非対称伸縮振動のピークから確認した (図 2)。また、昇温ガス脱離分析より、350 以下の温度で水分子の脱離が観測できないことからイミド化率が極めて高いことも確認できた。さらに、スピンコート法で製膜されたポリイミドに比べて、シリコンウェーハに対する密着性が同等であることをマイクロクラッチ試験により評価できた。

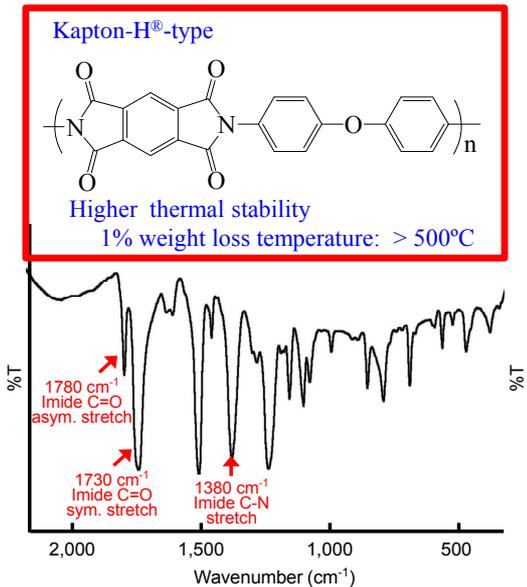


図 2 気相堆積重合により製膜したポリイミド薄膜の IR スペクトル

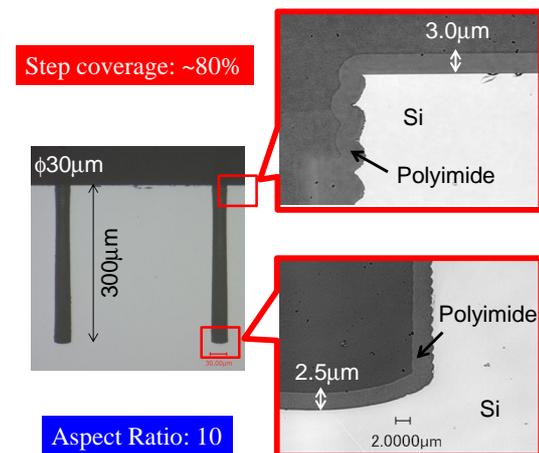
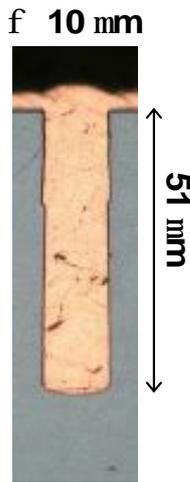


図 3 気相堆積により Si 貫通孔に堆積させたポリイミド絶縁膜の断面写真

シリコン貫通配線のライナー絶縁膜への適用性を検討するために直径 30 μm / 深さ 300 μm、直径 5 μm / 深さ 50 μm のアスペクト比 10 のシリコンビアに対して、非常に高い被覆率で成膜することができた。一般的に

使用されるテトラエトキシエタン (TEOS) を用いたプラズマ CVD では、被覆率が 15% 程度であるのに対し、本研究の気相堆積法は 200 °C の低温で製膜しているにもかかわらず、被覆率は約 80% であった (図 3)。

ポリイミドを気相堆積させた後に、売垂層として Ti 薄膜 500nm、シード層として Cu 薄膜約 1000nm をイオナイズドスパッタにより形成し、その後電解 Cu めっきにより Si 深穴を Cu により充填した。その結果を図 4 に示す。この図から分かるように、ポイドやシームなく、TSV を形成することに成功した。



A. R. 5.1

図 4 ポリイミドライナー絶縁膜を用いた Cu-TSV の断面写真

平成 26 年度には、気相堆積ポリイミドの三層積層構造を形成することに成功した。連続して厚さ 2 μm のポリイミド構造を堆積し、その高い被覆率 (80% 以上) と耐圧 (絶縁破壊電圧は約 400V/μm) を確認した。図 5 の I-V 特性から、厚いポリイミドでは SiO₂ に比べて十分に低いリーク電流を示すことが分かる。

電解めっきにより Cu を埋め込んだ後のポリイミドライナー絶縁膜付 Cu-TSV では、TSV 間の Si にかかる応力が、SiO₂ ライナー絶縁膜付 Cu-TSV に比べて劇的に低いことが判明した。この結果をマイクロラマン分光法で評価した結果を図 6 に示す。

この現象は非常に興味深く、この応力低減メカニズムを追究した。成膜温度はどちらも 200 °C であった。ウェーハ上に成膜下際の内部応力は、気相堆積ポリイミドで約 40MPa の引張応力であるのに対し、TEOS を用いたプラズマ CVD で堆積した SiO₂ は 110MPa の圧縮応力であった。気相堆積ポリイミドの CTE (熱膨張係数) が 25ppm/K であり、プラズマ CVD により堆積した SiO₂ の CTE は 2ppm/K であった。一方、Si と Cu の CTE は、それぞれ 3ppm/K、17ppm/K であるため、CTE では説明ができなかった。ヤング率を比較すると、プラズマ SiO₂ では 50-60GPa であるのに対して、気相

堆積ポリイミドでは 3-4GPa と 1/10 以下の低弾性である。この応力の違いは、ライナー絶縁膜のヤング率によって支配されていることが分かった。ピアラスト方式で気相堆積ポリイミドライナー絶縁膜を用いて TSV のデジチェーンを形成した結果、直径 20 μm / 深さ 40 μm の TSV1 本あたりの抵抗 (Cu 配線と接触抵抗を含む) は 19.2mΩ 良好な電気的特性を示した。

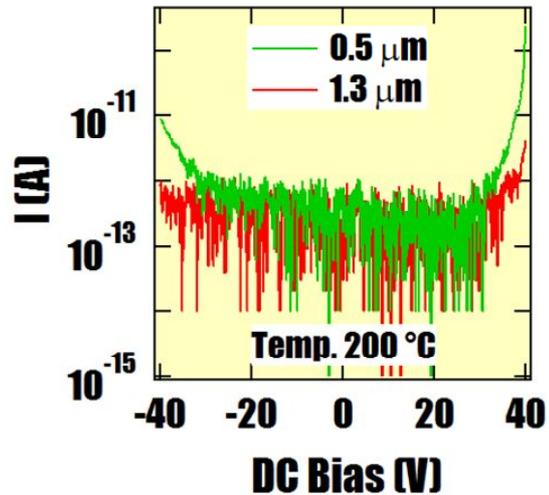
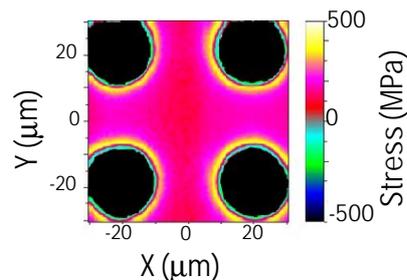


図 5 気相堆積重合により成膜したポリイミド薄膜の I-V 特性

P-TEOS oxide liner



Polyimide liner

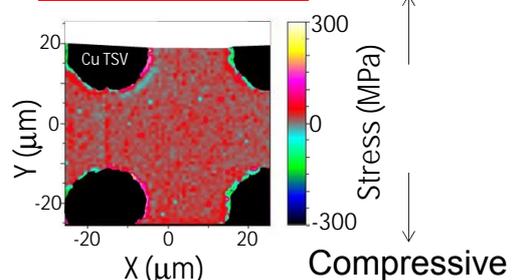


図 6 SiO₂、あるいは気相堆積ポリイミド絶縁膜を用いた TSV の応力マッピング

以上、成膜性の観点から、次世代の集積回路として期待のかかる三次元積層型集積回路への適用性が高いことを実証できた。

5. 主な発表論文等
(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計1件)

1. M. Murugesan, T. Fukushima, J.C. Bea, Y. Sato, H. Hashimoto, K.W. Lee, and M. Koyanagi, "Highly Beneficial Organic Liner with Extremely Low Thermal Stress for Fine Cu-TSV in 3D-Integration", IEEE International Electron Devices Meeting (IEDM) Technical Digest, (2014), 374-377. (査読有り)
DOI: 10.1109/IEDM.2014.7047054

[学会発表](計6件)

1. 福島誉史, Murugesan Mariappan, 裊志哲, 橋本宏之, 佐藤 優, 李 康旭, 小柳光正 東北大学, "高分子材料を用いた三次元集積技術 III: 気相堆積ポリイミド TSV ライナーの形成と特性評価", 第29回 エレクトロニクス実装学会春季講演大会 東京大学本郷キャンパス, 東京, 2015年3月17日(火)
2. Takafumi Fukushima, Murugesan Mariappan, Jichol Bea, Kang-Wook Lee, and Mitsumasa Koyanagi, "Characterization of Vapor Deposited Polyimides and Process Integration with the Polymeric Liner for Via-Last/Backside-Via Cu-TSV Formation", Extended Abstract of International Conference on Solid State Devices and Materials (SSDM), (2014), 720-721, 2014年9月9日, つくば国際会議場, つくば
3. Murugesan Mariappan, Takafumi Fukushima, JiChel Bea, Hiroyuki Hashimoto, Yutaka Sato, Kangwook Lee, Tetsu Tanaka and Mitsumasa Koyanagi, "Replacing the PECVD-SiO₂ in the Through-Silicon Via of High-Density 3D LSIs with Highly Scalable Low Cost Organic Liner: Merits and Demerits", Proceedings of the 64th Electronic Components and Technology Conference (ECTC), (2014), 636-640, 2014年5月28日, オランダ、米国
4. 福島誉史, "気相堆積重合ポリイミドを用いたTSVライナー形成", 応用物理学会シリコンテクノロジー分科会 第169回 配線技術研究集会, 2014年2月28日, 機械振興会館, 東京(招待講演)
5. T. Fukushima, M. Murugesan, J. Bea, K.W. Lee, M. Koyanagi, "Low-Temperature and High-Step-Coverage Polyimide TSV Liner Formation by Vapor Deposition Polymerization", Extended Abstract of International Conference on Solid

State Devices and Materials (SSDM), (2013), p.866-867, 2013年9月27日, ヒルトン福岡シーホーク, 福岡

[図書](計0件)

[産業財産権]
出願状況(計1件)

名称: 半導体装置およびその製造方法
発明者:
小柳光正、福島誉史、李康旭、田中徹
権利者: 国立大学法人 東北大学
番号: 特願 2014-098449
出願年月日: 2014年5月12日
国内外の別: 国内

取得状況(計0件)

[その他]
ホームページ等
<http://www.ginti.niche.tohoku.ac.jp/>

6. 研究組織

(1)研究代表者
福島 誉史 (Takafumi, Fukushima)
東北大学 未来科学技術共同研究センター
准教授
研究者番号: 10374969

(2)研究分担者
マリアッパン ムルゲサン
(Mariappan, Murugesan)
東北大学 未来科学技術共同研究センター
産学官連携研究員
研究者番号: 10509699

裊志哲 (Jichel, Bea)
東北大学 未来科学技術共同研究センター
助教
研究代表者: 40509874