

平成 26 年 6 月 2 日現在

機関番号：12601

研究種目：挑戦的萌芽研究

研究期間：2013～2013

課題番号：25630135

研究課題名(和文) サブ100mV動作を目指した超低電圧MOSトランジスタの基礎研究

研究課題名(英文) Basic research on ultra-low voltage MOS transistors aiming at sub-100mV operation

研究代表者

平本 俊郎 (Hiramoto, Toshiro)

東京大学・生産技術研究所・教授

研究者番号：20192718

交付決定額(研究期間全体)：(直接経費) 3,100,000円、(間接経費) 930,000円

研究成果の概要(和文)：本研究の目的は、100mVという超低電圧で動作する半導体デバイスを実現するための挑戦的基礎研究を行うことである。超低電圧で高いオン・オフ比を得るために、トランジスタのオン時にしきい値電圧( $V_{th}$ )が自動的に下がり、オフ時に $V_{th}$ が自動的に上がる機構に注目し、このような機構を有する浮遊ゲート構造MOSトランジスタを提案した。実際に本構造のトランジスタを試作し、オン時の $V_{th}$ 上昇とオフ時の $V_{th}$ 低下を観測し、しかもこの現象が100mVという超低電圧でも起こることを確認した。さらに、SRAMの安定性が100mVという低電圧でも向上することを実験的に確認した。

研究成果の概要(英文)：The objective of this research is to develop a semiconductor device operating at as low as 100mV. In order to obtain high on/off ratio at low voltage, a MOS transistor with a floating gate is proposed, where threshold voltage ( $V_{th}$ ) automatically decreases in the ON state while  $V_{th}$  increases in the OFF state. The device was actually fabricated, and the decrease in  $V_{th}$  in the ON state and the increase in  $V_{th}$  in the OFF stage was demonstrated at as low as 100mV. It was also demonstrated that the stability of an SRAM cell was improved at 100mV.

研究分野：工学

科研費の分科・細目：電気電子工学・電子デバイス・電子機器

キーワード：電子デバイス・集積回路 超低エネルギー 半導体物性 MOSトランジスタ 大規模集積回路 超低消費電力 サブスレッショルド

### 1. 研究開始当初の背景

MOS トランジスタで構成される VLSI は、更なる性能向上が強く要求されているが、最大の障害は消費電力の爆発的増大であり、動作電源電圧  $V_{dd}$  の低減が必須である。歴史的に VLSI の  $V_{dd}$  は年々低下したが、ここ 5-6 年は 1.0V 程度で高止まりしてしまった。理由はオン・オフ比劣化とばらつき増大などである。現状では VLSI を 0.4V で動作させることも困難であり、NEDO のプロジェクト等で  $V_{dd}$  の低減に向けた努力が行われている。

ここで、もし  $V_{dd}$  をさらに下げることができたら、どのような劇的な変化が起こるかを考える。 $V_{dd}$  を下げると、当然ながら消費電力は下がるが動作速度が遅くなる。一方、消費エネルギーは Power と Delay の積で与えられ、 $V_{dd}=0.3V$  付近で最小となることが知られている。この事実の意味するところは、現状の  $V_{dd}=1V$  程度の VLSI は高速性を重視するあまり、同じ量の情報処理を行う際にエネルギーを大量に無駄に使用しているという点である。エネルギー効率を考慮すれば  $V_{dd}$  はもっと下げるべきである。さらに、将来的にサブスレッショルド係数  $S$  を小さくすることができれば、 $V_{dd}=0.1V$  未満でエネルギーは最小となり、現状の 1/100 程度まで劇的に下がることがわかる。これはエネルギーの無駄を排した究極のエレクトロニクスであると考えられる。

### 2. 研究の目的

本研究では、消費エネルギーの劇的削減を目的に、従来にない 100mV という圧倒的な超低電圧でトランジスタを動作させるための基礎研究を行うことを目的とする。期間内に、後述する提案デバイスのプロトタイプを実際に試作し、 $V_{dd}=100mV$  で良好なオン・オフ特性を示すことを実証することを目指す。

### 3. 研究の方法

100mV でトランジスタを動作させるために、本研究では、オン時にしきい値電圧 ( $V_{th}$ ) が下がり、オフ時に  $V_{th}$  が上昇するトランジスタを提案した。デバイス構造は、浮遊ゲート (FG) を有する MOS トランジスタである。

図 1 に、通常の浮遊ゲート MOS トランジスタを示す。FG とチャネルの間の酸化膜が非常に薄く、ゲート電圧を印加するとチャネルから電子が FG にトンネルで注入される。この場合、特性は図 2 のようになる。即ち、オン時に FG に電子が注入されるので、 $V_{th}$  が上昇してしまう。これは所望のデバイスとは逆の動きである。

そこで、本研究では図 3 のデバイス構造を提案した。FG と制御ゲート (CG) の間のトンネル酸化膜が非常に薄く、電子は CG から FG

にトンネルで注入される。このデバイス構造では、特性は図 4 のようになることが予想される。即ち、オフ時に CG から FG に電子が注入され、 $V_{th}$  が上昇する。一方、オン時には FG から電子は CG に放出され、 $V_{th}$  は低下する。特性にはヒステリシスが存在することになるが、ゲート電圧  $V_{gs}$  をゆっくりスキャンすると、ちょうど中間の特性を示すことになる。これにより、低電圧でも高いオン/オフ比が得られることが期待される。

このような動作を示すデバイスを、しきい値電圧自己調整トランジスタと呼ぶことにする。このトランジスタでは、 $V_{th}$  の変化に時間遅れ  $T_{trans}$  が生じることになる。もともと 100mV で動作するデバイスや回路は高速ではないので、トンネル酸化膜の厚さを調整することで  $T_{trans}$  を適切な値に設定することが可能である。

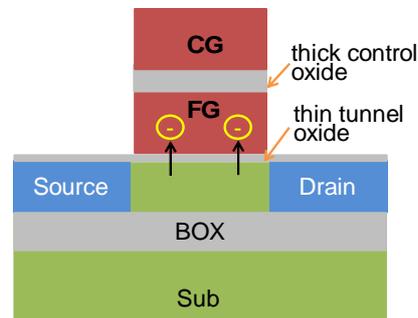


図 1. 通常の浮遊ゲートトランジスタの構造。

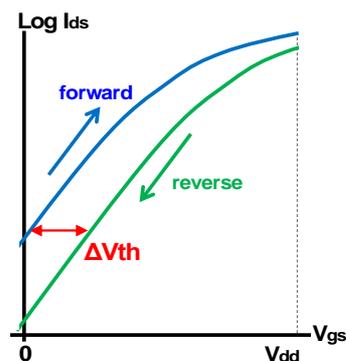


図 2. 通常の浮遊ゲートトランジスタの特性の模式図。

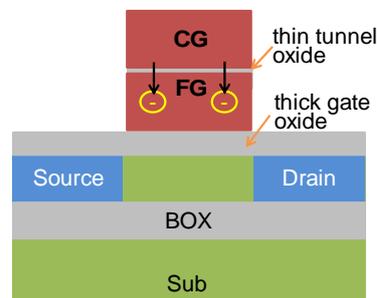


図 3. 本研究で提案した浮遊ゲートトランジスタの構造。

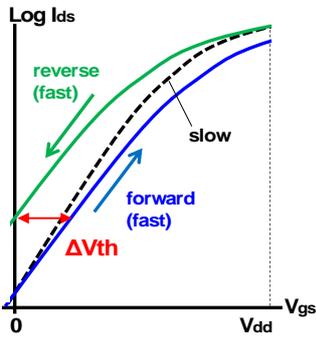


図 4. 本研究で提案した浮遊ゲートトランジスタの特性の模式図。

#### 4. 研究成果

図 3 の構造を有するトランジスタを実際に試作した。トランジスタサイズは、ゲート長が  $10\mu\text{m}$ 、ゲート幅は NMOS が  $10\mu\text{m}$ 、PMOS が  $50\mu\text{m}$  である。トンネル酸化膜厚は約  $1.5\text{nm}$  である。0.5V での特性を図 5-6 に示す。NMOS、PMOS ともにヒステリシスが観測され、ゆっくりスキャンした場合は、期待通り中間の特性を示している。即ち、オン時の  $V_{th}$  低下とオフ時の  $V_{th}$  上昇が実験的に確認できた。

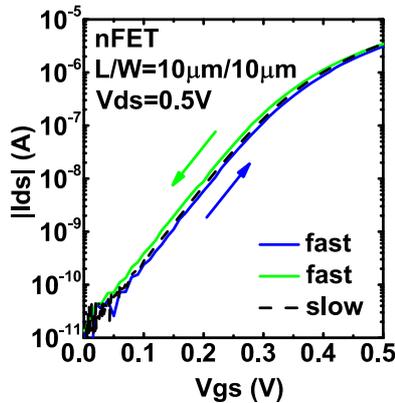


図 5. 浮遊ゲート NMOS の 0.5V における実測結果。

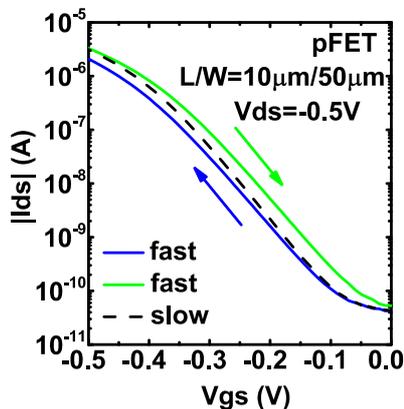


図 6. 浮遊ゲート PMOS の -0.5V における実測結果。

図 7-8 には、同じトランジスタの 0.1V での特性を示す。0.1V でも特に NMOS では明瞭なヒステリシスが観測され、しきい値が  $V_{gs}$  によって変調されていることがわかる。ヒステリシスの大きさ ( $\Delta V_{th}$ ) と動作電圧 ( $V_{dd}$ ) を比較すると、両者の比  $\Delta V_{th}/V_{dd}$  はむしろ低電圧で大きくなっており、本デバイス構造が極低電圧でより良好な特性を示していることがわかる。

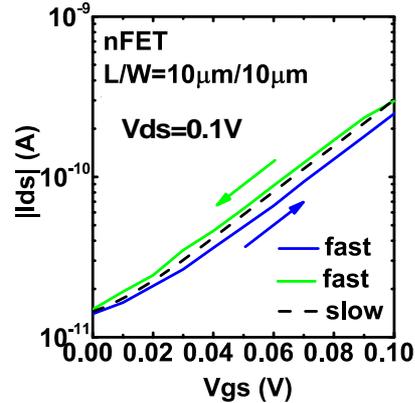


図 7. 浮遊ゲート NMOS の 0.1V における実測結果。

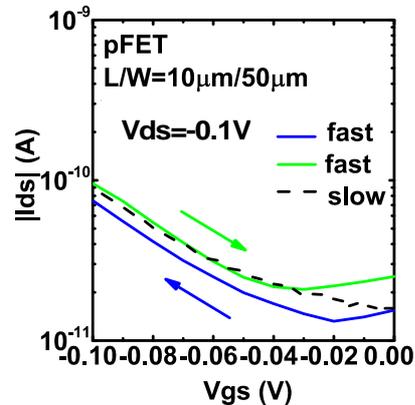


図 8. 浮遊ゲート PMOS の -0.1V における実測結果。

さらに提案デバイスを用いて SRAM セルを構成し、その安定性を調べた。ここでは代表的なデータのみを示す。図 9 は、0.1V における保持状態でのパタフライカーブである。やはりスキャン方向によってカーブにヒステリシスが存在するが、ゆっくりスキャンすると両者の中間の特性を示している。これは、保持されている状態が (0.1V という極低電圧においても) より安定であることを示している。SRAM セルは極低電圧で不安定となることが知られているが、本デバイスでは、極低電圧でも安定に情報を保持できることが、実験により示された。

以上のように、本研究では 100mV で動作するしきい値自己調整 MOS トランジスタを提案し、実験により、オン時の  $V_{th}$  低下とオ

フ時の  $V_{th}$  上昇を確認し、さらに、極低電圧における SRAM セルの安定性向上についても実証することに成功した。

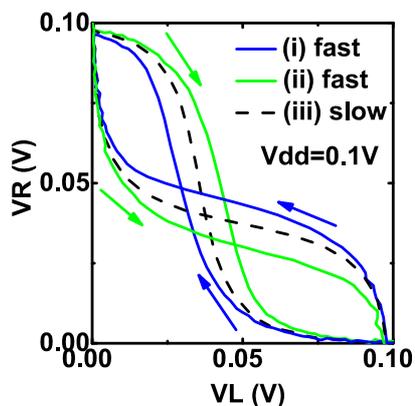


図 9. 浮遊ゲート NMOS と浮遊ゲート PMOS で構成した SRAM セルにおける 0.1V でのバタフライカーブの実測結果。

#### 5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

〔雑誌論文〕(計 0 件)

なし

〔学会発表〕(計 1 件)

[1] Akitsugu Ueda, Seung-Min Jung, Tomoko Mizutani, Anil Kumar, Takuya Saraya, and Toshiro Hiramoto, “Ultra-Low Voltage (0.1V) Operation of  $V_{th}$  Self-Adjusting MOSFET and SRAM Cell”, VLSI Symposium on Technology, Hilton Hawaiian Village, Honolulu, HI, USA, June 12, 2014.

〔図書〕(計 0 件)

なし

〔産業財産権〕

○出願状況 (計 0 件)

なし

○取得状況 (計 0 件)

なし

〔その他〕

ホームページ等

なし

#### 6. 研究組織

##### (1)研究代表者

平本 俊郎 (Toshiro Hiramoto)  
東京大学・生産技術研究所・教授  
研究者番号：20192718

##### (2)研究分担者

なし

##### (3)連携研究者

更屋 拓哉 (Takuya Saraya)  
東京大学・生産技術研究所・助手  
研究者番号：90334367