

科学研究費助成事業 研究成果報告書

平成 27 年 6 月 16 日現在

機関番号：34315

研究種目：挑戦的萌芽研究

研究期間：2013～2014

課題番号：25630155

研究課題名(和文)1Gfpsを目指す撮像素子構造の実証

研究課題名(英文)Verification of an image sensor structure to achieve 1 Gfps

研究代表者

江藤 剛治 (ETOH, TAKEHARU)

立命館大学・総合科学技術研究機構・教授

研究者番号：20088412

交付決定額(研究期間全体)：(直接経費) 3,100,000円

研究成果の概要(和文)：10億枚/秒(1Gfps)の撮影速度と1光子感度を持つ究極の高速撮像素子の開発を目標とした。以下の成果が得られた。(1)素子構造：センサとドライバチップそれぞれの新構造を提案し、これらを接合した3D構造のセンサを設計した。(2)最高撮影速度(シミュレーションレベル)：6Gfps(時間分解能160ps)が可能であることを示した。(3)最高撮影速度(試作チップ)：ドライバチップでは時間分解能1ns(1Gfps)を達成した。センサチップのプロセスにミスがあり、現在、再プロセス中である。1Gfpsは達成できると考えている。センサはCCD構造なので、冷却により数光子感度になる。

研究成果の概要(英文)：The target is development of an image sensor with the highest frame rate of 1 Gfps and the photon detection sensitivity. The achievements in the two-year project period are as follows: (1) Device structure: a 3D-stacked image sensor with a sensor chip and a driver chip both with innovative structures, (2) Simulation results on the highest frame rate: 6 Gfps (the frame interval of 160 ps) can be achieved, (3) Evaluation of the test devices: the driver chip achieved the frame interval of 1 ns (the frame rate of 1 Gfps); the sensor chip was damaged in the process, which is now under re-process. Since the sensor chip is made with a CCD structure, it can achieve several-photon detectable sensitivity with deep cooling.

研究分野：工学

キーワード：イメージセンサ 超高速 接合型

1. 研究開始当初の背景

代表者は高速度ビデオカメラの世界最高撮影速度記録を塗り替えてきた(現在16万5千画素に対して1,600万枚/秒)。これまで文字通り「桁違い」の撮影速度を実現する度に、さらに高い速度が要望されてきた。シリコンデバイスで達成可能な撮影速度は10億枚/秒(1Gfps)と予想される。この撮影速度と1光子感度を持つ究極の高速撮像素子の開発を目指す。

2. 研究の目的

(1) 研究期間内の直接目的

1Gfpsの撮像素子の実現可能性を実証する。この素子を用いて1Gfpsのカメラシステムを構築する上での課題とそれらの解決方針を示す。

(2) 成果の社会的貢献

本プロジェクトの成果に基づいて実際に1Gfpsのカメラを開発し、プラズマ等の高速現象の可視化と画像解析による理解に寄与する。また、このカメラを組み込むことにより、FLIM (Fluorescence Lifetime Imaging Microscopy; 蛍光寿命計測顕微法、バイオサイエンスで使われる)、Imaging TOF MS等の先端計測技術を飛躍的に改善する。さらにはこれらの新技術の開発機会を提供する。

3. 研究の方法

(1) 1Gfpsを可能とする新素子構造の提案

通常のイメージセンサと同様に、チップ周辺から受光面の中央に向かって駆動電圧を送ると、RCLディレイによる送付電圧の遅れのために、1nsの時間分解能の実現は難しい。代表者が開発した超高速イメージセンサは裏面照射型である。したがって光の入射しない表側に、別のチップを接合することができる。この別チップ上に、ドライバーを作り込み、直上の画素に送れば送付時間の遅れはほとんど無視できる。

このような接合型撮像素子では熱の発生と蓄積が大きな課題となる。高速度撮影では特に大きな電力を消費する。しかし、超高速撮影ではこの課題が解消する。

通常の高速度ビデオカメラは多数の信号読み出し線から連続的に信号を高速読み出しするので熱の蓄積が大きな問題となる。

超高速撮像素子では(画像信号)メモリを各画素内に持ち、全画素一切に画像信号をその場記録する。画素内に作ることでできるメモリの数は少ないので、最大で連続100枚~200枚の画像しか撮影できない。このような撮影方式をバーストイメージング方式という。例えばフレームインタバル1 μ s(1Mfps)で100枚撮影すると0.1msで撮影は終了する。したがって熱が蓄積する時間が無い。

以上より、開発するチップの構造は3D接合型とした。ドライバーチップとセンサチップを別々に設計、プロセスし、センサチップ

を裏返してドライバチップに接合する。したがって限界撮影速度は、ドライバチップの性能とセンサチップの性能を別々に評価し、低い方の速度で支配されることになる。

ドライバ回路の構造として、リングオシレータを基本にし、各インバータにXNOR回路を接続したROXNOR回路を発明した。

また、センサ回路としてマルチ電荷収集ゲート構造を発明した。

(2) シミュレーション

センサチップ

マルチ電荷収集ゲート構造のイメージセンサでは、入射した光子により生じた信号電荷が電荷収集ゲートに届くまでの時間が時間遅れとなる。ただし時間分解能は、電荷の到達時間の遅れではなく、ばらつきで決まる。1nsオーダーの時間分解能の検討では、素子内での電荷のランダム運動の到達時間分布に対する影響が無視できない要素となる。したがってモンテカルロ法によって時間分解能を検討した。

ドライバチップ

通常の回路シミュレータを用いて、生成するパルス幅と諸パラメータの関係を調べた。

(3) チップの試作と評価

テストチップ

試作したチップの概形をFig. 1に示す。本研究の段階では、センサチップとドライバチップを3mm \times 3mmの小さいテストチップの上に並べて試作した。

センサチップ

Fig. 1のテストチップの右側に乗っている。チップサイズが小さいので、チップの右側から高速駆動電圧を送り、特性を調べる。実際にはセンサチップの裏面プロセスにミスがあったので、この実験はできなかった。

ドライバチップ

ドライバチップ上にTDC(Time-to-Digital Converter)回路を作りこみ、パルス幅を計れるようにした。

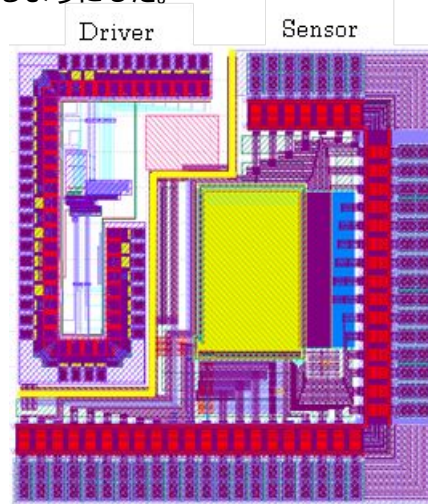


Fig. 1 試作チップ

4. 研究成果

(1) 素子構造

センサ

センサの画素の断面構造を Fig. 2、平面構造を Fig. 3 に示す。

Fig. 2 では、裏面から入射した光により生成した信号電荷は、p-well の周りを回りこんで画素中心の電荷収集ゲートに集まる。収集された信号電荷パケットは p-well の中に作られた CCD メモリに転送される。これにより信号電荷のメモリへの迷入を防止している。

Fig. 3 では画素中央部に 6 個の電荷収集ゲート A1 から A6 を設けている。その周囲に電荷保存ゲートと転送ゲートを配している。電荷収集ゲートの一つ、例えば A1 に高い方の電圧 V_H をかけ、他に低い方の電圧 V_L をかけると、信号電荷は A1 の下に向かい、直後に隣接し、やや高い一定電位に保たれた電荷保存ゲート B1 に自動的に転送され、そこに保存される。

同様に A2 から A6 に非常に短い時間間隔で V_H を印加する。これにより、生成した信号電荷が、電荷収集ゲートの一つに到達する時間間隔で連続 6 枚の画像信号を記録できる。

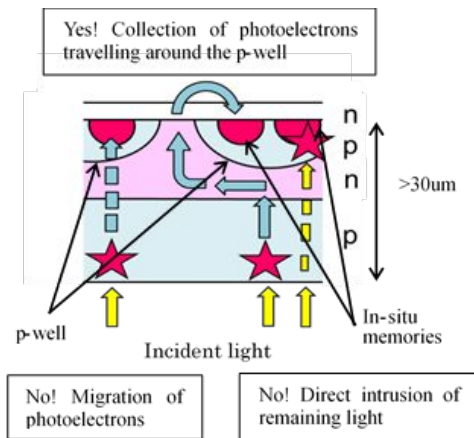


Fig. 2 センサの 1 画素の断面の概念図

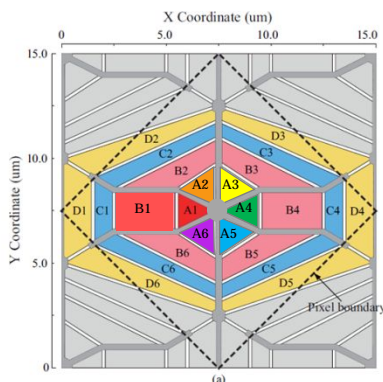


Fig. 3 センサの 1 画素の平面の概念図
A1: Drain gate; A2-A6: Collection gates;
B1: Drain; B2-B6: Storage gates;
C: Barrier gates; D: Transfer gates

ドライバー

Fig. 4 にドライバー回路を示す。7 個のインバータがループを成すリングオシレータ RO を形成している。この場合、信号がリングオシレータを 1 周する間に 7 個のパルスを生成する。信号が 1 個のインバータを通過するたびに、インバータの直後で rise または fall の階段状の信号が生成する。信号が 1 周してきたときに fall または rise するので、パルス長は信号が 1 周する時間となる。また 7 個の信号は、 $1/7$ ずつずれた重なった信号となる。各インバータに XNOR 回路をつけることで幅 $1/7$ のパルスが連続的に生成される。この回路を ROXNOR 回路と名づけた。

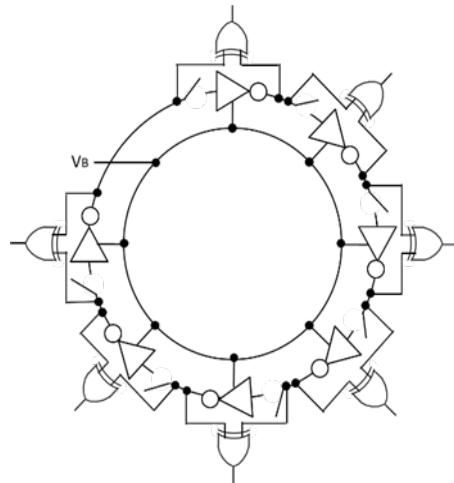


Fig. 4 ドライバ回路 : ROXNOR circuit

(2) シミュレーション

センサ

Fig. 5 に信号電荷の運動のモンテカルロシミュレーションの結果の例を示す。この場合は光は上から入射している。

Fig. 5(a) で、生成した信号電荷はランダムに動きながら、電界に導かれて p-well の周りを回り、画素中に集まる。画素中心では p-well に孔が開いている。信号電荷はそこを通過し表面側に降りる。さらに V_H を印加した電荷収集ゲート下に集められているのが良くわかる。

Fig. 5(b) は縦軸に表面からの深さ、横軸にそこに到達するまでの時間を示している。到達時間のばらつきに寄与するのは、最も距離が長い中央部の空乏層 S2 ではなく、裏面付近のホール蓄積層 S1、p-well 周りの回りこみ S3、表面側に達した後の電荷収集ゲートへの移動 S5 であることがわかる。この条件では、到達時間のばらつき、すなわち時間分解能は 400ps 程度である。

このような分析を通して最適条件を求めたところ、ばらつきを 80ps 程度まで小さくすることができることがわかった。

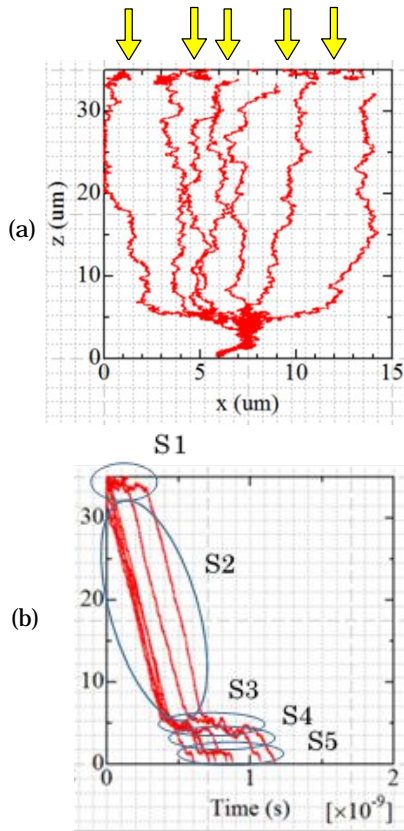


Fig. 5 信号電荷の動きのモンテカルロシミュレーション結果の例
(a) Trajectories, (b) Travel time vs. distance

ドライバー

Fig. 6 にドライバーの回路のシミュレーション結果の例を示す。Fig. 3 において、B1 がドレーンの場合である。A1 はドレーンゲートになる。撮影前と終了後は A1 が VH で、生じた電荷は A1 を経由してドレーン B1 に排出される。A2 から A6 に VH を与えると、B2 から B6 に 1ns の時間分解能で連続 5 個の画像信号が保存される。駆動電圧を 1.5V にすると、時間分解能は 160ps まで下がる。

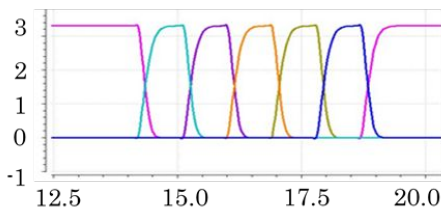


Fig. 6 ドライバーの回路シミュレーション結果の例
(Fig. 3 参照: A1, B1 がドレーンの場合。ピンクはドレーンゲート A1; 他の A2 から A6 の 5 個のパルスが示されている。駆動電圧 3V で、パルス幅 1.0ns の場合)

(3) チップの試作と評価 センサチップ

センサの裏面照射プロセス時にプロセスミスが生じた。このためセンサチップの評価はできなかった。

ドライバチップ

評価の例を Fig. 7 に示す。Fig. 1 の左側のドライバー回路のバイアス電圧を変えるとパルス幅が変わる。Fig. 7(a) は 1ns のパルス幅を、Fig. 7(b) は 3ns のパルス幅を目標としてバイアス電圧を設定したものである。

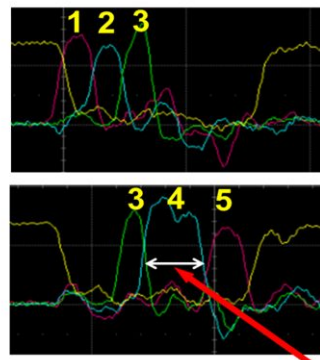
今回の評価システムは、手づくりの評価回路に手ハンダでチップの乗ったソケットを接続したものである。またバイアス電圧も手で調整した。したがって結果の安定性は高くない。

2 枚の図が一组となっているが、これはパルスがドレーン電圧を含め 6 個、オシログラフのチャンネル数が 4 本だったためである。

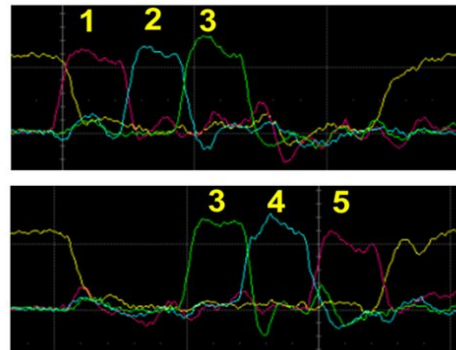
Fig. 7(a) では、4 個のパルスの幅は約 1.2ns である。1 個は 2.7ns と非常に長くなっている。これは評価システムの安定性のためであると考えている。Fig. 7 (b) ではパルス幅は約 2.5ns となっている。

以上より、適切な用具と方法でセッティングすれば、本チップで 1ns のパルスは安定的に生成できると考えている。

ページの関係で図は割愛しているが、組み込み TDC による評価により、バイアス電圧と平均パルス幅、その標準偏差などの関係が評価できた。発明した ROXNOR 回路はこのような用途に適していることがわかった。



(a) パルス幅: 1.2 ns ~ 2.7 ns



(b) パルス幅: 2.2 ~ 2.9ns

Fig. 7 ドライバチップからの出力波形の例: 3V 駆動の場合

5. 主な発表論文等
(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計 4 件)

Yu Truong Son Dao, Kazuhiro Shimonomura, Yoshinari Kamakura and Takeharu Goji Etoh, Simulation analysis of a backside-illuminated multi-collection -gate image sensor, *ITE Transaction on Media Technology and Applications*, 査読有, Vol. 2, No. 2, 2014, pp. 114-122.
<http://dxdoi.org/10.3169/mta.2.114>

T. G. Etoh, V. T. S. Dao, T. Yamada and E. Charbon, Toward one Giga frames per second-Evolution of In-situ Storage Image Sensors-, *Sensors*, 査読有, Vol. 13, No. 4, 2013, pp. 4640-4658.
DOI:10.3390/S 130404640

新井俊希, 米内淳, 林田哲哉, 大竹浩, バン・クイク・ハリリー, 江藤剛治, 対表面照射型比感度 12.7 倍 1670 万枚/秒 31 万画素裏面照射型超高速 CCD 撮像素子, *電子情報通信学会論文誌 C*, 査読有, Vol. J96-C, No. 7, 2013, pp. 180-190.

M.-J. Thoraval, K. Takehara, T. G. Etoh and S. T. Thoroddsen, Drop impact entrapment of bubble rings, *Journal of Fluid Mechanics*, 査読有, Vol. 724, 2013, pp. 234-258.
DOI:10.1017/jtm.2013.147

[学会発表](計 5 件)

Takeharu G. Etoh, Future of High-Speed Imaging-Technology, Applications And challenges, *Image Sensors 2014*, 2014 年 3 月 20 日, London, England, 招待講演.

Takeharu G. Etoh, V. T. S. Dao, K. Shimonomura, E. Charbon, C. Zhang, Y. Kamakura and T. Matsuoka, Toward 1Gfps: Evolution of Ultra-high-speed Image Sensors: ISIS, BSI, Multi-Collection Gates, and 3D -stacking, *IEDM2014*, 2014 年 12 月 15 日, San Francisco, U.S.A., 招待講演.

K. Shimonomura, V. T. S. Dao, T. G. Etoh, and Y. Kamakura, A simulation analysis of backside-illuminated multi-collection-gate image sensor employing Monte Carlo method, 2014 年 9 月 10 日, *SISPAD2014*, メルパルク横浜 (神奈川県横浜市)

K. Shimonomura, K. Kitagawa, V. T. S. Dao, T. G. Etoh, and Y. Kamakura, Analysis of temporal resolution in a backside-illuminated multi-collection-gate image sensor employing Monte Carlo Method, *2nd Asian Image Sensors and Imaging System Symposium 2014* 年 12 月 1 日, 東京工業大学 (東京都・港区)

鎌倉良成, 下ノ村和弘, 江藤剛治, モンテカルロデバイスシミュレーション法を用いた高速撮像素子の解析, 電子情報通信学会集積回路研究会, 2014 年 7 月 3 日, 出雲大社プレイスうらら (島根県・出雲市)

[図書](計 1 件)

日本学術振興会マイクロビームアナリシス第 141 委員会編, オーム社, *マイクロビーム・アナリシス・ハンドブック*, 2014 年, 総頁 708 頁, 担当執筆 pp. 118-123.

[産業財産権]

出願状況 (計 2 件)

名称: 高感度高速固体撮像素子および装置
発明者: 江藤剛治, 松岡俊匡
権利者: 江藤剛治, 松岡俊匡
種類: 特許
番号: 特願 2014-207578
出願年月日: 2014 年 9 月 20 日
国内外の別: 国内

名称: 撮像素子、撮影装置、及び計測装置
発明者: 江藤剛治, Edoardo Charbon
権利者: 江藤剛治, Edoardo Charbon
種類: 特許
番号: PCT/JP2015/055473
出願年月日: 2015 年 2 月 25 日
国内外の別: 国外

取得状況 (計 0 件)

6. 研究組織

(1) 研究代表者

江藤 剛治 (Etoh, Takeharu)
立命館大学総合科学技術研究機構・教授
研究者番号: 20088412

(2) 研究分担者

なし

(3) 連携研究者

Dao Vu Truong Son (Dao, Vu Truong Son)
立命館大学総合科学技術研究機構・ポスドクトラルフェロー
研究者番号: 40648028

竹原 幸生 (Takehara, Kohsei)
近畿大学工学部・教授
研究者番号：50216933