

科学研究費助成事業 研究成果報告書

平成 28 年 6 月 24 日現在

機関番号：26402

研究種目：若手研究(B)

研究期間：2013～2015

課題番号：25730032

研究課題名(和文) チップ間密結合による柔軟な性能拡張性を有する再構成可能システム

研究課題名(英文) Performance-scalable reconfigurable system based on tightly-coupled reconfigurable devices

研究代表者

密山 幸男 (Mitsuyama, Yukio)

高知工科大学・工学部・准教授

研究者番号：80346189

交付決定額(研究期間全体)：(直接経費) 2,700,000円

研究成果の概要(和文)：本研究では、再構成可能デバイスのチップ間密結合による柔軟な性能拡張性を有する再構成可能システムの実現に向けて、アーキテクチャ開発環境と動作検証環境の構築に取り組んだ。具体的には、以下に示す項目について研究開発を行った。特定アプリケーションドメイン向け粗粒度再構成可能アーキテクチャの開発環境を構築し、アーキテクチャ探索を大幅な効率化を図った。チップ間密結合型粗粒度再構成可能アーキテクチャのFPGAプロトタイプング手法を提案し、その動作検証環境を構築した。また、高負荷高性能演算実行時のFPGAにおいて、負荷状況が回路性能に与える影響について、実験的評価によって定量的に明らかにした。

研究成果の概要(英文)：This project aimed at realization of performance-scalable reconfigurable system based on tightly-coupled reconfigurable devices. Specifically, the following research issues are tackled. 1) a development of evaluation platform for a coarse-grained reconfigurable architecture exploration and its demonstration, 2) a development of an FPGA prototyping technique for tightly-coupled coarse-grained reconfigurable chips, and 3) an experimental measurement of performance variation on commercial FPGAs under various operating conditions.

研究分野：再構成可能アーキテクチャ、FPGA応用、VLSI設計手法

キーワード：再構成可能システム 開発環境 FPGA

1. 研究開始当初の背景

急速に発展しつづける高性能コンピューティング分野において、浮動小数点演算の効率化を図るために GPGPU を用いた高性能コンピュータの開発が注目されており、計算機アーキテクチャ、並列プログラミング、アルゴリズムに関する多くの研究成果が報告されている。その一方で、高い処理性能を達成する代償として、その消費電力が極めて大きな課題となっている。さらに、キャッシュミスによる処理性能の低下や、ホストコンピュータを介する通信レイテンシの影響も大きく、並列化による高性能コンピューティングの実現には多くの課題がある。

そこで、多数の FPGA をアクセラレータとして用いた高性能コンピュータの開発が注目されている。CPU や GPU などのプロセッサベースのシステムで問題となるキャッシュミスは、FPGA などによる再構成可能システムでは問題にはならず、高速なストリーム処理が可能である。また、演算回路のハードウェア化による大幅な低消費電力化も期待できる。ところが、依然としてレイテンシの課題は残されており、高速・低レイテンシチップ間通信が求められている。また、複数 FPGA 上にアプリケーションを実現するにあたり、対象回路の分割方法が重要になるが、FPGA 間の通信方式に大きく依存する問題であるため、容易に最適解を得ることはできない。

チップ間接続に関するアーキテクチャ設計と、演算回路分割実装に関するアプリケーション設計の両面から検討することにより、高性能アプリケーション実装の効率化が可能になると考えられる。

2. 研究の目的

本研究では、粗粒度再構成可能集積回路を密結合することにより、複数チップ間の柔軟な密結合による性能拡張性を有する再構成可能システムの実現を目指す。ターゲットアプリケーション向け粗粒度再構成可能アーキテクチャの開発環境とそのアプリケーションマッピング環境を構築する。さらに FPGA を用いたプロトタイピング手法を提案し、その動作検証環境を構築するとともに、提案手法の有効性を実証する。

3. 研究の方法

本研究目的を達成するため、以下に挙げる研究課題に取り組む。

- (1) 高性能アプリケーション向け粗粒度再構成可能アーキテクチャの開発環境の構築
- (2) チップ間密結合型粗粒度再構成可能アーキテクチャの FPGA プロトタイピング手法の検討
- (3) 商用 FPGA による高性能アプリケーション実装における動作速度の負荷依存性に関する評価

4. 研究成果

(1) 粗粒度再構成可能アーキテクチャ開発環境の構築:

再構成可能デバイスはその構造的特徴から配線部が面積効率や動作速度に与える影響が大きくなるため、再構成可能アーキテクチャ開発において、配線構造を慎重に検討することが肝要である。粗粒度再構成可能アレイは、FPGA 等の細粒度型と比較して高い面積効率とエネルギー効率が期待できる。しかし、面積効率を追及するあまりに配線リソースを削減し過ぎると、配置配線性の低下により必要なアレイサイズが大きくなり、結果的に面積効率の低下につながる。さらに、ルーティングが複雑になることで、経由スイッチ数に依る配線遅延が大幅に増大する。そこで、再構成可能配線構造の検討において、高い精度で配線遅延や面積を評価することができる環境を構築した。構築した評価環境の全体フローを図 1 に示す。

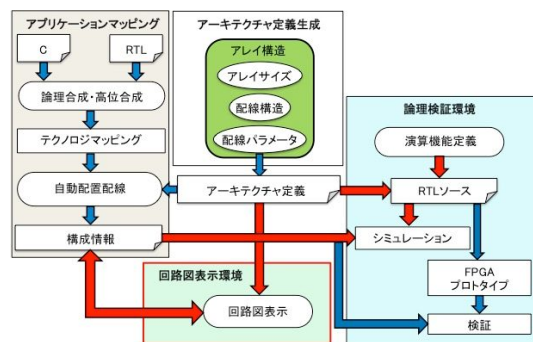


図 1 提案評価環境の全体フロー

本評価環境では、配線構造や配線リソース量などをパラメータ化（アーキテクチャパラメータ）して定義することで、アーキテクチャ探索において配置配線ツールを修正することなく、アプリケーションマッピング結果に基づく性能評価を効率的に行うことができる。アーキテクチャパラメータから配置配線用アーキテクチャ定義ファイルの生成フローと配置配線ツールとの関係を図 2 に示す。

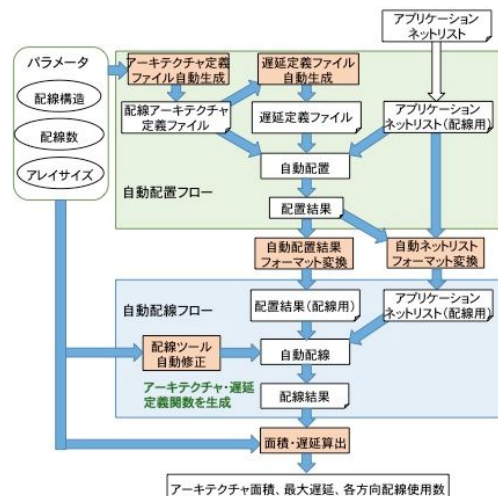


図 2 提案する自動配置配線処理フロー

本評価環境では、パラメータで定義された再構成可能アーキテクチャを可視化する機能も有している。さらに、自動配置配線結果を読み込むことで、マッピング結果をハイライト表示することも可能である。(図3)

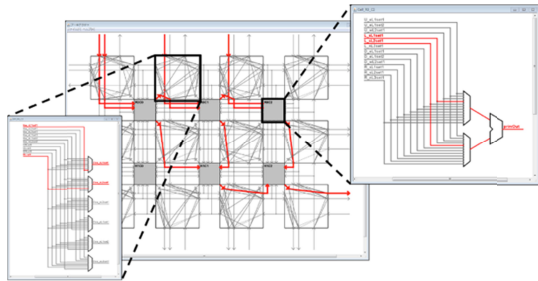


図3 再構成可能アーキテクチャとマッピング結果の可視化

以上より、本評価環境を用いることで、再構成可能アーキテクチャの性能をアプリケーションマッピング結果に基づいて定量的かつ高精度に評価することが可能となる。

さらに、本評価環境ではアーキテクチャパラメータで定義される再構成可能アーキテクチャのRTLソースを自動生成することができ、これを用いて市販のシミュレーションツール上で論理検証を行うことも可能である。

(2) チップ間密結合型粗粒度再構成可能アーキテクチャのFPGAプロトタイピング:

提案環境(研究成果(1))を用いて開発したチップ間密結合型粗粒度再構成可能アーキテクチャの有効性を実証するため、FPGAを用いたプロトタイピング手法を提案し、その動作検証環境を構築した。

粗粒度再構成可能アーキテクチャは、そのプログラマブルな回路構成のため、論理合成時の静的タイミング解析において組み合わせループが多数存在する。さらにその冗長な回路構成から回路規模が極めて大きくなる。これらの課題を解決し、複数のFPGAを用いたプロトタイピングによる動作検証環境の構築手法を提案した。

図4に示す粗粒度再構成可能アーキテクチャを対象として、複数のFPGAを用いた大規模アレイのプロトタイプ、ビデオ入出力アプリケーションによる動作検証が可能な環境を構築した。構築した環境を図5に示す。

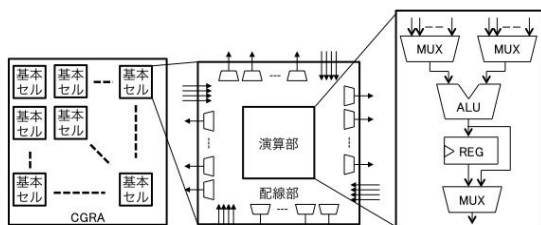


図4 粗粒度再構成可能アーキテクチャ

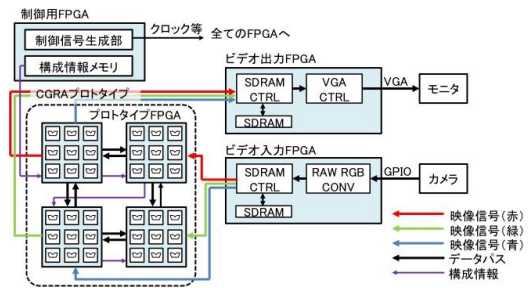


図5 複数FPGAによる動作検証用

以上より、複数FPGAによる大規模粗粒度再構成可能アーキテクチャの動作検証環境を用いて、対象アーキテクチャの有効性を実証できることを示した。

(3) FPGA性能の負荷依存性に関する実験的評価:

製造プロセスの微細化により、LSIの高速化・高性能化が進む一方で、チップ内ばらつきや経年劣化のほか、負荷変動や供給電圧変動などの動的な要因が動作速度に与える影響が課題となっている。現在広く用いられている商用FPGAにおいても、負荷変動が動作速度と消費電力に与える影響は無視できず、さらに高性能アプリケーションを実装した場合はその影響も特に大きくなると考えられる。しかしながら、チップの負荷状況が回路の動作速度に与える影響の定量的評価は報告されていない。そこで、市販FPGAボードを用いて、FPGAの負荷状況が動作速度に与える影響について実験的に評価した。

動作速度の測定にはリングオシレータを用いた。図6に示すように、発信回数を格納するカウンタを持つリングオシレータをFPGA上に実装して、その発振周波数を動作速度として評価した。負荷印可用回路もリングオシレータを用いて実装した。測定回路と負荷回路のFPGAマッピングを図7に示す。

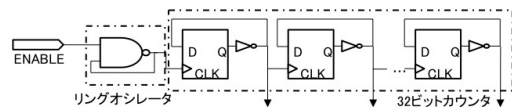


図6 リングオシレータとカウンタで構成される測定回路

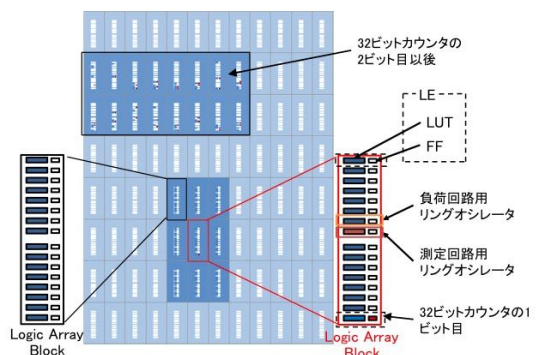


図7 測定回路と負荷回路のFPGA実装

図7に示す測定回路を用い、図8に示すようにFPGA上の5カ所(四隅と中央)について、負荷状況が回路の動作速度に与える影響を評価した。また、チップ内ばらつきだけでなく、チップ間ばらつきについても評価するため、同一FPGAを搭載する5枚のFPGAボードについて実験を行った。

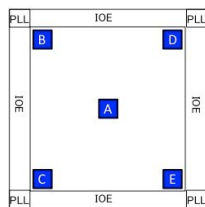


図8 FPGA動作速度の測定箇所

図9に測定結果を示す。負荷状況によって、最大で16.0%の動作速度低下が確認できた。また、チップ温度も最大で31.8%の差が確認できた。さらに、消費電力は41.4%の差が確認できた。実験結果から、特に高負荷な高性能演算を行う場合において、チップ内・チップ間の特性ばらつきを定量的に明らかにすることができた。

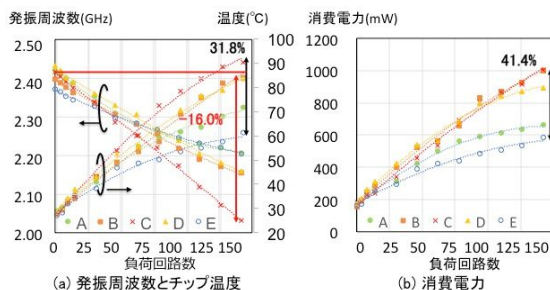


図9 測定結果

5. 主な発表論文等

[学会発表](計15件)

- [1] 山本浩平, 森岡俊樹, 井上智哉, 毛利真崇, 密山幸男, “再構成可能配線構造検討のためのアーキテクチャ評価環境,” 情報処理学会研究報告(システムとLSIの設計技術研究会), 2016-SLDM-175, 2016年3月。(長崎県福江市)(SLDM優秀発表学生賞)
- [2] 柴口真紀雄, 浅田亮志, 密山幸男, “商用FPGAの動作速度の負荷依存性に関する実験的評価,” 電子情報通信学会総合大会, D-18-1, 2016年3月。(福岡県福岡市)
- [3] 毛利真崇, 密山幸男, “複数のFPGAを用いた粗粒度再構成可能アーキテクチャの動作検証環境構築,” 電子情報通信学会総合大会, D-18-2, 2016年3月。(福岡県福岡市)
- [4] 柴口真紀雄, 浅田亮志, 密山幸男, “商用FPGAのチップ間性能ばらつきに関する実験的評価,” 電気関係学会四国支部連合大会, 10-1, 2015年9月。(高知県香美市)
- [5] 毛利真崇, 密山幸男, “複数のFPGAを用いた粗粒度再構成可能アーキテクチャのプロトタイプ実装,” 電気関係学会四国支部連合大会, 10-19, 2015年9月。(高知県香美市)

[6] 井上智哉, 山本浩平, 毛利真崇, 密山幸男, “粗粒度再構成可能アーキテクチャのための評価環境開発,” 電気関係学会四国支部連合大会, 10-20, 2015年9月。(高知県香美市)

[7] 浅田亮志, 密山幸男, “FPGA動作速度の負荷依存性に関する実験的評価,” 電子情報通信学会総合大会, D-18-6, 2015年3月。(滋賀県草津市)

[8] 毛利真崇, 密山幸男, “粗粒度再構成可能アレイのFPGA実装におけるループ構造問題解決法の検討,” 電子情報通信学会総合大会, D-18-7, 2015年3月。(滋賀県草津市)

[9] 森岡俊樹, 山本浩平, 密山幸男, “再構成可能アレイのための配線構造評価環境の構築,” 電子情報通信学会総合大会, D-18-8, 2015年3月。(滋賀県草津市)

[10] 森岡俊樹, 山本浩平, 密山幸男, “再構成可能配線構造検討のための性能評価環境の構築,” 情報処理学会研究報告(システムとLSIの設計技術研究会), 2015-SLDM-170, 2015年3月。(鹿児島県奄美市)(SLDM優秀発表学生賞)

[11] 森岡俊樹, 密山幸男, “粗粒度再構成可能デバイスの配線構造に関する一検討,” 電気関係学会四国支部連合大会, 10-14, 2014年9月。(徳島県徳島市)

[12] 毛利真崇, 密山幸男, “粗粒度再構成可能アーキテクチャのFPGAによるプロトタイプ設計,” 電気関係学会四国支部連合大会, 10-15, 2014年9月。(徳島県徳島市)

[13] 浅田亮志, 密山幸男, “FPGAの負荷変動が動作速度に与える影響の測定,” 電気関係学会四国支部連合大会, 10-16, 2014年9月。(徳島県徳島市)

[14] H. Konoura, D. Alnajjar, Y. Mitsuyama, H. Ochi, T. Imagawa, S. Noda, K. Wakabayashi, M. Hashimoto, and T. Onoye, “Mixed-Grained Reconfigurable Architecture Supporting Flexible Reliability and C-Based Design,” in *Proc. International Conference on Reconfigurable Computing and FPGAs*, Dec. 2013. (Cancun, Mexico)

[15] 郡浦宏明, Dawood Alnajjar, 密山幸男, 越智裕之, 今川隆司, 野田真一, 若林一敏, 橋本昌宜, 尾上孝雄, “動作合成に対応した信頼性可変混合粒度再構成可能アーキテクチャの検討,” 電子情報通信学会技術研究報告(リコンフィギャラブルシステム研究会), RECONF2013-8, pp. 41-46, 2013年5月。(高知県高知市)

6. 研究組織

(1) 研究代表者

密山 幸男 (MITSUYAMA YUKIO)
高知工科大学・工学部・准教授
研究者番号: 80346189

(2) 研究分担者

該当無し

(3)連携研究者
該当無し