

**科学研究費助成事業 研究成果報告書**

平成 28 年 5 月 21 日現在

機関番号：33908

研究種目：若手研究(B)

研究期間：2013～2015

課題番号：25730033

研究課題名(和文) オンライン誤り検出可能・セルフテスト容易な高信頼算術演算回路に関する研究

研究課題名(英文) Research on easily self-testable arithmetic circuits with online error detection capability

研究代表者

鬼頭 信貴 (KITO, Nobutaka)

中京大学・工学部・講師

研究者番号：90630997

交付決定額(研究期間全体)：(直接経費) 2,500,000円

研究成果の概要(和文)：オンライン誤り検出可能なオーバーヘッドの小さいプレフィックス加算回路を提案したほか、セルフテストが容易でなおかつオンライン誤り検出可能な桁上げ選択加算回路を提案した。浮動小数点演算回路に関して、完全な二重化の代わりに部分的な二重化を行うことで1 ulpより大きな誤りは必ずオンライン誤り検出できる部分二重化浮動小数点乗算回路のほか、剰余符号による検査を二段階で行うことで丸め等における誤りを検出可能な浮動小数点演算回路を提案した。このほか、オンライン誤り検出可能な3オペランド複素数乗算回路の提案を行った。

研究成果の概要(英文)：We have proposed an online error detectable low-overhead parallel prefix adder, and an easily self-testable carry select adder with online error detection capability. For floating-point operations, we have proposed an online error detectable floating-point multiplier utilizing partial duplication instead of full duplication for multiplication of significands, and it detects any erroneous output with error larger than one unit in the last place (1 ulp) of the significand. We have also proposed an online error detectable floating-point arithmetic unit which can detect erroneous outputs caused by erroneous rounding by two-stage residue checking. In addition, we have proposed a three-operand complex multiplier with online error detection capability.

研究分野：計算機システム

キーワード：算術演算回路 VLSIのテスト オンライン誤り検出 乗算回路 加算回路

## 1. 研究開始当初の背景

集積回路の微細化や安全に対する意識の高まりから、世界的に、集積回路の安全性・信頼性を高めることが重要となっている。たとえば、ハイエンドプロセッサを中心に回路の動作時の誤り検出（オンライン誤り検出）が行われているほか、家庭電化製品向け安全規格 IEC60730 や、自動車分野向け機能安全規格 ISO26262 が提案され、これらの製品に組み込む集積回路においては安全規格を意識した設計が求められている。

デジタル集積回路の中心機能である算術演算を実現する算術演算回路の高信頼化は、システムの信頼性を高めるうえで重要である。近年では、微細化で顕著になる経年劣化による配線の断線等により回路の永久故障が生じることや、放射線等により一時故障が生じることが危惧されている。算術演算回路において、永久故障を早期に確実に発見し、一時故障により生じた演算結果の誤りを確実に検出できることが重要である。

これまでも、製造・出荷時のテストが容易にできるように算術演算回路を設計する手法や、オンライン誤り検出が可能な算術演算回路などが研究されている。しかし、従来のテスト容易化算術演算回路では、テストに用いるパターン数の削減に注力し、出荷後に生じる故障による誤りの検出については考慮していなかった。一方、従来のオンライン誤り検出可能な算術演算回路では、故障により結果に誤りが生じた際にはそれを検出できるが、回路に故障がないことを確認する手立てについて十分には考慮されていなかった。このため、回路出力に誤りが現れるまで、故障の存在が分からない。

このような背景から、セルフテストが容易であり、なおかつ、オンライン誤り検出可能な算術演算回路は高信頼システムの構築に有用と考えられる。

## 2. 研究の目的

本研究では、回路動作中の自己テスト（セルフテスト）が容易で、オンライン誤り検出が可能な算術演算回路の構成法を明らかにする。このような算術演算回路により、オンライン誤り検出ができるほか、セルフテストを短時間に確実に実行できるようになり、経年劣化等により生じた永久故障を容易に検出可能となる。

これにより、動作中の回路に誤りが生じる前にセルフテストにより回路の故障を検出できるようになり、通常動作時に誤りが生じる前に回路の故障を検出できる。また、セルフテストとセルフテストの合間に生じた故障により誤りが生じた場合、オンライン誤り検出によりその誤りを検出できる。

## 3. 研究の方法

加算回路を中心として、演算回路のビット幅等に依存せず少ないパターンでテストができるテスト容易な演算回路の構成を考察し、その構成に対してオンライン誤り検出のための付加回路を検討する方法をとった。セルフテスト容易とするため、演算回路のテストのためのパターンを削減するだけでなく、通常動作のまま回路のテストができるよう演算回路をテストモードにするための付加外部入力端子などを設けないように注意した。

様々な演算回路について、テスト容易な構成や、オンライン誤り検出可能な構成について検討を進めるうち、浮動小数点演算回路におけるオンライン誤り検出技術について、単純な二重化や剰余符号を用いる手法が主に用いられ、浮動小数点演算回路に特化した研究がおこなわれていないことが判明した。そこで、本研究では浮動小数点演算回路のオンライン誤り検出についても探索を行った。

## 4. 研究成果

(1) 桁上げ生成二重化によるオンライン誤り検出可能な低オーバーヘッド・プレフィックス加算回路

整数加算を行う回路構成は様々知られている。高速な加算を行うための回路構造としてプレフィックス加算に基づく加算回路が知られている。この加算回路では内部のプレフィックス加算部分に様々な構成が取れ、構成方法が様々提案されている。面積や遅延時間の要求に応じて構成を選択でき、さまざまな要求仕様に対して適する構成を選択できる。

本研究では、面積オーバーヘッドの小さなフォールトセキュアなプレフィックス加算回路(図 1)を提案した。提案加算回路はいくつかのセルを組み合わせることで設計し、回路を構成する高々1つセルが故障したとき、セルの故障による回路出力の誤りを検出できる。

提案回路ではチェック用に回路内部の桁上げビットの二重化を行う。従来研究ではすべての桁で二重化した桁上げビットとの比較を行っていたが、提案回路では半分の桁のみ二重化した桁上げビットとの比較を行うため面積オーバーヘッドが小さい。

提案回路はパリティ予測に基づくオンライン誤り検出を用いており、オペランドとそのパリティの組を入力とし、加算結果に加え、演算結果のパリティ予測値、信号の比較結果を出力する。比較結果の観測とパリティ予測値と加算結果のパリティが一致するかどうかを確認することで誤りを検出できる。

Skilansky 型、Brent-Kung 型、Han-Carlson 型、Kogge-Stone 型などの様々なプレフィッ

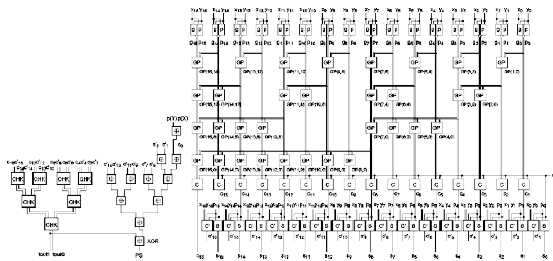


図 1 桁上げ生成二重化によるオンライン誤り検出可能な加算回路 (雑誌論文[1]より)

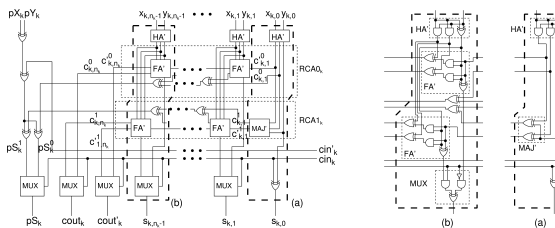


図 2 テスト容易でオンライン誤り検出可能な桁上げ選択ブロック (研究発表[1]より)

クス加算を用いて提案加算回路を実現できる。

提案回路の面積オーバーヘッドは従来の二重化したビットを全て比較する加算回路の面積オーバーヘッドと比較して約 15% 小さいことを論理合成による面積評価、ならびに 2 入力 NAND ゲート換算の回路規模を評価することにより確認した。また、論理合成による評価により、回路の遅延時間は従来回路より若干少ないことを確認した。

(2) テストが容易でオンライン誤り検出可能な桁上げ選択加算回路

本研究では、セルフテストが容易で、さらに動作中に故障による回路出力の誤り検出可能 (オンライン誤り検出可能) な桁上げ選択加算回路の提案も行った。

テスト容易でオンライン誤り検出可能な桁上げ選択加算ブロックを示し (図 2) この加算ブロックをもとに、複数ブロックで構成した桁上げ選択加算回路を提案した。

提案する複数ブロックで構成した桁上げ選択加算回路は、故障モデルとして単一縮退故障を考えると、オペランドのビット幅やブロック数に依存せず 10 個の入力パターンでテスト可能である。テストのためのパターン集合の構成方法も示した。提案回路にはテストモードにするための追加の外部入力端子などはなく、通常動作のまま通常の加算と同様にパターンを入力することで容易にセルフテストができる。

提案回路は動作中に単一の縮退故障による回路出力の誤りの検出 (オンライン誤り検

出) も可能である。パリティ予測方式に基づく誤り検出を用いる。回路には加数と被加数のほかにそれらのパリティを入力として与える。回路は、加算結果に加え、演算結果のパリティ予測値、回路の二重化された桁上げ出力を出力する。回路の二重化された桁上げ出力の比較、および、回路が出力する和のパリティ予測値と和の出力のパリティの比較により誤りを検出できる。

提案加算回路の誤り検出能力を、Synopsys TetraMax を用いたシミュレーションにより調べた。故障挿入した回路についてランダムパターンを回路に入力し、回路出力に誤りを含む場合に検出できることを確認した。また、10 個の入力パターンにより回路内のどの単一縮退故障も検出できることを確認した。

回路規模の見積りも行い、提案回路の面積オーバーヘッドは 2 倍以内であり単純な二重化より小さい面積で実現できることを確認した。

(3) 部分二重化を用いたオンライン誤り検出可能な浮動小数点乗算回路

浮動小数点演算は科学技術計算にはなくてはならない演算であり、大規模な計算では長時間にわたり誤りなく計算することが求められる。信頼性の高い浮動小数点乗算回路が大規模な科学技術計算には重要と考えられる。そこで、部分二重化を用いたオンライン誤り検出可能な浮動小数点乗算回路を提案した。提案回路は浮動小数点数の規格である IEEE754 に示されるすべての丸めモードに対応できる。

提案乗算回路では浮動小数点乗算回路の中でも大きな面積を占める仮数部乗算回路について、完全な二重化を行う代わりに面積の小さな Truncated 乗算回路をチェック用を使用する。そして、浮動小数点乗算回路の中で占める面積の割合が小さい符号部と指数部の回路は完全な二重化を行う。

仮数部のチェックのために Truncated 乗算回路を用いるため 1 ulp の誤りを見逃す可能性があるが、それより大きい誤りは必ず検出できる。

回路面積についての評価を行った。誤り検出を行わない構成と比較して面積オーバーヘッドが単精度で 75% 程度、倍精度で 65% 程度となった。面積オーバーヘッドが 100% を超える完全な二重化と比較して回路面積が小さい。また、50,000 個のランダムパターンを用いた故障シミュレーションにより、演算結果に表れる誤りの平均の大きさを評価した結果、従来の剰余符号を用いる手法より小さいことが確認された。

本研究では見逃す誤りの大きさを 1 ulp としたが、見逃す誤りの大きさを様々に変化させ、面積オーバーヘッドの大きさとのトレードオフを考えるなどの展望が考えられる。

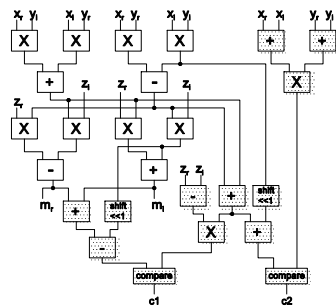


図 3 オンライン誤り可能な3オペランド複素数乗算回路  
(学会発表[2]より)

#### (4) 二段階剰余検査によるオンライン誤り検出可能な浮動小数点演算回路

剰余検査を用いて丸め計算部まで含めた浮動小数点演算回路全体のオンライン誤り検出を行う二段階剰余検査手法を提案した。提案回路では、浮動小数点演算における仮数部計算において、丸めの計算を行う前に一段階目の剰余検査を行う。そして、仮数部計算の最終の出力に対して二段階目の剰余検査を行う。

二段階で剰余検査を行うことにより一方の検査のみでは検出できない丸め等における誤りを検出できる。

提案手法を浮動小数点乗算回路と浮動小数点加算回路に適用し、それぞれについて回路面積を評価した。その結果、入力としてオペランドの剰余符号が付与されている場合、小さい面積オーバーヘッドで実現できることが確認された。

#### (5) オンライン誤り検出可能な3オペランド複素数乗算回路

デジタル信号処理などに用いられる複素数乗算に注目し、3数の複素数乗算を行う、オンライン誤り検出可能な小面積な3オペランド複素数乗算回路を提案した(図3)。提案回路は整数加算回路や整数乗算回路の組合せで構成し、回路が出力する2つのチェック用の値の比較を行うことで、回路内の1つの演算回路の故障による回路出力の誤りを検出できる。

提案複素数乗算回路では複素数の乗算の式変形に工夫をほどこし、2のべき乗の演算をシフト操作により行うなどすることで、演算回路の若干の追加で誤り検出のための計算ができる。

セルライブラリとして Rohm 0.18  $\mu\text{m}$  standard cell library を用いて回路を合成し、面積と遅延時間を評価した。誤り検出回路を含まない構成と、従来法としてオンライン誤り検出可能な2オペランド複素数乗算回路が知られており、この回路を用いて構成した3オペランド乗算回路とで比較した。

評価により、遅延時間が短い領域を除き、提案回路の面積は誤り検出回路のない構成の2倍以下であり単純な二重化より小面積であること、従来法を用いた構成より小面積であることが確認された。

#### 5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計1件)

1. Nobutaka Kito and Naofumi Takagi, "Low-overhead Fault-secure Parallel Prefix Adder by Carry-bit Duplication," IEICE Transactions on Information and Systems, 査読有, vol. E96-D, no. 9, pp. 1962-1970, Sep. 2013.  
DOI: 10.1587/transinf.E96.D.1962

[学会発表](計5件)

1. 鬼頭信貴:「テスト容易でオンライン誤り検出可能な桁上げ選択加算器」、電子情報通信学会 ディペンダブルコンピューティング研究会、2015年12月3日、長崎県勤労福祉会館(長崎県長崎市)
2. 鬼頭信貴:「オンライン誤り検出可能な3オペランド複素数乗算回路」、電子情報通信学会 2015年総合大会、2015年3月12日、立命館大学びわこ・くさつキャンパス(滋賀県草津市)。
3. 鬼頭信貴:「部分二重化を用いたオンライン誤り検出可能な浮動小数点乗算器の設計と評価」、電子情報通信学会 ディペンダブルコンピューティング研究会、2015年3月7日、奄美市社会福祉協議会(鹿児島県奄美市)。
4. 鬼頭信貴:「部分二重化を用いた微小誤りを許容するオンライン誤り検出可能な浮動小数点乗算器」、電子情報通信学会 ディペンダブルコンピューティング研究会、2014年6月20日、機械振興会館(東京都港区)。
5. 山口大樹:「剰余検査によるオンライン誤り検出可能な浮動小数点乗算器」、DAシンポジウム2013、2013年8月21日、下呂温泉水明館(岐阜県下呂市)。

[その他]

ホームページ等

<http://kitolab.sist.chukyo-u.ac.jp/>

#### 6. 研究組織

##### (1) 研究代表者

鬼頭 信貴 (Kito, Nobutaka)

中京大学・工学部・講師

研究者番号: 90630997