

科学研究費助成事業 研究成果報告書

平成 27 年 6 月 11 日現在

機関番号：93901

研究種目：若手研究(B)

研究期間：2013～2014

課題番号：25790026

研究課題名(和文) Siナノシートの局所改質による量子ナノ構造の作製と評価

研究課題名(英文) Fabrication and characterization of Si nanostructures by local modification of Si nanosheets

研究代表者

生野 孝 (Ikuno, Takashi)

株式会社豊田中央研究所・環境・エネルギー一部 エネルギー変換材料研究室・研究員

研究者番号：60466331

交付決定額(研究期間全体)：(直接経費) 3,400,000円

研究成果の概要(和文)：シリコンナノシートは、ポストグラフェン新材料として注目されている。しかしながら、光・電子デバイス応用に向けて、シリコンナノシートの材料作製技術、微細加工技術、デバイス作製技術等に関する知見は十分得られているとはいえない。本研究では、シリコンナノシートの大面積形成技術の開発と、シリコンナノシートの局所改質によるナノ構造作製技術の開発を目的とした。本研究では、大面積シリコンナノシート作製技術を2つ提案し、ミリメートルサイズのシリコンナノシートを作製することができた。さらに、走査プローブリソグラフィ技術を用い、シリコンナノシートの前駆体薄膜への局所構造改質を実施しナノ構造形成を確認した。

研究成果の概要(英文)：Although silicon nanosheet (SiNS) is one of the new potential “post graphene” materials, the synthesis method, the microscopic modification technique, and the device fabrication process of SiNS have not been fully established yet towards opt-electronic applications. In this study, I have developed synthesis methods of large-scale SiNSs and fabrication method of Si nanostructures by local modification of SiNSs. By adopting novel synthesis methods based both chemical and physical processes, large-scale SiNSs of which lateral size ranges millimeters were successfully synthesized. Moreover, nanostructures were found to be fabricated by scanning probe lithograph of SiNSs.

研究分野：ナノ電子材料

キーワード：ナノシート シリコン 作製

1. 研究開始当初の背景

国内外のエネルギー問題に対応するため、革新的な省・創エネルギーデバイス（低消費電力の単電子デバイスや超高効率太陽電池など）の実現が求められている。そのためには、機能上重要なビルディングブロックである低次元半導体ナノ材料（量子ドット、量子細線、量子井戸など）の規則配列構造を構築する必要がある。

低次元半導体ナノ材料を決められたサイズ・形状で指定の場所に直接形成する手法として、主に電子線リソグラフィが用いられているが、最近エピタキシャル薄膜ナノ構造を大面積形成できるエピタキシャル転写法[1]や、ナノワイヤーの形状制御が出来る Vapor liquid solid 法[2]が報告されている。しかし、前者は、構造物のサイズが電子線リソグラフィ技術に制限されるため、量子効果が発現するナノ構造を直接作製することは困難であり、後者は、形状と場所の形成制御はある程度可能だが、量子ドットの作製が困難である。そこで、研究代表者は、二次元ナノシートを前駆体を用いた走査プローブリソグラフィによるナノ構造作製手法を提案した。本研究では、二次元ナノシートの大面積作製手法開発と走査プローブリソグラフィによるナノ構造形成技術開発を目的に実施されたものである。

2. 研究の目的

現在広く浸透している集積回路との親和性を考慮し、走査プローブリソグラフィの前駆体としてシリコンナノシート (SiNS) を選択した。走査プローブリソグラフィ技術を用い SiNS を局所的に改質することで、サイズや形状が制御された量子ドットや量子細線などの低次元 Si 系ナノ材料を簡便に規則配列させることが本研究の大きな目標である。

そのためには、横方向サイズが 1 μm 以上の SiNS を作製しなければならない。これまで報告されている SiNS は数十~数百 nm と小さいため微細加工が困難である [3]。そこで、ミクロン以上のサイズをもつ SiNS の作製プロセス開発を第一の目的とした。

さらに、走査プローブリソグラフィを用いた SiNS の局所構造改質による Si 系ナノ構造形成、そして、SiNS の電気伝導特性評価を実施することを第二の目的とした。

3. 研究の方法

(1)大面積 SiNS の作製

本研究の開始当初は、文献[3]に示されている粉末状ポリシラン（水素終端された SiNS）を用い、走査プローブリソグラフィによるナノ構造形成を試みていたが、SiNS の横方向サイズが数十~数百 nm と小さく、さらに収率が非常に低かったため、走査プローブリソグラフィによる微細加工には不適切であることがわかった。これまで、横方向サイズがミクロン以上の SiNS を高収率で作製した報告

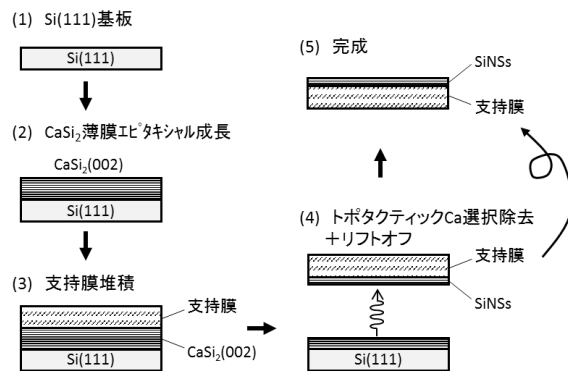


図1 化学剥離法による大面積 SiNS の作製手順

はない。そこで、本研究において、以下の2つの大面積 SiNS 作製技術を開発した。

図1に、化学剥離法による大面積 SiNS の作製手順を示す。まず、Si(111)ウェハを洗浄し清浄表面を作り、CaSi₂ 薄膜を配向成長もしくはエピタキシャル成長させた。CaSi₂(002)は Si(111)と格子定数のミスマッチが極めて小さいためエピタキシャル成長可能であることが知られている。次に、作製した CaSi₂ 薄膜表面に支持膜として Au 薄膜を成膜した。最後に、-30℃の HCl に7日間浸漬した。このプロセスには、CaSi₂ から SiNS への変換と、Si ウェハからの空間分離（化学剥離）の2つの目的を含む。最終的に得られた試料は、図1(5)のような Au 支持膜表面に SiNS が堆積した自立膜である。

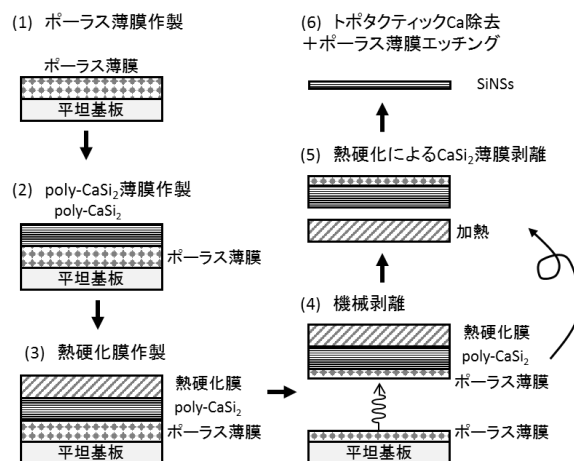


図2 物理剥離法による大面積 SiNS の作製手順

図2に物理剥離法による大面積 SiNS の作製手順の概略図を示す。本技術のキーポイントは平坦基板上に平坦表面多孔質（ポラス）薄膜を用いたことである。ポラス薄膜表面に多結晶 CaSi₂ 薄膜を作製した後、粘性熱硬化膜付きシートを貼付した。熱硬化膜と多結晶 CaSi₂ 界面にはある程度接着力があるので、上記シートを機械的に剥離すると、最も機械強度が弱いポラス薄膜が破壊され図2(4)のように空間分離できる。その後、

約 100°C で熱硬化させて上記シートと CaSi_2 界面とを空間分離させた。最後に HCl 水溶液に浸漬させることにより、ポーラス薄膜を溶解し、さらに CaSi_2 の Ca を除去し SiNS へと変換した。得られた SiNS は自立膜状であり、様々な基板へ転写可能である。

(2) 走査プローブリソグラフィによるナノ構造形成と、 SiNS の電気伝導特性評価

上記手法により得られた薄膜に対し、原子間力顕微鏡 (AFM) を用い走査プローブリソグラフィを室温・大気中で実施した。カンチレバーは接地し、試料にバイアスを印加した。電圧印加のため PtIr を被覆したカンチレバーを用いた。

また、マクロな電気伝導特性評価を行った。熱酸化膜付き Si ウェハ上に成膜した多結晶 CaSi_2 薄膜に電極を形成した後、 HCl 処理を施し、直後に電流電圧 (I - V) 測定を行った。

4. 研究成果

(1) 化学剥離法による大面積 Si ナノシートの作製・評価

図 1 の手順で得られた SiNS を AFM 観察した (図 3)。横方向サイズ数十 μm ~ サブミリオーダーの平坦な SiNS が観察された。これまで作製された SiNS [3] の面積に比べ、100 万倍以上大きかった。一部にはステップ構造が観察されテラスは平坦だったことから、シート状であることが確認できた。膜厚の制御性が不十分ではあるものの、概ね 10–40 nm の SiNS が得られた。

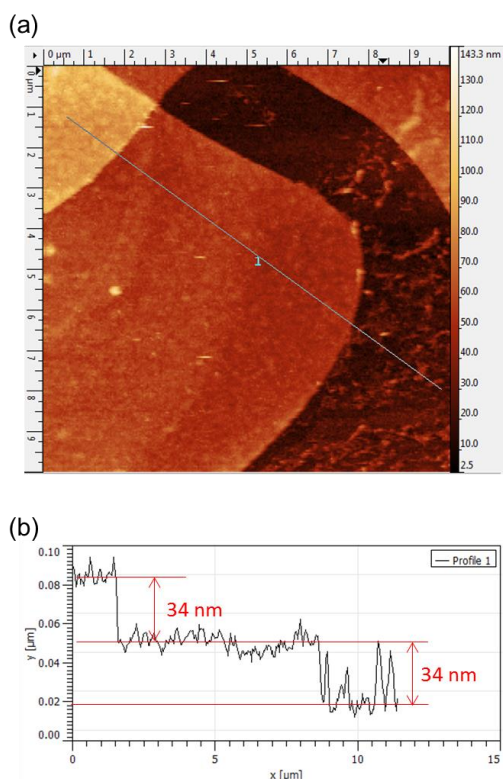


図 3 化学剥離法を用い作製した大面積 SiNS の (a) 原子間力顕微鏡像, (b) 高さのラインプロファイル。

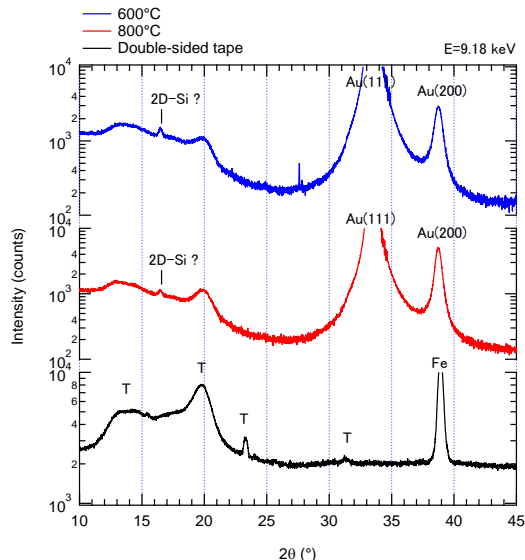


図 4 化学剥離法で作製した大面積 SiNS の XRD カーブ (X 線エネルギーは 9.18 keV). T は両面テープ起因のピーク。

次に、図 1(4) の試料のうち、 $\text{Si}(111)$ 側試料の X 線回折 (XRD) 測定を行ったところ、本試料から $\text{CaSi}_2(002)$ が観察された。したがって、 CaSi_2 薄膜は $\text{Si}(111)$ 上で配向成長またはエピタキシャル成長したといえる。一方、 CaSi_2 が存在しているということは、本実験の HCl 処理では Ca 除去が不十分だったといえる。図 4 は、 CaSi_2 薄膜堆積後のポストアニール温度が 600 °C と 800 °C の試料の剥離後の Au 薄膜側試料の XRD カーブである。 Au 薄膜試料は、XRD 装置の試料台に両面テープで貼り付けた。比較のため、両面テープの

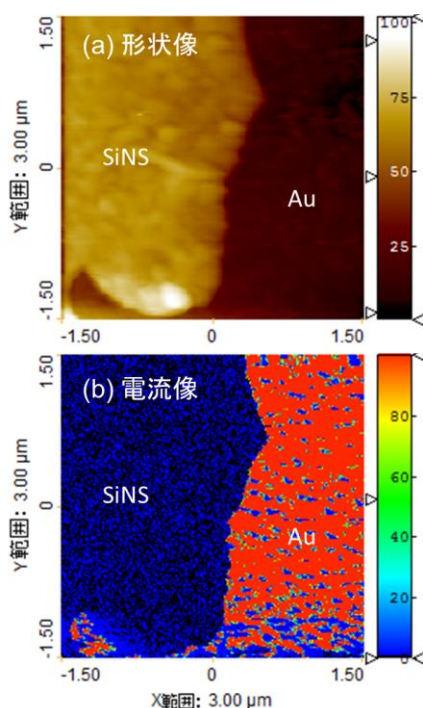


図 5 化学剥離法で作製した SiNS の (a) 形状像, (b) 電流像。

XRD カーブを示す. 広角側のピークは Au 薄膜もしくは試料ホルダーである. 一方, 低角側のブロードなピークは, 両面テープ起因のものだと考えられる. 約 16 度 (面間隔 = 4.70 Å) におけるピークは, 両面テープには存在せず, CaSi_2 系や CaO_2 系とは違うことを確認した. つまり, SiNS のピークである可能性があるが詳細は不明である.

次に, 局所的な導電性を評価するため, AFM を用い SiNS 周辺の I - V 測定を行った (図 5) とおり, SiNS が存在するところでは印加電圧 1 V において電流は流れず, 支持膜である Au から電流がよく流れた. 本結果は文献 [4] の傾向と一致している.

本実験では, $\text{Si}(111)$ ウェハに成長した CaSi_2 配向膜をトポタクティック剥離することにより, サブミリメートルサイズの大面積 SiNS を得ることができた.

(2) 物理剥離法による大面積 SiNS の作製・評価

前述した化学剥離法による大面積 SiNS の問題は, 多結晶 Au 薄膜を支持層に用いることによる表面凹凸の存在である. 表面凹凸が, 薄い SiNS の形状に大きな影響を与えるため, デバイス化の際問題となる.

そこで, 本実験では, 図 2 の物理剥離法による大面積 SiNS を提案し実施した. 本プロセスのポイントは, ポーラス薄膜を犠牲層に用いることである. 本犠牲膜表面に, CaSi_2 薄膜をスパッタ成膜し, その後機械的に剥離し, トポタクティックに Ca を除去し, SiNS 自立膜を作製した.

図 6 に, スパッタ成膜後の CaSi_2 薄膜の XRD カーブを示す. 典型的な多結晶薄膜であることを確認した. 次に, 機械剥離し熱硬化樹脂を硬化させ CaSi_2 多結晶薄膜をリフトオフした写真を図 7(a) に, また CaSi_2 多結晶薄膜を HCl 処理した写真を図 7(b) に示す. リフトオフ後, CaSi_2 薄膜は短冊状になり, 塩酸処理により色がグレイから黄色に変化した. この色変化は, 粉末状ポリシランと同じ傾向である.

本実験では, 物理剥離法により作製した多結晶 CaSi_2 自立膜を前駆体とすることでミリメートルサイズの大面積 SiNS を得ることができた.

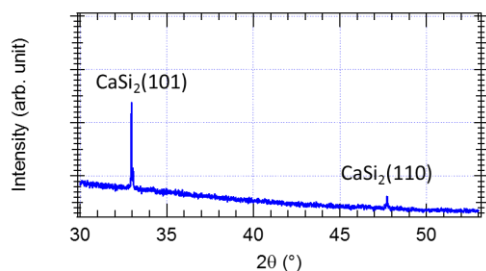


図 6 スパッタ法で作製した多結晶 CaSi_2 薄膜の XRD カーブ

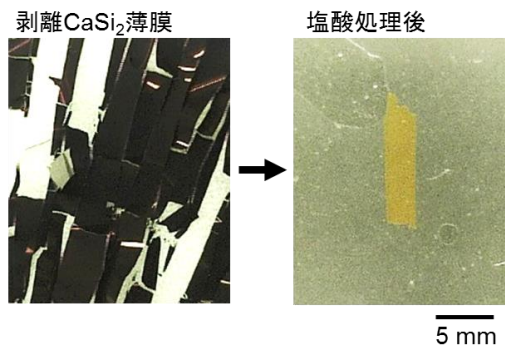


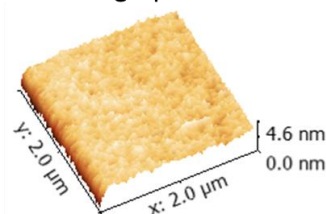
図 7 (a)機械剥離後にリフトオフした CaSi_2 多結晶薄膜と, (b)その CaSi_2 薄膜を HCl 処理した後の試料の写真

(3) 走査プローブリソグラフィ法による CaSi_2 薄膜の局所構造改質と, CaSi_2 薄膜および SiNS 薄膜の電気伝導特性評価

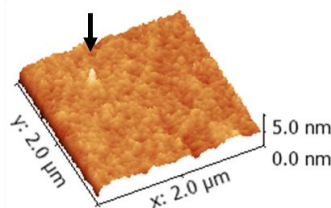
大面積 SiNS の局所構造改質を実施する前段階として, CaSi_2 薄膜の局所構造改質を試みた. Si 基板の上に成膜した多結晶 CaSi_2 薄膜 (膜厚 200 nm) に対して -10V 印加し, 接地したカンチレバーを CaSi_2 薄膜に接触させた状態で, $50 \times 50 \text{ nm}^2$ の範囲を走査させた.

その結果, 局所構造改質前の表面粗さ $\text{RMS} = 0.35 \text{ nm}$ の表面に, 高さ約 2 nm, 幅約 80 nm (図 8(c) ラインプロファイルから得られた半値幅) のナノ構造が形成できた. これまで CaSi_2 薄膜への走査プローブリソグラフィ

(a) Before lithograph



(b) After lithograph



(c)

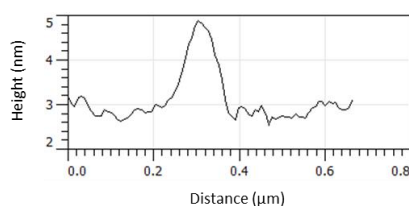


図 8 スパッタ法で作製した多結晶 CaSi_2 薄膜の局所構造改質. (a)改質前, (b)改質後の AFM 像, (c)局所改質部分の高さのラインプロファイル.

によるナノ構造形成の報告はなく、SiNS を土台としたナノ構造形成の基盤技術として有効な知見であると考えられる。

ところで、CaSi₂ 薄膜および SiNS 薄膜を前駆体とした SiNS 薄膜の電気伝導特性は十分理解されているとはいえない。そこで、CaSi₂ 薄膜へ直接電極を形成した後(図 9(a), (b)), トポタクティクに Ca を除去し電気伝導特性の変化を観察した。CaSi₂ 薄膜の膜厚は 200 nm で、熱酸化膜付き Si ウェハ表面に成膜した。電極は、メタルマスクを用い、膜厚 200 nm の Au 薄膜を用いた。

電極間距離約 100 μm 間に電圧を印加し電流を測定した。CaSi₂ 薄膜の場合、-10~10 V の範囲では電流は観測されなかった。一方、塩酸処理によるトポタクティク Ca 除去後、電流が観察された。電圧走査方向によってカーブの形状が異なり、かつ原点を通らなかったことから、抵抗が高くキャパシタンス成分をもつ誘電体的性質を示すことがわかった。Vogg ら[5]は、CaSi₂ 薄膜の Ca を除去したシロキセン薄膜は絶縁体的性質を示すと報告していたが、本結果は、Ca 除去して直ちに I-V 測定を行うことで電流が流れることを初めて明らかにすることができた。本結果は、電子デバイスとしての要素材料としての可能性を示すものであり、今後ドーピング等により、機能付与が期待できる。

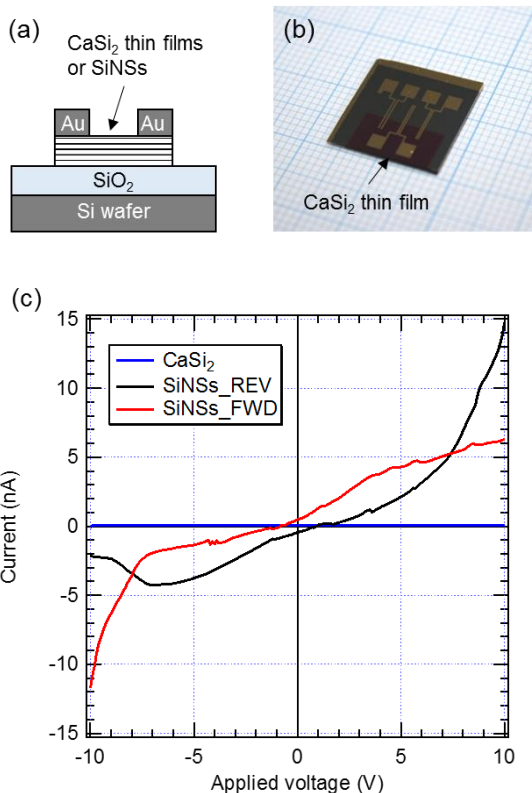


図 9 作製した二端子素子の(a)概要図, (b)写真, (c)塩酸処理前後の I-V カーブ

5. まとめ

本研究では、大面積 SiNS の作製手法を二件提案・実施し、横方向サイズがミクロン以上の SiNS 形成が実現できた。残留 Ca 除去、層数制御などの課題は残っている。また、操作プローブリソグラフィによる局所構造改質においては、CaSi₂ 膜表面にナノ構造を形成することができた。さらに、SiNS のマクロな電気伝導特性に関する知見を得た。

本研究を通して、ポストグラフェンとして注目されている二次元シリコンナノ材料のデバイス応用に向けた SiNS 作製プロセスに関する新しい知見が得られた。

引用文献：

1. Ko et al. *Nature* **468**(2010)286.
2. B. Tian et al. *Nat. Nanotech.* **4**(2009)824.
3. H. Nakano et al. *Chem. Commun.* (2005)2945.
4. T. Ikuno et al. *Appl. Phys. Lett.* **99**(2011)023107.
5. G. Vogg et al. *Monatshefte fur Chemie* **130**(1999)79.

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 0 件)

[学会発表] (計 0 件)

[図書] (計 0 件)

[産業財産権]

○出願状況 (計 0 件)

○取得状況 (計 0 件)

[その他]

ホームページ等

6. 研究組織

(1) 研究代表者

生野 孝 (Takashi Ikuno)

株豊田中央研究所

環境・エネルギー1部

エネルギー変換材料研究室

研究者番号：60466331

(2) 研究分担者

()

研究者番号：

(3) 連携研究者

()

研究者番号：