

科学研究費助成事業 研究成果報告書

平成 28 年 6 月 8 日現在

機関番号：32689

研究種目：若手研究(B)

研究期間：2013～2015

課題番号：25870816

研究課題名(和文) HEVCにおける低消費電力動き予測アーキテクチャの研究

研究課題名(英文) Research on low-power motion estimation architecture for HEVC

研究代表者

周 大江 (ZHOU, DAJIANG)

早稲田大学・理工学術院・助教

研究者番号：10607336

交付決定額(研究期間全体)：(直接経費) 3,300,000円

研究成果の概要(和文)：4Kや8Kなどの新規規格動画を対応するために、新しい圧縮手法の開発が強く望まれている。2013年に標準化された最新の国際規格H.265/HEVCでは約200倍の圧縮率が達成したが、様々な新しい技術の導入に伴い、演算量も大きくなっており、低消費電力化の実装は非常に難しくなった。本研究では、動画圧縮の実装の中で消費電力で大きな割合を占める動き予測処理機能に対し、効率的なアルゴリズムとアーキテクチャで消費電力の大幅な削減を図る。整数と小数動き予測のアルゴリズム、交互非対称探索範囲割当法、モードフィルタリング方式などの技術を開発することで、75%以上の消費電力削減を達成した。

研究成果の概要(英文)：New compression technologies are highly desirable to accommodate new video specifications such as 4K and 8K. The new international video coding standard H.265/HEVC, finalized in 2013, is capable of delivering a compression ratio of 200 times. However, the high compression ratio is achieved by employing many new and computation intensive features, which significantly increases the difficulty in realizing low-energy-consumption implementations. By developing efficient algorithms and architectures, this research aims at a remarkable reduction of energy consumption of motion estimation, which is the most energy consuming component of HEVC video compression. Through a series of innovative technologies such as integer and fractional motion estimation algorithms, alternating asymmetric search range assignment and mode filtering, this research has successfully reduced over 75% of energy consumption for an implementation of HEVC compression.

研究分野：電気電子工学

キーワード：動き予測 動画画像 符号化 低消費電力 UHD TV

1. 研究開始当初の背景

近年、動画像処理の画像数は急速に増大している。1280x720であったものが、フルハイビジョンと呼ばれる 1080p (1920x1080)へ増加し、現在は 4K (3840x2160)が実用化しつつあるだけでなく、スーパーハイビジョンと呼ばれる 8K (7680x4320)への挑戦がなされている。これらの処理のために動画像データが大規模化し演算も膨大となり、新しい圧縮手法の開発が強く望まれている。これまで 2004 年に開発された H.264/AVC では約 1/100 の圧縮が実現し、さらに 2013 年に最新の国際標準規格 H.265/HEVC では H.264/AVC の 2 倍の圧縮率が達成したなど、動画像圧縮技術は、昨今の情報社会において欠かせない技術の一つと言っても過言ではない。

2. 研究の目的

H.265/HEVC では、様々な新しい圧縮技術が導入され、演算量が大きくなっており、動画像エンコードの低消費電力化設計は非常に難しくなった。この問題を解決するために、本研究は、エンコードの中で消費電力で大きな割合を占める動き予測処理(ME)機能に対し、動画像の画質を維持しつつ、エンコードの演算量とハードウェアの消費電力の大幅な削減を図る。

3. 研究の方法

システムレベルでは、ME 処理の消費電力は主にコアとメモリアクセスの二つの部分から構成されている。本研究では、コアの計算効率とメモリアクセス効率の両方を向上することで、システム全体の消費電力の削減を図る。研究目標の達成を確保するために、2 種類の取り組みで研究を推進する。一つは既存技術の再検証と改良である。これまでの基準規格の H.264/AVC や MPEG-2 などのため開発された技術(ひし形領域検索と水平スライディング中心検索で計算量でメモリアクセスの削減など)を H.265/HEVC で応用する可能性を確認し、性能をさらに向上する。もう一つは新しい技術の開発である。H.265/HEVC の新たな特性に対し、小数動き予測(FME)とモードフィルタリング等の方式を考案し、効率的なアルゴリズムとアーキテクチャを開発する。

4. 研究成果

(1) 整数動き予測(IME)アルゴリズム

ひし形領域検索(RWS)と水平スライディング中心検索(HSSC)という手法で、符号化性能を維持しつつ、IME の検索回数とメモリアクセス回数を減少した。IME に必要な演算量とバンド幅をそれぞれ 50%が削減できることをアルゴリズムレベルで確認した。

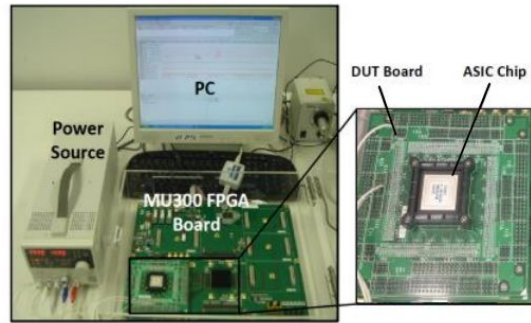


図 1. FME チップの実装 [J1]

(2) 小数動き予測(FME)アルゴリズム

演算量を削減するために、従来の 8 近傍フィルタの代わりに、2 近傍フィルタを使用し、1/4 ピクセルを内挿する。線形特性を利用し、1/4 ピクセルの係数は 1/2 ピクセルと整数ピクセルの内挿により求めた。また、IME の情報を用いて、FME 検索領域の最適化を行い、演算量が 50%の削減をすることができた。

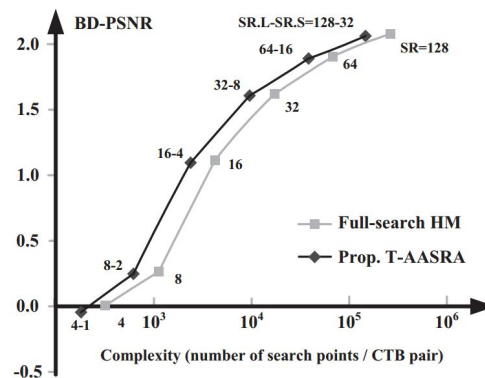


図 2. AASRA による計算量の削減 [J4]

(3) 交互非対称探索範囲割当法 (AASRA) のハードウェア化

シミュレーションレベルで、HEVC 整数動き予測 (IME) の計算時間を 46%~70%削減した。

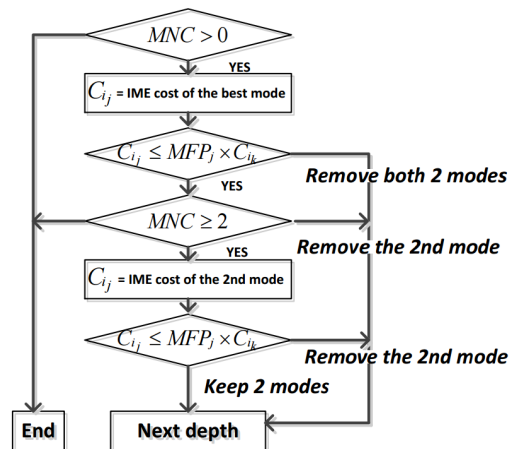


図 3. モードフィルタリング方式 [C2]

(4) モードフィルタリング方式

予測ブロック・分割モードの削減によって、アルゴリズムレベルで、HEVC 小数動き予測 (FME) の演算量を 66% 削減し、動画像の品質落ちは以前の方法の五分の一になった。

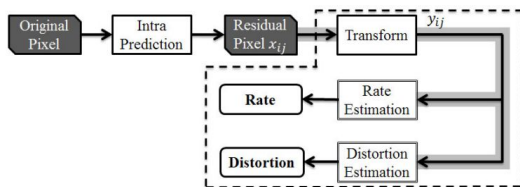


図 4. ファスト RDO 方式 [C6]

(5) レート歪最適化 (RDO) のハードウェア化

予測モードを判定するためのコスト関数について、画質をほぼ維持しつつ演算量を 70% 削減したことが確認できた。RDO をハードウェア化した結果、従来の設計 (Pastuszak, IEEE TCSVT, 2015) と比べて、約半分のハードウェアコストで同じレベルのスループットと画質を実現したことで、動き予測 (ME) システム全体の消費電力削減に貢献している。

(6) ロスレスフレーム再圧縮 (LFRC) 機能の改良とハードウェア化

先端メモリインタフェース DDR3/4 の導入に伴い、メモリアクセスの最小量が増大している。その結果として、従来の LFRC 法の効率が低下している。本研究では、新たな LFRC フレームワークの提案により、この問題を解決した。またそれに対しハードウェア設計も完成し、DDR3 インタフェースで DDR1/2 で同じレベルのアクセス効率と高いメモリバンド幅を達成している。

(7) システムアーキテクチャ

システムレベルで、全体アーキテクチャのまとも及びその一部の LSI での検証を行ってきた。ここまでコンポーネントレベル (IME, FME, RDO, LFRC) の成果を、システムアーキテクチャとしてまとめてきた。演算量とメモリアクセスの両方を 75% 以上の削減を達成したことで、75% の消費電力を削減できることを確認した。本研究で改良した LFRC は、符号器・復号器に対し汎用性があるため、HEVC 復号器の研究にも貢献している。研究期間中では、8K 用 HEVC 復号器 LSI の設計、実装を行う、その LSI チップを利用し画面を映すデモシステムも完成した [1]。復号器 LSI の検証により、改良した LFRC コンポーネントの性能及び信頼性を確認した。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 5 件)

J1. Gang He, Dajiang Zhou, Yunsong Li, Zhixiang Chen, Tianruo Zhang, and Satoshi Goto, "High-throughput power-efficient VLSI architecture of fractional motion estimation for Ultra-HD HEVC video encoding," IEEE Transactions on VLSI Systems (TVLSI), Vol. 23, No. 12, pp. 3138-3142, December, 2015.

J2. Shuping Zhang, Jinjia Zhou, Dajiang Zhou, Shinji Kimura, and Satoshi Goto, "Low-power motion estimation processor with 3D stacked memory," IEICE Transactions on Fundamentals, Vol. E98-A, No. 7, pp. 1431-1441, July, 2015.

J3. Li Guo, Dajiang Zhou, and Satoshi Goto, "A new reference frame recompression algorithm and its VLSI architecture for UHD TV video codec," IEEE Transactions on Multimedia (TMM), Vol. 16, No. 8, pp. 2323-2332, December, 2014.

J4. Jinjia Zhou, Dajiang Zhou, and Satoshi Goto, "Alternating asymmetric search range assignment for bidirectional motion estimation in H.265/HEVC and H.264/AVC," Journal of Visual Communication and Image Representation (JVCI), Vol. 25, No. 5, pp. 1275-1286, July, 2014.

J5. Dajiang Zhou, Jinjia Zhou, Gang He, and Satoshi Goto, "A 1.59Gpixel/s motion estimation processor with -211 to +211 search range for UHD TV video encoder," IEEE Journal of Solid-State Circuits (JSSC), Vol. 49, No. 4, pp. 827-837, April, 2014.

[学会発表] (計 8 件)

C1. Li Guo, Dajiang Zhou, Shinji Kimura, and Satoshi Goto, "Frame-level quality and memory traffic allocation for lossy embedded compression in video codec systems," IEEE International Conference on Multimedia and Expo (ICME) Workshops, Seattle, USA, July 2016.

C2. Jinjia Zhou, Yizhou Zou, Dajiang Zhou, and Satoshi Goto, "A fixed-complexity HEVC inter mode filtering algorithm based on distribution of IME-FME cost ratio," IEEE International Symposium on Circuits and Systems (ISCAS), Lisbon, Portugal, May, 2015.

C3. Fan Wang, Dajiang Zhou, and Satoshi Goto, "OpenCL based high-quality HEVC motion estimation on GPU," IEEE International Conference on Image

Processing (ICIP), Paris, France, October, 2014.

C4. Shuping Zhang, Jinjia Zhou, Dajiang Zhou, and Satoshi Goto, "A low power 720p motion estimation processor with 3D stacked memory," IFIP/IEEE International Conference on Very Large Scale Integration (VLSI-SoC), Playa del Carmen, Mexico, pp. 237-242, October, 2014.

C5. Dajiang Zhou, Li Guo, Jinjia Zhou, and Satoshi Goto, "Reducing power consumption of HEVC codec with lossless reference frame recompression," IEEE International Conference on Image Processing (ICIP), Paris, France, October, 2014.

C6. Zhe Sheng, Dajiang Zhou, Heming Sun, and Satoshi Goto, "Low-complexity rate distortion optimization algorithms for HEVC intra prediction," International Conference on Multimedia Modeling (MMM), Dublin, Ireland, pp. 541-552, January, 2014.

C7. Gang He, Dajiang Zhou, Zhixiang Chen, Tianruo Zhang, and Satoshi Goto, "A 995Mpixels/s 0.2nJ/pixel fractional motion estimation architecture in HEVC for Ultra-HD," IEEE Asian Solid-State Circuits Conference (A-SSCC), Singapore, pp. 301-304, November, 2013.

C8. Li Guo, Dajiang Zhou, and Satoshi Goto, "Lossless embedded compression using multi-mode DPCM & averaging prediction for HEVC-like video codec," European Signal Processing Conference (EUSIPCO), Marrakech, Morocco, September, 2013.

〔その他〕

ホームページ等

<http://www.aoni.waseda.jp/zhou>

6. 研究組織

(1) 研究代表者

周 大江 (ZHOU, DAJANG)

早稲田大学・大学院情報生産システム研究
科・助教

研究者番号：10607336