

科学研究費助成事業 研究成果報告書

平成 29 年 6 月 8 日現在

機関番号：12608

研究種目：基盤研究(A) (一般)

研究期間：2014～2016

課題番号：26249046

研究課題名(和文)ヘテロ構造設計と微細化により低電圧・高速動作を目指した相補型縦型トンネルFET

研究課題名(英文) Complementary vertical tunnel FET aiming for low voltage and high speed operation by heterostructure design and miniaturization

研究代表者

宮本 恭幸 (MIYAMOTO, Yasuyuki)

東京工業大学・工学院・教授

研究者番号：40209953

交付決定額(研究期間全体)：(直接経費) 31,900,000円

研究成果の概要(和文)：集積回路の高性能化には高オン電流/低オフ電流/低電源電圧を同時に行う必要があり、その実現には、異なる材料を組み合わせたヘテロ構造と微細マルチゲート構造を持ちかつ従来とは異なる原理で動くトンネルFET(TFET)の研究開発が必要である。

理論計算を行い、それに基づき20 nm幅のダブルゲート構造InGaAs/GaAsSbトンネルFETを作製し、ゲート電圧に対する電流の変化を示すサブスレッショルド特性において従来より低い168 mV/decを確認した。

研究成果の概要(英文)：In order to improve the performance of the integrated circuit, it is necessary to simultaneously perform high on-current / low off-current / low power supply voltage. To realize that, research and development of a hetero structure and a fine multi gate structure combined with different materials for a tunnel FET (TFET) which operates on a different principle from the conventional one is necessary.

Based on the theoretical calculation, a double gate structure InGaAs / GaAsSb tunnel FET with a width of 20 nm was fabricated, and the subthreshold characteristic showing the change in current with respect to the gate voltage was confirmed to be 68 mV / dec, which is lower than the conventional one.

研究分野：化合物半導体電子デバイス

キーワード：トンネルFET ヘテロ接合 化合物半導体

1. 研究開始当初の背景

集積回路の更なる高性能化には、消費電力/高速化の為に高オン電流/低オフ電流を維持しつつ、低電圧化することが必要だが、従来の寸法縮小(スケールリング)では、しきい値電圧以下でのサブスレッショルドスロープ(SS)特性がキャリアの熱分布により60mV/decを下回れないことが限界となっている。今後主流になるモバイル(LSTP)用の集積回路では10 pA/ μm という低オフ電流と300 - 600 $\mu\text{A}/\mu\text{m}$ 程度のオン電流が必要とされるが、低電源電圧で必要な7桁以上の電流変化を実現するにはSS特性の改善が必須であり、バンド間トンネリングを用いるトンネルFET(TFET)が提案されている。

しかしながらSiでのホモ接合では高電流密度に必要な薄いトンネル距離が難しく、1V印加しても1 $\mu\text{A}/\mu\text{m}$ 程度の電流しか得られていなかった。トンネル距離縮小には、狭いバンドギャップやスタガード形ヘテロ接合、電界の有効な印加の為に微細化したダブルゲートやナノワイヤ等のマルチゲート構造を用いることが必要である。研究開始当初のトンネルFETによる最高電流密度はスタガードタイプヘテロ構造を持つ最小直径35nmのナノワイヤトンネルFETでの310 $\mu\text{A}/\mu\text{m}$ である。しかしInAsチャンネルはバンドギャップが狭すぎ、オンオフ比は4桁もなかった。これはナノワイヤ直径が30 nm以上と大きいなどの問題による。そこで電子ビーム露光とエッチングを駆使した素子の微細化が優位性を持つと考えた。

また、GaSbやInGaSbはその正孔移動度が1,500 $\text{cm}^2\text{V}^{-1}\text{s}^{-1}$ を超えることが知られているが、一般的な平面形MOSFETにおける研究が端を発したばかりであり、縦形トンネルFETを作る試みは行われていない。そこでnMOSFETの技術をpMOSFETに拡張し、相補型を得ようという着想を得た。

2. 研究の目的

低消費電力かつ高性能なMOSFET実現には、低電圧での低オフ電流と高駆動電流の両立が必要である。本研究では化合物半導体による自由度の高いヘテロ構造導入で低電圧での高駆動能力・低オフ電流の両立を行う。スタガードタイプ(タイプII)のヘテロ接合を持つInGaAsSb系半導体とInGaAs系半導体とをp形、n形材料として組み合わせ、すでに確立されたダブルゲート形InGaAs形MOSFETの作製手法と併せて高電流が流せうるトンネル接合を持たせることで、高駆動能力と急峻なオフ特性、低オフ電流という要求される課題の両立を目指す。n形トンネルFET(n-TFET)、p形トンネルFET(p-TFET)の両方で研究を行い相補型回路を実現する。

3. 研究の方法

p-GaAsSb/i-InGaAs/n-InGaAs構造を用いたn-TFETについて、まずオン電流増大と

オフ電流の低減を両立するためのシミュレーションを行う。特にドーピングについての最適化を行う。またチャンネル長によって設計指針が変わることからチャンネル長が短くなった場合のトンネル電流に注力して、性能限界を明らかにする。また高電流領域での収束性についての改善についての検討も行う。

また低電源電圧において低オフ電流と高オン電流を両立するには、界面準位密度(D_{it})の低減が急峻なSS特性の為に重要である。また絶縁層膜厚を薄くして等価 SiO_2 膜厚(EOT)を小さくすれば、 D_{it} の影響を減らせる。さらに高オン電流には高い移動度も重要である。そこでプラズマ処理の導入が行えるALD装置を用いてEOTと D_{it} の両方の改善したMOS構造および平面型InGaAsチャンネルMOSFETを作成し、その改善・確認を行う。

p-GaAsSb/i-InGaAs/n-InGaAs n-TFETの作成では、急峻性・最大電流共に向上することが計算されることから、10 nmクラスのメサ幅を安定に得るプロセス精度の向上も行って、実際に素子を作成し、その特性から評価する。

n-InGaAs/i-InGaSb/p-InGaSb p-TFETのチャンネル材料に向けてGaAs(001)基板上格子緩和成長で得られた高In組成InGaAs(InAsを含む)上に、InGaSbを成長する技術を検討する。

4. 研究成果

p-GaAsSb/i-InGaAs/n-InGaAs構造を用いたn-TFETで電源電圧0.5Vにおいて、チャンネル長を50nmにして、450 $\mu\text{A}/\mu\text{m}$ のオン電流と10 pA/ μm のオフ電流を両立する設計をシミュレーションによって得た。このときソースであるp-GaAsSbは $8 \times 10^{19}\text{cm}^{-3}$ という高濃度にすることが低ドレイン電圧で高オン電流を得るために望ましいが、急峻性はこの高濃度ではドレイン/ソース直接トンネルの増大による劣化が始まっている。ドレインであるn-InGaAsは、低キャリア濃度がチャンネル・ドレイン間のトンネリングを抑制できて低オフ電流には望ましいが、低すぎるキャリア濃度はオン電流も抑制してしまうことから、 $8 \times 10^{18}\text{cm}^{-3}$ が最適であることが判った。I-V特性のドレイン濃度依存性を図1に示す。

一方、スケールリングを保ちつつチャンネル長を短くしていくと、チャンネル長20 nmまでドレイン/ソース直接トンネルの増大による劣化は顕著ではないが、10 nmでは主なパスになりTFETとしての動作が望めないことを明らかにした。図2にチャンネル長を変更したときのI-V特性の変化を示す。また、構造の最適化などを行った結果、収束性の問題はほぼなくなった。

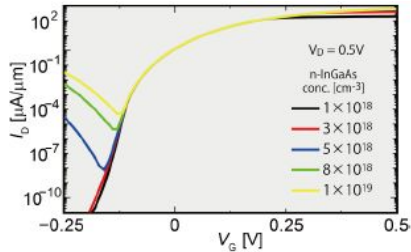
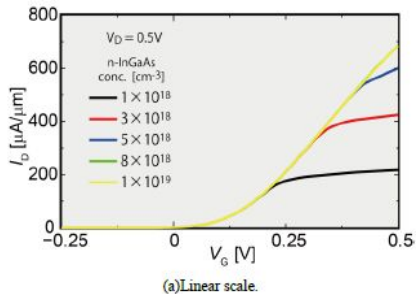


図1 I-V 特性のドレイン濃度依存性

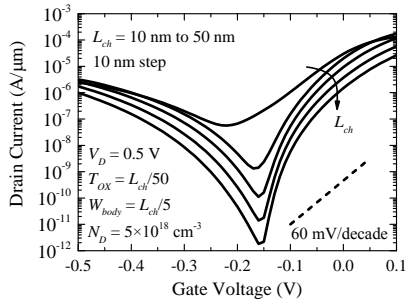


図2 I-V 特性のチャネル長依存性

EOT と D_{it} の両方の改善した MOS 構造として HfO_2 (35 サイクル)/ Al_2O_3 (2 サイクル)/InGaAs MOSCAP を ALD 成膜前の窒素プラズマ表面処理と 350 °C での水素でのメタル層成膜後アニール(PMA)とを用いて作製し、ゲート容量:2.4 ($\mu F/cm^2$)、EOT 0.74 nm、 $D_{it}:1.2 \times 10^{12}$ ($eV^{-1}cm^{-2}$) を確認(図 3)した。

さらに、この条件での平面型 InGaAs MOSFET を作製し移動度の評価を行った。 HfO_2 を 300 °C で製膜すると移動度が劣化してしまうが、120 °C で製膜すると 1,000 $cm^2/Vsec$ を超える移動度が維持できることが分かった(図 4)。また測定時にシリコンにおける NBTI と同様にバイアスを大きく振ると劣化することも確認された。

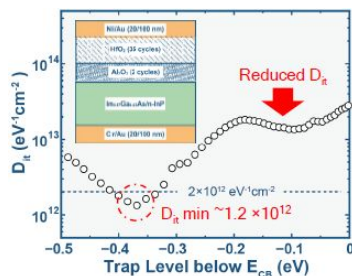


図3 MOSCAP の界面準位密度

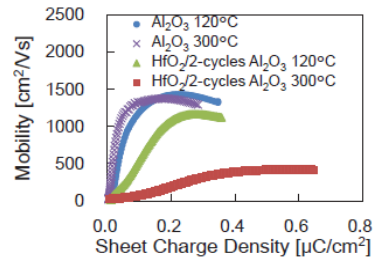


図4 移動度の成膜方法依存性

p-GaAsSb/i-InGaAs/n-InGaAs n-TFET としては、エッチング方法などの改善を図り 20 nm 幅のデバイスを作成できるようになった。このデバイスの TEM 像を図 5 に示す。このデバイスは PMA 前の最も急峻な SS としては 77 mV/dec を確認した。ここで、PMA を行うことでさらなる改善を試みたところ、残念ながら素子はリーキーになってしまった。そこで PMA を行わなかった中で一番急峻な SS を示した 40 nm 幅の素子 (SS=90 mV/dec) で、測定電圧範囲を NTBI の影響を受けないようにして測定したところ、68 mV/dec の SS を得た。素子の I-V 特性を図 6 に示す。77 mV/dec の素子ならば 60 mV/dec を十分切れたはずであった。オン電流の改善も確認され、8.5 $\mu A/\mu m$ まで改善した。現在アニールでのリーク特性劣化を抑制するためのプロセス改善を行っている。

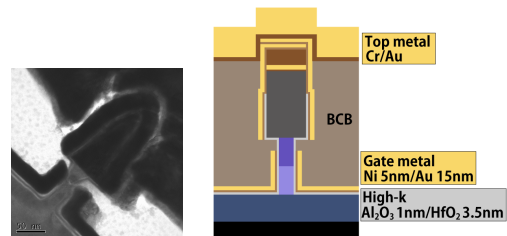


図5 作成したチャネル幅 20 nm の素子の TEM 像とその構造模式図

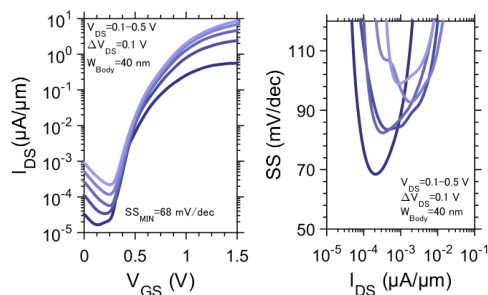


図6 得られた I-V 特性

分子線エピタキシーによる GaAs(001)基板上高 In 組成 InGaAs(InAs を含む)成長の検討を進め、良好な電子移動度を有する層を格子緩和成長することが可能となった。得られた InAs 層における電子散乱機構と電流低周波ノイズ発生機構を明らかにし、膜厚揺らぎが運動量緩和時間と Hooge パラメータに大きな影響を与えていることを見出した。また、

電子のクーロン散乱における特徴的な相互作用長が 20 nm 程度であることがわかった。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計 14 件)

T. Ui, R. Mori, S. P. Le, Y. Oshima, and T. Suzuki, "An InAs/high-k/low-k structure: electron transport and interface analysis", AIP Advances, 査読有, vol.7, 2017, 055303-1 ~ 8 DOI: 10.1063/1.4983176

K. Ohsawa, S. Netsu, N. Kise, S. Noguchi, and Y. Miyamoto, "Dependence of electron mobility on gate voltage sweeping width and deposition temperature in MOSFETs with HfO₂/Al₂O₃/InGaAs gate stacks", Jpn. J. Appl. Phys., 査読有, vol.56, 2017, 04CG05-1 ~ 5 DOI: 10.7567/JJAP.56.04CG05

S. P. Le, T. Ui, T. Q. Nguyen, H.-A. Shih, and T. Suzuki, "Low-frequency noise in AlTiO/AlGaIn/GaN metal-insulator-semiconductor heterojunction field-effect transistors", J. Appl. Phys., 査読有, vol.119, 2016, 204503-1 ~ 6, DOI:10.1063/1.4952386

N. Kise, H. Kinoshita, A. Yukimachi, T. Kanazawa and Y. Miyamoto, "Fin width dependence on gate controllability of InGaAs channel FinFETs with regrown source/drain", Solid-State Electronics, 査読有, vol. 126, 2016, pp.92-95, DOI: 10.1016/j.sse.2016.09.009

A. Yukimachi and Y. Miyamoto, "InGaAs/AlAs triple-barrier p-i-n junction diode for realizing superlattice-based FET for steep slope", Jpn. J. Appl. Phys., 査読有, vol.55, 2016, 118004-1 ~ 3, DOI: 10.7567/JJAP.55.118004

Y. Miyamoto, "Recent progress in compound semiconductor electron devices (**Review paper**)", IEICE Electronics Express, 査読無, vol.13, 2016, No.18, pp.1-13, DOI:10.1587/elex.13.20162002

W. Lin, S. Iwata, K. Fukuda and Y. Miyamoto, "Scaling limit for InGaAs/GaAsSb heterojunction

double-gate tunnel FETs from the viewpoint of direct band-to-band tunneling from source to drain induced off-characteristics deterioration", Jpn. J. Appl. Phys., 査読有, vol.55, 2016, 070303-1 ~ 4, DOI: 10.7567/JJAP.55.070303

宮本恭幸, III-V 族チャネルを持つ MOSFET (**特集解説記事**), 電気学会論文誌 C, 査読無, 136 巻, 2016, pp.437 ~ 443, DOI: 10.1541/ieejieiss.136.437

岩田 真次郎, 大橋 一水, 林 文博, 福田 浩一, 宮本 恭幸, GaAsSb/InGaAs ダブルゲートトンネル FET におけるソースおよびドレイン不純物濃度依存性, 電気学会論文誌 C, 査読有, 136 巻, 2016, pp.467 ~ 473, DOI: 10.1541/ieejieiss.136.467

S. P. Le, T. Ui, and T. Suzuki, "Low-frequency noise in InAs films bonded on low-k flexible substrates", Appl. Phys. Lett., 査読有, vol.107, 2015, 192103-1 ~ 4, DOI:10.1063/1.4935458

K. Ohashi, M. Fujimatsu, S. Iwata and Y. Miyamoto, "Body width dependence of subthreshold slope and on-current in GaAsSb/InGaAs double-gate vertical tunnel FETs", Jpn. J. Appl. Phys., 査読有, vol.54, 2015, 04DF10-1 ~ 5, DOI:10.7567/JJAP.54.04DF10

H.-A. Shih, M. Kudo, and T. Suzuki, "Gate-control efficiency and interface state density evaluated from capacitance-frequency-temperature mapping for GaN-based metal-insulator-semiconductor devices", J. Appl. Phys., 査読有, vol.116, 2014, 184507-1 ~ 9, DOI:10.1063/1.4901290

S. P. Le, T. Q. Nguyen, H.-A. Shih, M. Kudo, and T. Suzuki, "Low-frequency noise in AlN/AlGaIn/GaN metal-insulator-semiconductor devices: a comparison with Schottky devices", J. Appl. Phys., 査読有, vol.116, 2014, 054510-1 ~ 8, DOI: 10.1063/1.4892486

K. Ohsawa, A. Kato, T. Kanazawa, E. Uehara and Y. Miyamoto, "Channel thickness dependence on InGaAs MOSFET with InP source for high current density", IEICE Electronics Express, vol.11, 2014, No. 14,

[学会発表](計 22 件)

N. Kise, S. Iwata, R. Aonuma, K. Ohsawa and Y. Miyamoto, "GaAsSb/InGaAs Double-Gate Vertical Tunnel FET with a Subthreshold Swing of 68mV/dec at Room Temperature", Compound Semiconductor Week 2017 [Includes 29th International Conference on Indium Phosphide & Related Materials (IPRM) & 44th International Symposium on Compound Semiconductors (ISCS)], 2017年5月18日, ベルリン(ドイツ).

K. Ohsawa, N. Kise and Y. Miyamoto, "Deposition Temperature and Al₂O₃ Thickness Dependence on the Mobility of HfO₂/Al₂O₃/InGaAs Gate Stacks", 48th Int. Conf. on Solid State Devices and Materials (SSDM), 2016年9月28日, つくば国際会議場(茨城県・つくば市)

T. Ui, R. Mori, S. P. Le, Y. Oshima, and T. Suzuki, "Fabrication and characterization of InAs/high-k/low-k structures", 48th Int. Conf. on Solid State Devices and Materials (SSDM), 2016年9月27日, つくば国際会議場(茨城県・つくば市)

M. Kashiwano, A. Yukimachi and Y. Miyamoto, "Experimental approach for feasibility of superlattice FETs", 2016 Lester Eastman Conference (LEC), 2016年8月3日 ベスレヘム(米国)

Y. Miyamoto, W. Lin, S. Iwata, and K. Fukuda, "Steep sub-threshold slope in short-channel InGaAs TFET (**Invited**)", The 18th International Symposium on the Physics of Semiconductors and Applications (ISPSA-2016), 2016年7月6日 濟州島(韓国)

H. Kinoshita, N. Kise, A. Yukimachi, T. Kanazawa, and Y. Miyamoto, "Operation of 16-nm InGaAs channel multi-gate MOSFETs with regrown source/drain", 28th International Conference on Indium Phosphide & Related Materials (IPRM), 2016年6月28日 富山国際会議場(富山県富山市)

S. P. Le, T. Ui, and T. Suzuki,

"Low-frequency noise exponents in InAs thin films on flexible or GaAs(001) substrate", 43rd International Symposium on Compound Semiconductors, 2016年6月27日 富山国際会議場(富山県富山市)

Y. Miyamoto, "Steep slope devices with InGaAs channel for post Si CMOS application (**Invited**)", China Semiconductor Technology International Conference (CSTIC) 2016, 2016年3月13日 上海(中国)

S. Iwata, W. Lin, K. Fukuda and Y. Miyamoto, "Design of drain for low off current in GaAsSb/InGaAs tunnel FETs", 47th International Conference on Solid State Devices and Materials (SSDM), 2015年9月29日 札幌コンベンションセンター(北海道・札幌市)

S. P. Le, T. Ui, T. Q. Nguyen, H.-A. Shih, and T. Suzuki, "Low-frequency noise in AlTiO/AlGaIn/GaN metal-insulator-semiconductor heterojunction field-effect transistors", 47th International Conference on Solid State Devices and Materials (SSDM), 2015年9月28日 札幌コンベンションセンター(北海道・札幌市)

S. Yamaguchi, T. Ui, J. Liang, H.-A. Shih, and T. Suzuki, "Fabrication and characterization of AlTiO/InAlN/AlN/GaN metal-insulator-semiconductor field-effect transistor", 47th International Conference on Solid State Devices and Materials (SSDM), 2015年9月28日 札幌コンベンションセンター(北海道・札幌市)

Y. Miyamoto, T. Kanazawa, Y. Yonai, K. Ohsawa, Y. Mishima, M. Fujimatsu, K. Ohashi, S. Nestu, and S. Iwata, "InGaAs channel for low supply voltage (**Invited**)", 47th International Conference on Solid State Devices and Materials (SSDM), 2015年9月28日 札幌コンベンションセンター(北海道・札幌市)

Y. Miyamoto, M. Fujimatsu, K. Ohashi, A. Yukimachi and S. Iwata, "Steep subthreshold slope in InGaAs MOSFET (**Invited**)", SemiconNano 2015, 2015年8月24日 新竹(台湾)

H. Kinoshita, S. Nestu, Y. Mishima, T. Ka

kanazawa and Y.Miyamoto, "Fabrication of InGaAs channel multi-gate MOSFETs with MOVPE regrown source/drain", 11th Topical Workshop on Heterostructure Microelectronics, 2015年8月24日 ひだホテルプラザ (岐阜県高山市)

S. Netsu, T. Kanazawa, and Y. Miyamoto, "Improvement of Interface Property of $\text{HfO}_2/\text{Al}_2\text{O}_3/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ Using Nitrogen Plasma Cleaning and Hydrogen Annealing", 27th International Conference on Indium Phosphide and Related Materials (IPRM), 2015年7月1日 サンタバーバラ (米国)

K. Ohsawa, Y. Mishima and Y. Miyamoto, "Operation of 13-nm channel length InGaAs-MOSFET with n-InP source", 27th International Conference on Indium Phosphide and Related Materials (IPRM), 2015年7月1日 サンタバーバラ (米国)

T. Q. Nguyen, T. Ui, M. Kudo, H.-A. Shih, N. Hashimoto, and T. Suzuki, "Temperature-dependent characteristics of AlTiO/AlGaIn/GaN metal-insulator-semiconductor heterojunction field-effect transistors", 2014 Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices, 2014年7月3日 金沢市文化ホール (石川県金沢市)

K. Ohashi, M. Fujimatsu and Y. Miyamoto, "Body width dependence of subthreshold slope and on-current in GaAsSb/InGaAs Double Gate Vertical Tunnel FETs", 46th Int. Conf. on Solid State Devices and Materials (SSDM), 2014年9月11日 つくば国際会議場 (茨城県・つくば市)

S. P. Le, T. Q. Nguyen, H.-A. Shih, M. Kudo, and T. Suzuki, "Low-frequency noise of intrinsic gated region in AlN/AlGaIn/GaN metal-insulator-semiconductor heterojunction field-effect transistors", 46th Int. Conf. on Solid State Devices and Materials (SSDM), 2014年9月9日 つくば国際会議場 (茨城県・つくば市)

Y. Miyamoto, T. Kanazawa, Y. Yonai, K. Ohsawa, Y. Mishima, T. Irisawa, M. Oda, and T. Tezuka, "Growth Process

for High Performance of InGaAs MOSFETs (**Invited**)", 72nd Device Research Conference (DRC), 2014年6月24日 サンタバーバラ (米国)

21 Y. Mishima, T. Kanazawa, H. Kinoshita, E. Uehara, and Y. Miyamoto, "InGaAs tri-gate MOSFETs with MOVPE regrown source/drain", 72nd Device Research Conference (DRC), 2014年6月23日 サンタバーバラ (米国)

22 Y. Miyamoto, T. Kanazawa, Y. Yonai, A. Kato, M. Fujimatsu, M. Kashiwano, K. Ohsawa, and K. Ohashi, "InGaAs MOSFET Source Structures Toward High Speed/low Power Applications (**Invited**)", 26th International Conference on InP and Related Materials IPRM), 2014年5月13日 モンペリエ (フランス)

〔図書〕(計 0 件)

〔産業財産権〕

- 出願状況 (計 0 件)
- 取得状況 (計 0 件)

〔その他〕

ホームページ

<http://www.pe.titech.ac.jp/Furuya-MiyamotoLab/>

6. 研究組織

(1)研究代表者

宮本 恭幸 (MIYAMOTO Yasuyuki)
東京工業大学・工学院・教授
研究者番号: 40209953

(2)研究分担者

鈴木 寿一 (SUZUKI Toshikazu)
北陸先端科学技術大学院大学・ナノマテリアルテクノロジーセンター・教授
研究者番号: 80362028

(3)連携研究者

金澤 徹 (KANAZAWA Toru)
東京工業大学・工学院・助教
研究者番号: 40514922

(4)研究協力者

なし