

令和元年6月21日現在

機関番号：12608

研究種目：基盤研究(A) (一般)

研究期間：2014～2018

課題番号：26249049

研究課題名(和文) CMOS/スピントロニクス融合回路による不揮発性パワーゲーティング技術

研究課題名(英文) Nonvolatile power-gating technology based on CMOS/spintronics-hybrid CMOS circuits

研究代表者

菅原 聡 (Sugahara, Satoshi)

東京工業大学・科学技術創成研究院・准教授

研究者番号：40282842

交付決定額(研究期間全体)：(直接経費) 32,750,000円

研究成果の概要(和文)：本研究課題では、マイクロプロセッサ(MP)やシステムオンチップ(SoC)などのCMOSロジックシステムの待機時電力を高効率に削減できる不揮発性パワーゲーティング(NVPG)技術、およびこのアーキテクチャに必要となる不揮発性SRAMなどの不揮発性双安定記憶回路技術の開発を行った。この記憶回路はCMOS双安定回路と不揮発性メモリ素子である強磁性トンネル接合を用いて構成され、通常動作においては従来技術の性能を維持し、さらに不揮発記憶によるNVPGを実現できる。本研究で開発したNVPG技術をMPやSoCに用いれば、従来技術では到達できない高効率の待機時電力削減が可能になることを明らかにした。

研究成果の学術的意義や社会的意義

本研究課題では、CMOSロジックシステムにおいて極めて重要な問題となっている待機時電力を、不揮発記憶を活用したパワーゲーティング(NVPG)によって高効率に削減できる回路・アーキテクチャ技術を研究開発した。この目的には、従来の不揮発性メモリ技術ではその速度・エネルギー性能から応用は難しく適していない。そこで、SRAMやFFなど双安定記憶回路をNVPGに適合するように不揮発化した不揮発性双安定記憶回路(NV-SRAM, NV-FF)の開発を行った。本研究課題で開発したNVPG技術をMPやSoCに導入することで、従来のCMOS技術のみでは実現できない高効率の待機時電力削減が可能になる。

研究成果の概要(英文)：Nonvolatile power-gating (NVPG) that is an architecture employing nonvolatile state/data retention is expected to be a highly efficient energy reduction technique for high-performance CMOS logic systems. Nonvolatile bistable circuits such as nonvolatile SRAM (NV-SRAM) are required for the NVPG architecture. In this research project, design methodology for NV-SRAM using magnetic tunnel junctions (MTJs) and architectures for improving its energy efficiency are developed. A newly introduced hierarchical store-free (HSF) architecture is also highly effective at improving the energy efficiency. The energy performance is computationally analyzed and experimentally verified using circuit parameters extracted from fabricated test-element-group circuits of the NV-SRAM.

研究分野：集積回路工学

キーワード：CMOS 待機時電力 マイクロプロセッサ SoC

## 様式 C - 19、F - 19 - 1、Z - 19、CK - 19 (共通)

### 1. 研究開始当初の背景

各種コンピューティング・システムに搭載されているマイクロプロセッサ(MP)やシステムオンチップ(SoC)では、待機時における消費電力の削減が重要な課題の1つになっている。特に数 10 ナノメートルのデバイス世代では、トランジスタの微細化にともなうサブスレッショルドリーク電流に起因する待機時電力の削減が重要である。このリークは回路の速度性能とトレードオフの関係にあり、しかもデバイス技術では削減できない温度で決まる最小値が存在する。このため、待機時電力の削減には、回路・アーキテクチャレベルからのアプローチが必要になる。待機時電力の有効な削減技術としてパワーゲーティング(PG)が広く用いられている。PG では、MP や SoC などのロジックシステムをパワードメインと呼ばれる領域に分割して、待機状態にあるパワードメインの電源遮断を行うことで待機時電力の削減を行う。この電源遮断は、電源線(または接地線)と各パワードメインとの間に設けられたパワースイッチと呼ばれるトランジスタによって実現される。したがって、電源電圧をハイインピーダンス状態のパワースイッチとパワードメインとで分圧することによって電源遮断が実現される。PG は近年の MP や SoC では標準的に搭載されている待機時電力削減アーキテクチャであるが、課題も多い。特に、電源遮断時にパワードメイン内にあるデータの保持が、PG の空間的、時間的粒度に制約を与え、エネルギーの削減効率が制限される。これは、ロジックシステム内の記憶回路が SRAM やフリップフロップ(FF)など揮発性の双安定記憶回路からなることによる。

本研究課題では、MP や SoC などの CMOS ロジックシステムの待機時消費電力を高効率に削減できる不揮発記憶を活用した PG(不揮発性パワーゲーティング; NVPG)技術、およびこのアーキテクチャに必要な不揮発性 SRAM(NV-SRAM)などの不揮発性双安定記憶回路技術を創出する。

### 2. 研究の目的

本研究課題では、MP や SoC などの CMOS ロジックシステムの待機時消費電力を高効率に削減できる NVPG 技術、およびこのアーキテクチャに必要な NV-SRAM などの不揮発性双安定記憶回路技術を創出する。具体的には、CMOS 双安定回路と不揮発性メモリ素子である強磁性トンネル接合(MTJ)を用いて、不揮発性双安定記憶回路技術とその NVPG アーキテクチャ技術を確立する。通常動作と NVPG 動作の電気的な分離によって、通常動作時における双安定記憶回路の回路性能を劣化させることなく、NVPG を実現できる技術を確立する(すなわち、不揮発記憶を導入しても通常動作は従来の CMOS ロジックシステムの性能を維持できる NVPG 技術を開発する)。特に、MP や SoC において NVPG を実現する際に重要となるエネルギー削減効率に関する指標となる Break-even-time (BET)を削減するための技術を回路とアーキテクチャの両面から開発を行う。対象は MP や SoC における NVPG とするが、スマートモバイルデバイスやウェアラブルデバイスなどにも応用できる低電圧駆動下(環境発電下なども含む)での NVPG についても検討する。

### 3. 研究の方法

本研究で用いた NV-SRAM セルや NV-FF などの不揮発双安定回路は本研究代表者らによって提案されたものである。以下では NV-SRAM についてのみ述べる。NV-SRAM セルは不揮発性メモリ素子である MTJ を、トランジスタを介して CMOS 双安定記憶回路(インバートループ)の記憶ノードに接続することで構成する(図 1a)。このトランジスタを遮断することで、MTJ は双安定回路から電氣的に切り離され、通常の SRAM として動作させることが可能となる。したがって、通常動作時に MTJ の影響を受けることなく、動作速度や安定性の劣化を防ぎ、付加的なリーク電流などによるエネルギー損失も最小限に抑えることができる。NVPG を実行するときは、記憶ノードの情報を MTJ に書き込みを行うが(ストア動作)、これは MTJ を接続しているトランジスタを導通させ、MTJ に接続されている信号線にパルス信号を与えるだけで実現できる(図 1b)。この後、セルに接続しているパワースイッチを遮断することで、セルは電源遮断の状態となる。電源遮断から復帰する場合は(リストア動作)、MTJ を接続しているトランジスタを導通させ、パワースイッチを開くだけで MTJ の記憶内容が双安定回路部の記憶ノードに書き戻される。

セルとパワースイッチの設計は MTJ への書き込み電流(ストア電流)に仮想電源の電位(パワースイッチとセルの間の電位;  $V_{DD}$ )と安定性(ノイズマージン; SNM)も考慮して決定した。本研究の NV-SRAM の設計は 65nm CMOS プロセスを用いた。トランジスタには主に高速性と低消費電力性のバランスのとれた LP モデルを用いた。6T セル部の各トランジスタのサイズ比は、論文発表のあった 6T-SRAM の設計を参考にして決定した。また、MTJ に接続するトランジスタはセルのパスゲートと同じとした。

NV-SRAM のセルアレイは 256bit×256bit(8kB)のサブアレイによって所望の容量を実現するように構成した(32kB-2MB)。周辺回路は、通常の SRAM 動作を行うためのプリチャージ、デコーダ、書き込み/読み出し回路などの周辺回路(以下 NLP と呼ぶ)に、NVPG を行うため

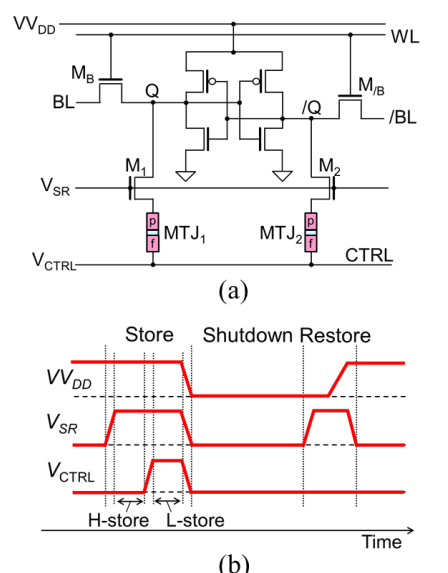


図 1: (a)NV-SRAM セル、(b)ストアおよびリストアのシーケンス。

の周辺回路(以下 NVP と呼ぶ)を加えて構成した。NVP は SR デコーダ, CTRL バッファなどからなる(図1a の  $V_{SR}$ ,  $V_{CTRL}$  信号の制御用)。以上の構成の NV-SRAM は HSPICE によるシミュレーションと、試作した TEG から抽出した回路パラメータを用いて解析を行った。

NV-SRAM を用いた NVPG のエネルギー性能は Break-even time (BET) を指標として解析を行った。BET は電源遮断によってエネルギーを削減できる最小の電源遮断時間である。NV-SRAM では、6T-SRAM と比較して得られる BET を用いた(6T-SRAM を NV-SRAM で置き換えた時のエネルギー効率を評価できる)。この他に電源遮断時の消費電力の削減率や、電源遮断に要するレイテンシなども含めて総合的に評価した。

#### 4. 研究成果

はじめに、NV-SRAM について、6T-SRAM との比較による BET の定式化を行い、次式で与えられることを示した:  $BET = BET_{NL} + BET_{SR} = \eta \tau_{NL} + BET_{SR}$ 。  $BET_{NL}$  は NV-SRAM を用いた場合に生じる通常 SRAM 動作時のリーク電流によるエネルギーの増加分に依存し、  $BET_{SR}$  はストアおよびリストア動作に必要なエネルギーに依存する。また、電源遮断時のリーク電流はこれら両方に影響する。BET は通常の SRAM 動作の実行時間  $\tau_{NL}$  に比例する項( $BET_{NL}$ )としない項( $BET_{SR}$ )に分けることができる。したがって、BET を  $\tau_{NL}$  に対してプロットすれば、  $BET_{NL}$  は  $\tau_{NL}$  に比例して増大する BET 成分、  $BET_{SR}$  は  $\tau_{NL}$  に依存せず一定値をとる成分となり、両者を容易に見分けることができる。

次に NV-SRAM の設計を行い、エネルギー性能の解析を行った。セルとパワースイッチのトランジスタのサイズおよび MTJ へのストア電流を得るためのバイアス条件は、MTJ のスピン注入磁化反転に必要な臨界電流  $I_c$  の 1.2 倍を確保し(MTJ の素子パラッキの影響を考慮)、さらに  $V_{DD}$  と SNM が所望の値を満たすように決定した。過剰なストア電流は  $BET_{SR}$  を増大させるため、この BET 成分を低く抑えるためにはこのストア電流の設計が重要になる。

NV-SRAM セルは図 1a に示したように、MTJ を双安定回路から電気的に分離するためにトランジスタが余分に付加されているため、通常の SRAM 動作時には 6T セルよりもリーク電流が多く生じ、  $BET_{NL}$  を増大させてしまう。しかし、これは通常動作時に  $V_{SR}$  をまたは  $V_{CTRL}$  を適切に設定しておくことで、6T セルと同程度のリーク電流まで下げることができる。

電源遮断時には電源電圧  $V_{DD}$  を遮断状態のパワースイッチとセルで分圧することで、セルに生じるリークを減らしている。したがって、パワースイッチをより深く遮断できれば、電源遮断時のリークをさらに削減できる。これも BET ( $BET_{NL}$  と  $BET_{SR}$  の両方)の削減に効果がある。ここでは PG ではしばしば用いられる技術であるスーパーカットオフを用いて電源遮断時のリーク電流の削減を行った。

以上の開発を行った MTJ へのストア電流制御。通常動作時におけるリーク電流制御、電源遮断時におけるリーク電流制御を併用することで、BET を大幅に削減できることを明らかにした(図 2)。この効果はアレイサイズが 32kB、256kB、2MB となる(それぞれ、L1, L2, L3 キャッシュの典型的なサイズに相当)NV-SRAM で同様に得られた。BET の値はメモリ容量で異なるが、上述の各種アーキテクチャを複合的に導入することで、これらの値は大幅に削減(約 2 桁減)できることを明らかにした。

次に、電源遮断時の電力削減効果について、6T-SRAM との比較を行った。上述のように 6T-SRAM では、電源遮断するとデータが失われてしまうため、データが失われない程度に電源電圧を落としてリテンション行うスリープモードがよく用いられる(電源電圧の 7-8 割程度の電圧を用いることが多い。パラッキを考慮した SNM やスリープモードからの復帰時間などを考慮して決める)。この場合では待機時電力の削減効果はアレイサイズによらず概ね  $\sim 1/3$  程度であったが、NV-SRAM では完全に電源遮断できるため、待機時電力は約  $1/400$  に削減できる(図 3)。以上の結果はデバイスに LP モデルを用いた場合であるが、高しきい値の LSTP モデルを用いることによって待機時電力の削減率はさらに増大し  $\sim 1/1000$  にも及ぶことがわかった。BET の削減率は周辺回路(NLP, NVP)のリークにも依存するため、以上の解析で各動作モードにおいて不要な周辺回路には適切に PG を導入してある。

試作した NV-SRAM の TEG から実測した回路パラメータを用いて、上述のシミュレーションによる解析結果の検証

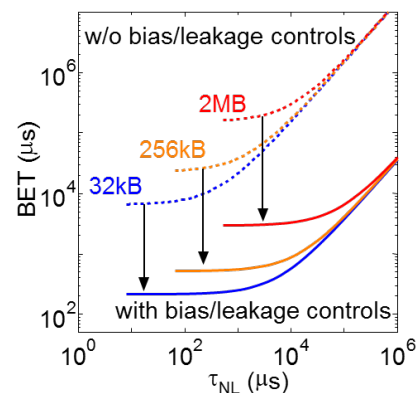


図2: BET の  $\tau_{NL}$  依存性。  $\tau_{NL}$  に比例する成分が  $BET_{NL}$ 、一定の成分が  $BET_{SR}$  である。

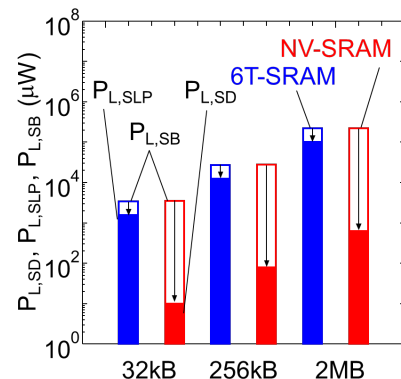


図3: 6T-SRAM と NV-SRAM における待機時電力。6T-SRAM ではスリープモード、NV-SRAM では電源遮断による待機時電力の変化を表している。

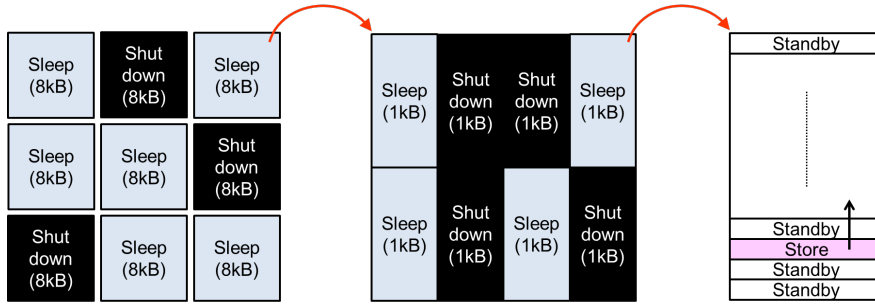


図4: HSFアーキテクチャの模式図. ストアを必要としないサブアレイとストアを必要とするサブアレイ内のストア不要のブロックをストア動作の前に一括して電源遮断し, 次いで, ストアの必要なブロックを順次ストアする.

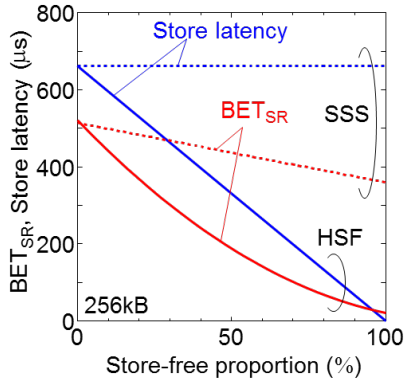


図5: BET およびストアレイテンシのストアフリー率依存性.

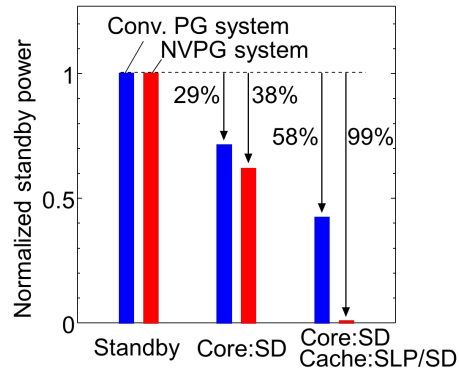


図6: ロジックシステムモデルを用いた従来 PG と NVPG における待機時電力削減の効果.

を行った. BET および BET の各種削減アーキテクチャに関するシミュレーション結果は, TEG から抽出した実測データを用いた解析結果と良い一致を示し, また, 電源遮断による待機時電力の削減率もシミュレーションと実測値の解析結果とはほとんど一致した. 以上から, NV-SRAM の BET 削減アーキテクチャと NV-SRAM による待機時電力削減の有効性と効果を実証できた.

次に, BET のさらなる削減アーキテクチャの提案と検証を行った.  $BET_{SR}$  はストア動作における MTJ への書き込みのためのエネルギーが重要な因子になっている. そこで, まずは, ストアフリーシャットダウンを導入した. これは, 双安定回路部のデータと MTJ に書き込まれているデータが一致しているときには, ストア動作をスキップするアーキテクチャである. 最も簡単な実現方法は, 過去に MTJ にデータがストアされたアレイ内のブロックのうち, 新たに書き込みの行われなかったブロックについてはストア動作をスキップすることで実現できる (Simple store skipping; SSS). これは簡単なハードウェアを付加するだけで簡単に実装できる (書き込みの有無を判定するフラグをブロックごとに設け, このフラグを判定信号として  $V_{SR}$  信号を disable すればよい). しかし, SSS アーキテクチャでは, NV-SRAM の容量が大きい場合に, ストアをスキップしても BET 削減の効果が薄れることや, ストア動作に要するレイテンシを削減できないという問題がある. そこで, これらの問題を解消するため階層型ストアフリーアーキテクチャ (Hierarchical store-free architecture; HSF) を提案した. HSF でもアレイ内の書き込みアクセスのあったブロック情報を記憶する専用の記憶回路 (SFI) を設けておく. 電源遮断時にはこの情報を予め読み取りパワーマネジメントユニット (PMU) に送り, ストアを必要としないサブアレイ, およびストアを必要とするサブアレイ内のストア不要のブロックをストア動作の前に一括して電源遮断する (図 4). SSS では上述のようにアレイサイズが小さければ効果的に BET を削減できるが, アレイサイズが増加するとストア待機領域のリークにより BET の削減効率が抑制されてしまう. 一方, HSF ではストア動作開始前に SFI の情報から, 一括してストアフリー領域を電源遮断できるので, L2, L3 相当の容量の大きなアレイに対しても効果的に BET の削減できる (図 5). 以上の解析結果は試作した NV-SRAM TEG による評価結果とほぼ一致した. また, ストアに要するレイテンシは SSS では削減できないが, HSF では効果的に削減できることも確認した (図 5).

最後に, NV-SRAM を搭載したロジックシステムの電力削減効果について検討を行った. MP の 50% をキャッシュ, コアの 20% を FF が占めるシステムモデルを用いて, 従来技術の PG と NVPG との比較を行った. 従来 PG を行うロジックシステムにおいて, コアの PG は FF の電源供給を遮断しないリテンション FF を用いて実現し (デュアルパワーレールで実現可能), キャッシュ部は, 電源遮断せず (できないため) 6T-SRAM のスリープモードを用いた. これに対して NVPG を行うロジックシステムでは,

FF に新たに提案・開発した擬似不揮発性 FF を用いてコアの電源遮断を行うことにした。キャッシュ部には NV-SRAM を用いて完全な電源遮断を行う。解析の結果、従来の PG に比べて NVPG では大幅に電力削減が可能であることがわかった(図6)。この効果の差はコアの電源遮断だけでも現れている。以上の結果から、不揮発記憶(擬似不揮発記憶含む)を活用した電源遮断による待機時電力削減の有効・有用性を確認した。

本研究課題では、CMOS ロジックシステムにおける NVPG の実現に必要な NV-SRAM の設計法、BET 削減アーキテクチャ、さらにはエネルギー性能の解析法を開発して、高精度シミュレーションと試作 TEG から実測した回路パラメータを用いて総合的に性能解析と検証を行った。この研究成果から、本研究で開発した NVPG 技術を MP や SoC に用いれば、従来技術では到達できない高効率の待機時電力削減が可能になることを明らかにした。また、エネルギー効率を向上できるニアスレッシュホールド電圧駆動や、体温による熱発電など環境発電による低電圧下における NV-SRAM の設計法や駆動方式の開発、さらには NV-SRAM に応用可能な新しい低電圧動作 MTJ の提案も行った。これらは IoT に用いるマイクロコントローラや将来のスマートモバイルデバイスやウェアラブルデバイスなどに応用が期待できる。さらに、従来の CMOS デバイスより高速性と低消費電力性が期待できる Piezo-electronic transistor など Beyond-CMOS デバイスにおいても待機時電力の削減が重要となり、NVPG が有効であることを示した。

## 5. 主な発表論文等

(雑誌論文) (計 4 件)

1. D. Kitagata, S. Yamamoto, and S. Sugahara, "Design and energy-efficient architectures for nonvolatile static random access memory using magnetic tunnel junctions", *Jpn. J. Appl. Phys.*, vol. 58, no. SB, 2019, pp. SBBB12/1-10 [査読有].
2. Y. Takamura, Y. Shuto, S. Yamamoto, H. Funakubo, M. K. Kurosawa, S. Nakagawa, and S. Sugahara, "Inverse-magnetostriction-induced switching current reduction of STT-MTJs and its application for low-voltage MRAM", *Solid-State Electronics*, vol. 128, 2017, pp. 194-199 [査読有].

他 2 件[査読有]

(学会発表) (計 38 件)

招待講演

1. 北形大樹, 周藤悠介, 山本修一郎, 菅原聡, "不揮発性 SRAM のアーキテクチャとエネルギー性能", 電気情報通信学会集積回路研究会, 港区, 東京, 2017 年 4 月 21 日.
2. Y. Shuto, S. Yamamoto, and S. Sugahara, "New power-gating architectures using nonvolatile retention: Comparative study of nonvolatile power-gating (NVPG) and normally-off architectures for SRAM", 29th IEEE International Conference on Microelectronic Test Structures (ICMTS), Yokohama, Japan, March 28-31, 2016, paper 8-1.

他 2 件

国際会議

3. D. Kitagata, S. Yamamoto, and S. Sugahara, "Design and Performance of Virtually Nonvolatile Retention Flip-Flop Using Dual-Mode Inverters", 2nd New Generation of Circuits & Systems Conference (NGCAS2018), Valletta, Malta, November 20, 2018, pp. 182-185.
4. D. Kitagata, S. Yamamoto, and S. Sugahara, "A New Architecture of Store Energy and Latency Reduction for Nonvolatile SRAM Based on Spintronics/CMOS-Hybrid Technology", 2018 International Conference on Solid State Device and Materials (SSDM2018), Tokyo, Japan, September 9-13, 2018, paper B-4-03, pp. 119-120.
5. D. Kitagata, S. Yamamoto, and S. Sugahara, "Hierarchical Store-Free Architecture for Nonvolatile SRAM Using STT-MTJs", IEEE International Electron Devices Meeting (IEDM) MRAM special session 2017, San Francisco, USA, December 2-6, 2017, paper P-23.
6. Y. Shuto, S. Yamamoto, and S. Sugahara, "Energy Performance of Nonvolatile Power-Gating SRAM Using SOTB Technology" 46th European Solid-State Circuits Conference, Lausanne, Switzerland, September 12-15, 2016.
7. Y. Shuto, S. Yamamoto, and S. Sugahara, "Design and Implementation of Nonvolatile Power-Gating SRAM Using SOTB Technology", International Symposium on Low Power Electronics and Design, San Francisco, USA, August 8-10, 2016.
8. Y. Shuto, S. Yamamoto, and S. Sugahara, "Comparative study of power-gating architectures for nonvolatile FinFET-SRAM using spintronics-based retention technology", 18th Design, Automation and Test in Europe (DATE15), Grenoble, France, March 9-13, 2015, paper 7.7.3, pp. 866-871.
9. Y. Shuto, S. Yamamoto, and S. Sugahara, "Near-threshold voltage operation of nonvolatile SRAM cell based on pseudo-spin-FinFET architecture", 2014 IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S Conference 2014), Millbrae, CA, USA, October 6-10, 2014, paper 9b.4.

他 13 件

国内会議

10. 北形大樹, 山本修一郎, 菅原聡, "階層型ストアフリー電源遮断を用いた不揮発性 SRAM のエネ

ルギー性能”，第 65 回応用物理学会春季学術講演会，新宿区，東京，2018 年 3 月 17 日-20 日，paper 18p-G203-3.

11. 周藤悠介，山本修一郎，菅原聡，“不揮発性 SRAM を用いたパワーゲーティングアーキテクチャの定量比較”，第 76 回応用物理学会秋季学術講演会，名古屋市，愛知，2015 年 9 月 13 日-16 日，paper 15p-1C-4.

他 12 件

〔図書〕(計 2 件)

1. S. Sugahara, Y. Shuto, and S. Yamamoto, “Spin-transistor technology for spintronics/CMOS hybrid logic circuits and systems”, in Nanomagnetic and Spintronic Devices for Energy-Efficient Memory and Computing, J. Atulasimha and S. Bandyopadhyay Eds., John Wiley & Sons, Ltd, November 2015.
2. S. Sugahara, Y. Takamura, Y. Shuto, and S. Yamamoto, “Field-Effect Spin-Transistors”, in Handbook of Spintronics, Y. Xu et al. Eds., Springer Science+Business Media, November 2014.

〔産業財産権〕

出願状況 (計 25 件)

1. 名称: 記憶回路, 発明者: 周藤悠介, 山本修一郎, 菅原聡, 権利者: 科学技術振興機構, 種類: 特許, 番号: 16181451.2, 出願年: 2016, 国内外の別: 海外 (EP)
2. 名称: 双安定回路と不揮発性素子とを備える記憶回路, 発明者: 周藤悠介, 山本修一郎, 菅原聡, 権利者: 科学技術振興機構, 種類: 特許, 番号: 17151073.8, 出願年: 2017, 国内外の別: 海外 (EP)
3. 名称: 記憶回路, 発明者: 菅原聡, 周藤悠介, 山本修一郎, 権利者: 科学技術振興機構, 種類: 特許, 番号: 15/501247, 出願年: 2015, 国内外の別: 国外 (US)
4. 名称: ピエゾ抵抗体をチャネルに用いたトランジスタおよび電子回路, 発明者: 周藤悠介, 黒澤実, 舟窪浩, 山本修一郎, 菅原聡, 権利者: 科学技術振興機構, 種類: 特許, 番号: 15/125840, 出願年: 2015, 国内外の別: 国外 (US)
5. 名称: 磁気抵抗素子および記憶回路, 発明者: 菅原聡, 高村陽太, 中川茂樹, 権利者: 科学技術振興機構, 種類: 特許, 番号: 15/578377, 出願年: 2016, 国内外の別: 国外 (US)
6. 名称: 電子回路, 発明者: 菅原聡, 山本修一郎, 権利者: 科学技術振興機構, 種類: 特許, 番号: 15/558059, 出願年: 2016, 国内外の別: 国外 (US)
7. 名称: 電子回路, 発明者: 菅原聡, 山本修一郎, 権利者: 科学技術振興機構, 種類: 特許, 番号: 2017509877, 出願年: 2017, 国内外の別: 国内

他 18 件

取得状況 (計 12 件)

1. 名称: 双安定回路と不揮発性素子とを備える記憶回路, 発明者: 周藤悠介, 山本修一郎, 菅原聡, 権利者: 科学技術振興機構, 種類: 特許, 番号: I594235, 取得年: 2017, 国内外の別: 海外 (TW)
2. 名称: 記憶回路, 発明者: 菅原聡, 周藤悠介, 山本修一郎, 権利者: 科学技術振興機構, 種類: 特許, 番号: 6230204, 取得年: 2017, 国内外の別: 国内
3. 名称: 記憶回路, 発明者: 菅原聡, 周藤悠介, 山本修一郎, 権利者: 科学技術振興機構, 種類: 特許, 番号: I579841, 取得年: 2017, 国内外の別: 国外 (TW)
4. 名称: 記憶回路, 発明者: 菅原聡, 周藤悠介, 山本修一郎, 権利者: 科学技術振興機構, 種類: 特許, 番号: I01901666, 取得年: 2018, 国内外の別: 国外 (KR)
5. 名称: 記憶回路, 発明者: 菅原聡, 周藤悠介, 山本修一郎, 権利者: 科学技術振興機構, 種類: 特許, 番号: I0049740, 取得年: 2018, 国内外の別: 国外 (US)
6. 名称: ピエゾ抵抗体をチャネルに用いたトランジスタおよび電子回路, 発明者: 周藤悠介, 黒澤実, 舟窪浩, 山本修一郎, 菅原聡, 権利者: 科学技術振興機構, 種類: 特許, 番号: 9842992, 取得年: 2017, 国内外の別: 国外 (US)
7. 名称: 磁気抵抗素子および記憶回路, 発明者: 菅原聡, 高村陽太, 中川茂樹, 権利者: 科学技術振興機構, 種類: 特許, 番号: 6424272, 取得年: 2018, 国内外の別: 国内
8. 名称: 電子回路, 発明者: 菅原聡, 山本修一郎, 権利者: 科学技術振興機構, 種類: 特許, 番号: I625939, 取得年: 2018, 国内外の別: 国外 (TW)

他 4 件

〔その他〕

ホームページ等: <http://www.isl.titech.ac.jp/~sugaharalab/>

6. 研究組織

(1) 研究分担者 なし

(2) 研究協力者 なし

科研費による研究は、研究者の自覚と責任において実施するものです。そのため、研究の実施や研究成果の公表等については、国の要請等に基づくものではなく、その研究成果に関する見解や責任は、研究者個人に帰属されます。