

科学研究費助成事業 研究成果報告書

平成 29 年 6 月 7 日現在

機関番号：14301

研究種目：基盤研究(B) (一般)

研究期間：2014～2016

課題番号：26280013

研究課題名(和文) 環境発電技術を用いた社会に溶け込むコンピューティング基盤の研究

研究課題名(英文) A Study on Energy Harvesting Embedded Computers as a Social Infrastructure

研究代表者

石原 亨 (Ishihara, Tohru)

京都大学・情報学研究科・准教授

研究者番号：30323471

交付決定額(研究期間全体)：(直接経費) 12,900,000円

研究成果の概要(和文)：太陽光などの不安定な自然エネルギーのみをエネルギー源として極低消費電力動作するマイクロプロセッサシステムを開発した。このマイクロプロセッサには0.3V程度の極低電圧で安定動作するための工夫を組み込んだ。上述のマイクロプロセッサチップを試作し、 μ W級の極低電力動作を実証した。さらに、電源電圧としきい値電圧を同時調節することにより性能あたりの消費エネルギーを最小化する電圧制御技術を世界に先駆けて考案した。考案したエネルギー最小化技術を実プロセッサチップに適用し有効性を実証した。本研究成果により情報処理学会山下記念研究賞やIEEE SOCC Best Paper Awardなど多数の賞を受賞した。

研究成果の概要(英文)：We have developed a microprocessor system running with unstable power sources such as a photovoltaic power supply system. The microprocessor has a functionality to stably run with very low supply voltages down to 0.3V. We have fabricated several microprocessor chips integrating our idea for saving the energy dissipation, which demonstrated the energy efficiency of our idea integrated on the chip. We also developed a technique of tuning supply voltage and threshold voltage simultaneously, which minimizes the energy consumption per performance of the microprocessor. The voltage tuning technique works effectively on the microprocessor chips fabricated. We have obtained several awards such as IPSJ Yamashita Memorial Award and IEEE SOCC Best Paper Award which are given for the achievements in this research project.

研究分野：計算機工学

キーワード：低消費電力設計

1. 研究開始当初の背景

ビッグデータを活用して社会的諸問題を解決する技術の研究が高い注目を集めている。スマートグリッドや高度道路交通システム (ITS) などビッグデータの応用技術の一部と考えられている。建物や農場あるいは養殖漁場などの監視による侵入・盗難防止システム、トンネルや橋などに取り付けられた各種センサから集めた情報による崩落予防システムの構築なども検討されている。ビッグデータを構築するためには世界中のありとあらゆる場所から常時情報を収集するための仕組みが重要となる。例えば、小型の人工衛星や監視カメラおよび無人探査ロボットなどの機器が極めて重要な要素となる。小型衛星 (GPS 衛星や監視衛星など) は太陽光から取り入れたエネルギーのみで常時動作する必要があり、太陽電池の発電電力を安定的に使用する環境発電技術が必須となる。監視カメラは、カメラ自体のコストよりも電源の敷設コストの方が大きいので、環境発電を利用することにより電源の敷設コストが不要となり、システムの低コスト化が期待できる。人間の立ち入りが難しい深海や高放射線地域などの危険地域では、信号だけでなく電力を環境から無線で取り入れる環境発電技術が極めて重要である。また、ビッグデータをいつでもどこでも利用するためには、光ファイバによる基幹ネットワークと端末機器を繋ぐラストワンマイルの無線ネットワーク機器が重要である。これらの機器を常に快適に利用するためには、太陽光や風力などから電力を常時生成し、それを効率よく利用する環境発電の仕組みが重要となる。

2. 研究の目的

本研究課題は、太陽光や風力あるいは潮力などの環境から取り入れた自然エネルギーのみで持続動作する自己給電センサネットワークシステムの開発と実証を目的とする。2000 年台初頭に注目されたワイアレスセンサネットワーク (以下 WSN) が、数 MOPS (Mega Operations per Second) の性能を持ち、1mW 以下の電力を消費するセンサノードを対象としているのに対し、インターネット経由で自律的にビッグデータを構築し活用するための監視カメラや無線ネットワーク機器などの組込みシステムは数百 MOPS ~ 数 GOPS (Giga Operations per Second) のピーク性能を必要とする。環境発電デバイスの発電電力と出力電圧は不安定であるため、発電素子や蓄電池の単純な大容量化だけでは対応が難しいことが問題である。つまり、環境から取り入れた電力を適切に蓄電し消費する電力のスケジューリングが重要となる。そこで本研究では、下記 3 つの課題に取り組む。

- (1) 高性能動作と超低消費電力動作を瞬時に切替え可能なプロセッサシステムの開発

- (2) 様々な環境において電力を発電し利用可能とする高効率環境発電システムの開発
- (3) 電力の発電、蓄電、消費を統合的に管理する電力スケジューリング技術の開発

上記(3)の電力スケジューリング技術は、例えば重要度の高いタスクのための電力を予約することや、逆に、重要度の低いタスクのサービス品質を制限したり実行順序を遅らせたりするスケジューリングを行う。本研究課題では申請者が過去に開発した低電力プロセッサチップと環境発電システムボードの技術を発展させると共にシステムとして融合させ、統合的電力管理技術を開発することにより、自己給電無線センサネットワークの実現可能性を実証する。

情報通信機器の単なる省エネルギー化ではなく、発電所からの安定した電力が行き届かない場所でも自律動作可能な完全無線センサネットワークを構築する点が本研究の特色である。従って、例えば、重要な処理を実行するための電力を予約して事前に確保することや、逆に、電力が不足する場合には重要度の低いアプリケーションプログラムの実行を後回しにしたり、サービス品質 (QoS) を制限したりすることも行う。このように“与えられたエネルギーで QoS を最大化する”という問題設定も本研究の特色である。上述の最適電力管理を可能にするために、使用可能なエネルギーに応じて広い範囲で性能と消費電力を変更可能なプロセッサシステムと、環境から取り入れた電力を効率良く蓄電し利用する環境発電システムを構築する。近年では太陽電池などの環境発電デバイスを搭載した携帯機器も製品化されているが、発電デバイスと蓄電デバイスおよび情報通信機器のハードウェアとソフトウェアを統合的に管理する電力管理技術は過去に例がない。電力管理プログラムが発電装置、蓄電池、プロセッサシステムおよびアプリケーションプログラムの動作を総合的に考慮し、システム全体を統合的に最適管理する点も本研究の特色である。

上述の自己給電センサネットワークシステムが構築できれば、災害予知システムや事故・盗難防止システムをあらゆる場所に比較的 low コストで設置可能となる。このようなシステムは、先進国だけでなく発展途上国における農場監視や水産物管理などへの導入ニーズが強く、新興国ビジネスへのインパクトも絶大である。本研究課題では、数十~数百 mW 規模の組込みコンピュータシステムを対象としているが、1) 高性能・低電力プロセッサシステム、2) 高効率環境発電技術、および 3) これらの統合的電力スケジューリング技術、はいずれもデータセンタや大型計算機サーバのエネルギー効率向上にも貢献する技術である。また同様に、家庭やビル全体の低炭素化を実現する技術へ展開可能であ

る。

本研究で開発する自己給電組み込みシステムの実証は、将来的には主に次の2つの意義がある。(1) 発電所からの安定した電力網を整備しにくいあらゆる場所や地域の情報化促進、および、(2) 小型の組み込みシステムだけでなく大型計算機サーバを含む情報社会全体の低炭素化、である。

3. 研究の方法

研究代表者は過去に多数の低消費電力プロセスとその要素技術を開発した。本研究課題では、より積極的な電圧制御が可能な半導体製造プロセスである SOI プロセスを主な対象とし、過去の資産を発展させる高性能・低消費電力プロセスを開発した。環境発電システムに関しては、研究代表者はこれまでに主に太陽電池を利用した環境発電システムを開発した。本研究課題では、これらの環境発電システムを発展させ、小型の風力発電デバイスや潮力発電デバイスなど多様な発電デバイスに対応できる環境発電システムを開発し、様々な状況下で自己給電動作可能な真の無線センサネットワークを構築する。

研究初年度は、過去に試作したプロセッサチップを、より進んだプロセステクノロジー(28nm SOI テクノロジー)を用いて再設計し、シミュレーションにより特性評価を行った。これらの評価結果に基づき、平成 27 年度以降に開発予定の超低消費電力マルチコアプロセッサとその部分機能を評価する環境を構築した。構築した評価環境を用いて開発予定のプロセッサと各種部分機能のエネルギー効率や性能を評価した。評価結果に基づいて開発予定の機能や要素回路の改善を行った。

環境発電システムに関しては、利用可能と考えられる様々な環境発電デバイスを調査し、それらの発電特性モデルを構築した。構築したモデルに基づく数値シミュレーション環境を構築し、27 年度以降に開発予定の環境発電システムを評価した。評価結果に基づいて開発予定の機能や要素技術およびそれらを統合する環境発電システムの改善検討を行った。

2 年度目以降は、過去に試作したプロセッサを発展させ、より積極的な電圧制御(電源電圧とボディバイアス)を可能とするプロセッサを開発した。しきい値電圧近傍の電源電圧で動作する際のエネルギー効率を最大化する回路構造を考案し、高性能かつ低消費電力なプロセッサを開発する。特に、定格電源電圧での動作を想定したプロセッサアーキテクチャやメモリアーキテクチャは低電圧動作時のエネルギー効率が悪い場合、低電圧動作時の効率が良いアーキテクチャを新たに開発した。

過去に試作した環境発電ボードを発展させ、太陽光からだけでなく水力や潮力あるいは圧力や熱などから効率良く電力を創りだ

す環境発電システムのアーキテクチャ検討を行った。複数のキャパシタバンクを用いて、環境から取り入れた電力をバッテリーや各種機器へ適切にスケジューリングする技術を検討した。これにより蓄電効率と電圧変換効率を最大化する方法を検討した。

最終年度には、発電装置、蓄電池、プロセッサシステムおよびアプリケーションプログラムの動作を総合的に考慮し、システム全体を統合的に管理する制御方法を構築した。これにより、不安定な自然エネルギーのみで自己給電動作するプロセッサチップの正常動作を確認した。

4. 研究成果

初年度は、当初の計画に従って、プロセッサ設計に必要な要素回路を、28nm SOI テクノロジーを用いて設計し、回路シミュレーションにより特性評価を行った。これらの評価結果に基づき、回路の遅延性能と消費エネルギーを解析的に評価するモデルを構築した。構築した評価モデルを用いてプロセッサの要素回路のエネルギー効率や性能を評価した。上記の解析的評価モデルとそれを用いた評価結果に関する成果は、論文誌 1 件(2015 年 7 月掲載)と国際会議 2 件、国内会議 1 件で発表した。上記の国際会議 2 件のうち 1 件(ASP-DAC2015)の発表で Excellent Student Author Award for ASP-DAC 2015 を受賞した。また、当初の計画に従ってプロセッサの要素回路となるスタンダードセルをニアスレッシュホールド電圧動作向けに最適化した。具体的にはスタンダードセルとして最も消費電力の大きいフリップフロップと PLL の設計最適化を行った。フリップフロップ回路と PLL 回路の最適設計の成果は国際会議 3 件、国内会議 3 件で発表した。さらに、基板バイアスを制御して消費電力を削減する技術を開発し、65nm プロセスで設計した実チップによりその有効性を確認した。研究成果は国際会議で発表した。また、28nm SOI テクノロジーで設計した回路の電源電圧と基板バイアス電圧が性能と消費エネルギーに与える影響を解析した。研究成果は国内会議で発表した。環境発電システムに関しては、利用可能と考えられる様々な環境発電デバイスを調査した。

2 年度目も当初の計画に従って、前年度からアーキテクチャの検討を続けていたプロセッサを、2 種類のプロセステクノロジー(65nm SOTB テクノロジーと 28nm FD-SOI テクノロジー)を対象に設計し、実チップとして試作した。65nm SOTB テクノロジーのチップに関しては既に納品され、評価ボードを用いた実験により 0.35V ~ 1.2V の電源電圧範囲で正常動作することを確認した。上記プロセッサの要素回路の設計最適化に関する研究成果は、論文誌 1 件(雑誌論文)と国際会議 4 件、国内会議 2 件で発表した。具体的にはしきい値近傍の電源電圧で動作する回路のゲートサイズを最適化する技術(統計的タイミング

モデルに基づくニアスレッシュホールド回路のゲートサイジング)としきい値電圧以下の電源電圧で動作するフリップフロップの安定動作解析技術(サブスレッシュホールド領域におけるラッチ回路の動作安定性モデル)を開発した。上記2件成果は、情報処理学会山下記念研究賞を受賞した。同一研究グループからの同賞2件の受賞は快挙である。さらに、上記の国際会議4件のうち1件(ASP-DAC2016)の発表(学会発表)でExcellent Student Author Award for ASP-DAC 2016を受賞した。また、当初の計画に従ってプロセッサの消費エネルギーを最小化するための動的電圧制御アルゴリズムの設計を行った。具体的には、プロセッサの活性化率と動作温度および要求速度に応じて電源電圧としきい値電圧を動的に調整しプロセッサの消費エネルギーを最小化するアルゴリズムを考案した。考案した方法は、オンチップで生成する電源電圧またはしきい値電圧の種類を減少させることを可能にし、プロセッサの低コスト化と省エネルギー化の両立に貢献する。このアルゴリズムの基本的なアイデアは国際会議2件、国内会議1件で発表した。さらに、基板バイアスを動的に制御して消費電力を削減する基板バイアス生成回路を28nm FD-SOIプロセスを用いて設計した。事前に回路シミュレーション検証を行い、正常動作を確認した。環境発電システムに関しては、利用可能と考えられる様々な環境発電デバイスと環境発電システムに適した電圧変換回路を調査した。

最終年度は全年度に28nm FD-SOIプロセスを用いて試作したプロセッサチップの評価を行った。プロセッサチップが0.3V~1.0Vまでの広い電圧範囲で正常動作することを実測定により実証した。また、前年度に試作評価した回路を、65nm SOTBテクノロジーを対象に再設計し、実チップとして実装した。具体的には、極低電圧で安定的に動作するセルベースの完全デジタルメモリを再設計し、プロセッサチップのキャッシュメモリおよびスクラッチパッドメモリとして試作した。メモリの定常消費エネルギーを削減するためにより細粒度のクロックゲーティング回路とシグナルゲーティング回路を組み込んだ。また、プロセッサの動作時の動的消費エネルギーと静的消費エネルギーを個別に計測するためのパフォーマンスカウンタとリークモニタをプロセッサチップに集積した。試作したチップは専用の評価ボードを用いて動作検証を行い、0.3V~1.2Vまでの広い電源電圧動作範囲で正常に動作することを確認した。平成27年度に構築した最小エネルギー動作点の理論と動的電圧調節アルゴリズムが実プロセッサでも適用可能であることを実測により確認した。関連する成果により、IEEE International System-on-Chip Conference Best Paper Award(学会発表②)、IEEE CEDA All Japan Chapter Young

Researcher Award(学会発表②)、および情報処理学会SLDM研究会優秀論文賞(学会発表②)の3つの賞を受賞した。最小エネルギー動作点はチップの動作温度、動的エネルギー、静的エネルギーから簡単に特定できることを解析的に示した。また、オンチップパフォーマンスカウンタを用いた動的エネルギー推定法とオンチップリークモニタを用いた静的エネルギー推定法を考案した。上述の最小エネルギー動作点の理論と動的電圧調節アルゴリズムに基づき、オンチップ温度センサ、オンチップパフォーマンスカウンタ、およびオンチップリークモニタを用いた正確な最小エネルギー動作点追跡手法を明らかにした。さらに、自然エネルギーを用いた実チップ動作を確認した。具体的には、銅電極とレモンを用いた電池により発電した電力のみでプロセッサチップが正常に動作することを実証した。本研究課題の最大の成果はエネルギー最小点追跡(Minimum Energy Point Tracking)と呼ぶ新たなコンセプトを提唱し、プロセッサの性能と消費エネルギーの最適トレードオフを図るアルゴリズムを世界に先駆けて開発した点である。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計 4件)

Jun Shiomi, Tohru Ishihara, Hidetoshi Onodera, "Statistical Timing Modeling Based on a Lognormal Distribution Model for Near-Threshold Circuit Optimization," *IEICE TRANSACTIONS on Fundamentals of Electronics, Communications and Computer Sciences*, vol E98-A, no 7, pp. 1455-1466.
DOI: 10.1587/transfun.E98.A.1455, 2015/07.

Shinichi Nishizawa, Tohru Ishihara, Hidetoshi Onodera, "Layout Generator with Flexible Grid Assignment for Area Efficient Standard Cell," *IPSSJ Transactions on System LSI Design Methodology*, vol 8, pp. 131-135.
DOI: 10.2197/ipsjtsldm.8.131, 2015/08

A. K. M. Mahfuzul Islam, Jun Shiomi, Tohru Ishihara, Hidetoshi Onodera, "Wide-Supply-Range All-Digital Leakage Variation Sensor for On-Chip Process and Temperature Monitoring," *IEEE Journal of Solid-State Circuits*, vol 50, no 11, pp. 2475-2490.
DOI: 10.1109/JSSC.2015.2461598, 2015/11

Tatsuya Kamakari, Jun Shiomi, Tohru Ishihara, Hidetoshi Onodera, "Analytical

Stability Modeling for CMOS Latches in Low Voltage Operation,” IEICE Transactions on Fundamentals, vol E99-A , no 12, pp. 2463-2472.

DOI: 10.1587/transfun.E99.A.2463, 2016/12

〔学会発表〕(計 29件)

Norihiro Kamae, Akira Tsuchiya, Tohru Ishihara, Hidetoshi Onodera, “Energy Reduction by Built-in Body Biasing with Single Supply Voltage Operation,” 16th International Symposium on Quality Electronic Design (ISQED), pp. 181-185, 2015 03.

Jun Shiomi, Tohru Ishihara, Hidetoshi Onodera, “Microarchitectural-Level Statistical Timing Models for Near-Threshold Circuit Design,” 20th Asia and South Pacific Design Automation Conference (ASP-DAC), pp. 87-93, 2015 01.

Jun Shiomi, Tohru Ishihara, Hidetoshi Onodera, “A Lognormal Timing Model and Design Guidelines for Near-Threshold Circuits,” International Workshop on Variability Modeling and Characterization (VMC), 2014/11.

Shinichi Nishizawa, Tohru Ishihara, Hidetoshi Onodera, “Design Methodology of Process Variation Tolerant D-Flip-Flops for Low Voltage Circuit Operation,” IEEE International System-On-Chip Conference (SOCC), pp. 42-47, 2014/09.

Tatsuya Kamakari, Shinichi Nishizawa, Tohru Ishihara, Hidetoshi Onodera, “Variation-Aware Flip-Flop Energy Optimization for Ultra Low Voltage Operation,” IEEE International System-On-Chip Conference (SOCC), pp. 17-22, 2014/09.

Tohru Ishihara, “Near-Threshold Computing on Heterogeneous Multicore Processors,” International Forum on Embedded MPSoC and Multicore, 2014/07.

釜江典裕、土谷亮、石原亨、小野寺秀俊, “PLLの物理レイアウト自動生成を目指した設計手法,” 情報処理学会 DA シンポジウム 2014 論文集, pp. 127-132, 2014/08.

鎌苅竜也、西澤真一、石原亨、小野寺秀俊, “製造ばらつきを考慮した極低電圧動作向けフリップフロップの設計手法,” 情報処理学会 DA シンポジウム 2014 論文集, pp.

91-96, 2014/08.

西澤真一、石原亨、小野寺秀俊, “電源電圧に応じてトランジスタサイズを最適化可能なセルライブラリの生成システム,” 情報処理学会 DA シンポジウム 2014 論文集, pp.97-102, 2014/08.

竹下俊宏、西澤真一、Islam A. K. M. Mahfuzul、石原亨、小野寺秀俊, “電源電圧としきい値電圧の同時最適化が集積回路の消費エネルギーに与える影響の解析,” 電子情報通信学会技術報告 2015-SLDM-169 (20), pp.1-6, 2015/01.

塩見準、石原亨、小野寺秀俊, “ニアスレッシュホールド回路設計のための基本定理,” 電子情報通信学会技術報告 2015-VLD-169 114(476), pp.109-114, 2015/01.

S. Nishizawa, Tohru Ishihara, Hidetoshi Onodera, “An impact of process variation on supply voltage dependence of logic path delay variation,” International Symposium on VLSI Design, Automation and Test, pp.1-4, 2015/04, DOI: 10.1109/VLSI-DAT.2015.7114534,

Jun Shiomi, Tohru Ishihara, Hidetoshi Onodera, “Variability- and Correlation-Aware Logical Effort for Near-Threshold Circuit Design,” 17th International Symposium on Quality Electronic Design (ISQED), pp. 18 - 23, 2016 03.

Tatsuya Kamakari, Jun Shiomi, Tohru Ishihara, Hidetoshi Onodera, “A Closed-Form Stability Model for Cross-Coupled Inverters Operating in Sub-Threshold Voltage Region,” 21st Asia and South Pacific Design Automation Conference (ASP-DAC), pp. 691 - 696, 2016 01.

Jun Shiomi, Tohru Ishihara, Hidetoshi Onodera, “Slew- and Variability-Aware Logical Effort for Near-Threshold Circuit Design,” 8th International Workshop on Variability Modeling and Characterization (VMC), 2015 11.

Tohru Ishihara, “Practical Supply and Threshold Voltage Scaling for Energy Efficient Operation of Microprocessors,” International Forum on Embedded MPSoC and Multicore, 2015/07.

Tohru Ishihara, “Practical Supply and Threshold Voltage Scaling for Energy

Efficient Operation of Microprocessors,” International Forum on FDSOI IC Design, 2015/06.

Toshihiro Takeshita, Tohru ISHIHARA, Hidetoshi Onodera, “Guidelines for Effective and Simplified Dynamic Supply and Threshold Voltage Scaling,” International Symposium on VLSI Design, Automation and Test 2016/04.

鎌苅竜也, 塩見準, 石原亨, 小野寺秀俊, “サブスレッショルド領域におけるラッチ回路の動作安定性モデル,” 情報処理学会 DA シンポジウム 2015 論文集, pp. 187-192, 2015 08.

塩見準, 石原亨, 小野寺秀俊, “統計的タイミングモデルに基づくニアスレッショルド回路のゲートサイジング,” 情報処理学会 DA シンポジウム 2015 論文集, pp. 137-142, 2015 08.

②① 竹下俊宏, 塩見準, 石原亨, 小野寺秀俊, “CMOS LSI におけるエネルギー最小点追跡のための電源電圧としきい値電圧の動的調節指針,” 情報処理学会 システム LSI 設計技術研究会 研究報告, 2016-SLDM-175(32) 2016/03.

②② Shu Hokimoto, Tohru Ishihara, Hidetoshi Onodera, “Minimum Energy Point Tracking under a Wide Range of PVT Conditions,” The 20th Workshop on Synthesis And System Integration of Mixed Information technologies, pp.323-328, 2016/10.

②③ Jun Shiomi, Tohru Ishihara, Hidetoshi Onodera, “A Processor Architecture Integrating Voltage Scalable On-Chip Memories for Individual Tracking of Minimum Energy Points in Logic and Memory,” The 20th Workshop on Synthesis And System Integration of Mixed Information technologies, pp.36-41, 2016/10.

②④ Shu Hokimoto, Tohru Ishihara, Hidetoshi Onodera, “Minimum Energy Point Tracking Using Combined Dynamic Voltage Scaling and Adaptive Body Biasing,” IEEE International System-on-Chip Conference, pp. 1-6, 2016/09.

②⑤ Jun Shiomi, Tohru Ishihara, Hidetoshi Onodera, “Fully Digital On-Chip Memory Using Minimum Height Standard Cells for Near-Threshold Voltage Computing,” The International Workshop on Power And Timing

Modeling, Optimization and Simulation, pp.1-6, 2016/09.

②⑥ Tadashi Kishimoto, Tohru ISHIHARA, Hidetoshi Onodera, “Guidelines for Effective and Simplified Dynamic Supply and Threshold Voltage Scaling,” International Symposium on VLSI Design, Automation and Test 2017/04.

②⑦ 塩見準, 石原亨, 小野寺秀俊, “広範囲な動作性能領域においてエネルギー最小点追跡を可能にするオンチップメモリ,” 情報処理学会 DA シンポジウム 2016 論文集, pp. 91-96, 2016/09.

②⑧ 保木本修, 石原亨, 小野寺秀俊, “プロセッサにおける電源電圧と基板電圧の同時調節によるエネルギー最小点追跡手法,” 情報処理学会 DA シンポジウム 2016 論文集, pp. 169-174, 2016/09.

②⑨ 岸本真, 石原亨, 小野寺秀俊, “回路トポロジー可変なリングオシレータを用いたプロセス変動量と動作温度の推定方法,” 情報処理学会 DA シンポジウム 2016 論文集, pp. 175-180, 2016/09.

〔図書〕(計 0 件)

〔産業財産権〕

出願状況(計 0 件)

取得状況(計 0 件)

〔その他〕

ホームページ等

<http://www.vlsi.kuee.kyoto-u.ac.jp/>

6. 研究組織

(1) 研究代表者

石原 亨 (ISHIHARA, Tohru)

京都大学・大学院情報学研究科・准教授

研究者番号：3 0 3 2 3 4 7 1

(2) 研究分担者

小野寺 秀俊 (ONODERA, Hidetoshi)

京都大学・大学院情報学研究科・教授

研究者番号：8 0 1 6 0 9 2 7

土谷 亮 (TSUCHIYA, Akira)

京都大学・大学院情報学研究科・助教

研究者番号：2 0 4 3 2 4 1 1

(3) 連携研究者

(4) 研究協力者

()