

平成 29 年 6 月 8 日現在

機関番号：14301

研究種目：基盤研究(B)（一般）

研究期間：2014～2016

課題番号：26280014

研究課題名（和文）寿命予測・障害予防・修復を可能とする集積回路の信頼性設計手法

研究課題名（英文）Reliability design for lifetime prediction, failure prevention, and degradation recovery of integrated circuits

研究代表者

佐藤 高史（Sato, Takashi）

京都大学・情報学研究科・教授

研究者番号：20431992

交付決定額（研究期間全体）：（直接経費） 13,200,000円

研究成果の概要（和文）：集積回路の構成部品であるMOSトランジスタは、経時的に特性が劣化すること、高温、高電源電圧において特に劣化がすすみやすいことが知られている。本研究ではトランジスタの特性劣化を観測し、そのモデル化を行うことにより、集積回路の中・長期的な特性変動を予測可能としている。また、開発したモデルを用いて、回路中で特に劣化の進みやすいトランジスタを効果的に指摘する方法、および、劣化が進みやすいトランジスタの劣化度合を定量的に予測し、さらに劣化を緩和するための回路設計方法を与えている。

研究成果の概要（英文）：Metal-oxide field effect transistors are the major components of integrated circuits. The performance of the transistors is known to degrade as they are stressed during the use in the integrated circuits. In this project, we measured and characterized degradation of the transistors in integrated circuits. By using the developed degradation model, the transistors that are particularly prone to be stressed are pointed out, and their individual degradations are quantitatively estimated. A circuit design methodology, which promotes the recovery of transistors, is also proposed.

研究分野：集積回路工学

キーワード：電子デバイス デバイス設計・製造プロセス シミュレーション デバイスマodel

1. 研究開始当初の背景

集積回路が我々の生活に不可欠なものとなった現在、集積回路の信頼性確保は、今後の電子システム設計における最大の差異化要因と考えられる。今後の集積回路設計では、「信頼性を設計」する必要がある。これは、単に「マージンを確保すること」では不十分であり、デバイス・回路レベルでの特性変動の「予測」を実現し、それを踏まえて「予防・修復」までを実現することが必要となる。

自動車や社会インフラ等、安全が重視される領域で用いる集積回路では、微細化により生じる様々な信頼性課題に対する防衛策が特に必要となる。例えば車載用の集積回路では、すでに信頼性に関する課題の多くが解決された、前世代または前々世代の「枯れた」プロセス技術を使ってマージンを確保する対策を行ってきた。しかし今後は、衝突防止や自動運転など、高度でリアルタイム性が必要な情報処理が急速に増加する。信頼性のために「枯れた」プロセスを用いる場合、その性能要求を満たすことができなくなったり、他社との競争力が十分に得られなくなったりする。性能の向上や競争力の維持のため、先端プロセスを用いて設計された回路が多数使われるようになる。このため、故障を予防し、時には劣化からの回復ができる回路設計が求められる。

集積回路の性能と中長期信頼性を決定する主要因として、バイアス温度安定性 (BTI: Bias Temperature Instability) が挙げられる。pMOS トランジスタでは、ゲート電極への負電圧印加 (ストレス電圧印加) により時間とともに閾値電圧が上昇し、逆に負電圧の印加を停止すると閾値電圧が回復する NBTI (Negative BTI) が広く観測されている。nMOS トランジスタでも、高誘電率絶縁膜や金属ゲート電極等、新材料の導入により正のゲート電圧印加による特性劣化 (PBTI: Positive BTI) の影響が顕著となる。BTI によるシステム障害を防止するには、デバイスから回路設計までの包括的な対策、すなわち絶縁膜界面における物理現象の把握とそのモデル化、およびモデルに基づいた回路レベルでの性能変化の見積りとその予防的対策手法が必要である。

2. 研究の目的

従来 BTI は、ゲート絶縁膜界面近傍に残留する水素原子がバイアス電界により遊離し絶縁膜内へ拡散して生じると考える、反応拡散モデル (Reaction Diffusion モデル; RD モデル) により説明されてきた。しかし近年、絶縁膜界面近傍の欠陥にキャリアが捕獲・放出されて生じる表面電位の変化が閾値を変えたと考える、捕獲放出モデル (Trap-Detrapping モデル; TD モデル) が提案されている。ストレス電圧の印加による閾値変動は、RD モデ

ルでは時間の指数関数で、TD モデルでは対数関数であらわされるため、回路が長期間使用された後に観測される回路特性の変動量は、仮定するモデルにより大幅に異なることとなる。加えて、回路中のトランジスタの劣化は、回路へ入力されるデータ、すなわちワークロードにより異なる。これを踏まえれば、同一の回路であってもその予測劣化量が異なるため、個別のチップそれぞれの論理動作に基づいて劣化を予測する必要がある。回路動作がナノ秒単位であるのに対し、10年先の回路の特性変動予測することは、本質的に難しい問題である。加えて、回路に与えられる電源電圧や環境温度により劣化の速度が異なっており、またトランジスタ一つ一つの特性がばらつくのと同様に、仮に同じ動作条件下であっても、トランジスタごとに特性変動量がばらつきを持つ測定結果がある (図 1)。

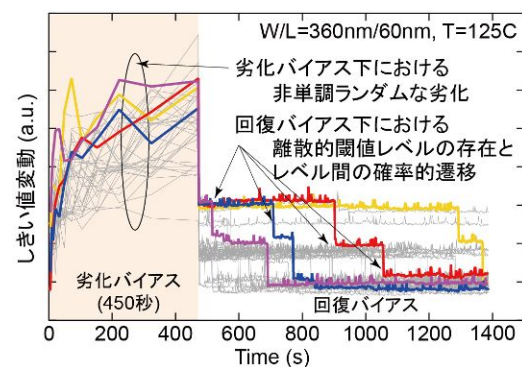


図 1 劣化・回復バイアスにおける閾値変化の測定例

そこで本研究では、特性変動を精度よく観測する特性変動観測回路の試作・測定を通じてトランジスタの界面で生じる現象を正しく理解し、特性時間変化を正確に表すデバイスモデルを作成する。これにより「回路特性の経時変化を設計可能」とし、同時に、今後のデバイス信頼性の中心的課題の一つである BTI の物理現象の解明に寄与する。

BTI の物理現象解明と特性変化の統計的モデル化の有力な道具として、我々はすでに BTIarray と呼ぶアレイ回路を提案している。複数デバイスへのバイアス電圧の並列印加と閾値電圧測定のパイプライン化とにより、高温・高バイアス電圧による劣化加速下であってもなお長時間を要するデバイス劣化現象の観測を、大幅に効率化した (128 デバイスの測定例: 従来手法 83 日間 15.5 時間)。

本回路は BTI のみならず、ランダムテレグラフノイズ等、デバイス絶縁膜界面現象のモデル化における有力な測定手段として認知されつつある。図 1 中の回復バイアス電圧印加時に見られる離散的な閾値の変化が示唆する通り、BTI は確率的なキャリアの捕獲放出で生じると考える TD モデルを用いることで、より良く説明できると予想している。現実の大規模回路の信頼性を、定量性を持って議論するには、デバイス界面でおこる現象

を広い時間スケールで理解すること、すなわち論理回路の信号遷移により ns オーダーでバイアス条件が切り替わる回路が、数年を超える長期間でどのような特性劣化を示すかを一貫したモデルで表すことが不可欠である。

このような状況を踏まえ、本研究では以下の目標を定めた。

- 連続・高精度な経時特性変化観測回路の提案：多数デバイスの閾値を連続・高精度に測定できる新たな観測回路を開発し、回路の現実的動作に対応する速いバイアス切替えに対する応答の分布を求めるとともに、デバイス特性劣化の支配的現象を観測する。
- 界面現象の理解にもとづく統計的デバイス劣化モデルの提案：測定で得た閾値変動を合理的に説明できる物理モデルを検討し、回路シミュレーションにおいて活用できる統計的デバイス劣化モデルを作成する。測定時のバイアス電圧等の条件を変更することで特性変動を支配するパラメータを特定し、回路動作への影響を実際に解析する方法を与える。
- 回路の障害予知・障害回避・自己修復の実現：作成した統計的デバイス劣化モデルを活用し、また必要であれば観測回路の一部をセンサとして用いるなどの方法により、様々な時間でバイアス条件が切替わる現実の回路に中長期（3～20年経過後）で生じる回路特性変動を、シミュレーションで事前に、および回路動作中に回路自身が予測する方法を与える。さらに特性変動の予測に基づいて、劣化を回避し、または回復する回路方式を提案する。

3. 研究の方法

(1) チップ試作によりデバイス特性の経時変化を広い時間スケールで測定しモデル化することは、本研究の要である。一方で、モデルの導出に必要となる、温度、バイアス電圧、バイアス継続時間等の異なる様々な条件下での特性変動データは、自ら回路設計し測定する以外に得る方法が無い。そこで本研究では、多数デバイスの閾値、およびその経時変化を高精度に追跡する回路の設計・試作に取り組む。BTI によるデバイス特性の劣化と回復をモデル化するために必要となる測定条件を明確化して、これを測定可能な回路機能を備える。特に、デバイスごとのばらつきを観測するにはチップ上に搭載するデバイス数を適切に調整可能とする必要があるが、この際、デバイス数の増加につれて、意図しない経路で漏れ電流が流れるなど、測定精度が悪化する懸念がある。デバイス数をスケラブルに変更できる回路を前提として、特性変動を高精度に測定する回路の設計を行う。

(2) 上記回路の測定においては、信号の切り替えを高速に行う機構を持たせることで、意図しないストレス印加や回復を防止する必要がある。これには、1) デバイスと測定装置間にある寄生素子負荷による帯域低下と、2) 測定装置制御の時間精度の不足、の二つの課題を解決する必要がある。回路上の負荷容量を抑えること、また、測定装置の一部である高精度電圧源、電流源、およびアナログ-デジタル変換器等の回路を被測定デバイスとともに専用化してチップ上に設けることを検討する。

また、アレイ回路の測定を一層効率化するために、柔軟な時間・電圧プログラマビリティを人間が理解できるプログラム言語により記述できる測定環境を構築する。これは、BTI の測定が、高温・高ストレス電圧による加速下でもなお長時間を要するため、人手による測定の制御が事実上不可能であり、また回路動作を模擬するストレス電圧変更の複雑なシナリオを、人為的ミス無く実行するために必須となるためである。

(3) 設計・試作したチップ、および現有するアレイ回路を測定することで、デバイスの経時的特性変化の具体的データを得る。測定データに基づいて背後の物理モデルを仮定し、測定結果を忠実に表現するデバイスモデル式とそのモデルパラメータの導出方法を検討し、統計的デバイス劣化モデルを提案する。

(4) 開発した劣化モデルを用いて、シミュレーションにより回路特性劣化を予測する方法を検討する。特に大規模回路中の各デバイスが受けるバイアス電圧は、回路に入力されるデータ（ワークロード）によりそれぞれ異なる。これをシミュレーションにより求める方法としてモンテカルロ法があるが、大規模回路の遅延特性劣化を評価するシミュレーションは、計算時間の観点からもデータ量の観点からも実行困難となっている。そこで、デバイスの劣化を、例えばストレス確率（ストレスバイアスが継続される時間を回路の全動作時間で除したもの）等にコンパクトに要約する方法について検討し、その結果に基づいて実際の回路特性の劣化を評価する方法を検討する。具体的には、デバイス特性の劣化量等をインデックスとする新たな遅延計算ライブラリを定義することで、現実的な時間での遅延計算を可能とする。

一方で、メモリセルやフリップフロップのような、回路単位が比較的小さいが、これらが多数繰り返して用いられる回路の特性変動や歩留まりを見積もることも重要な課題である。こうした回路において特性ばらつきを解析するためには、回路シミュレーションを繰り返し実行するモンテカルロ法が用いられる。セルの歩留まりが高い場合には、多

数のサンプルを要するなど計算時間には依然として課題があるが、重点的サンプリングなどの高速化手法が提案され、実用的なばらつき考慮シミュレーションが可能となりつつある。実際の回路においては、デバイス特性のばらつきと同時に、デバイス特性の劣化、およびデバイス特性の劣化ばらつきを考慮する必要がある。モンテカルロ法の高速化手法を展開し、特性劣化を考慮する歩留まり計算を現実的な時間で実施する方法を検討する。

(5) アーキテクチャによる回路劣化対策の方法を検討する。特に(3)(4)で開発するデバイスモデルに基づく経時変化を考慮した遅延計算ライブラリを活用し、回路中のどの部分が特に劣化がしやすいかを設計時に予測する方法を確立する。また、BTIは、ストレス電圧の印加を停止することで、劣化を部分的に回復できることが知られている。シミュレーションによる回路特性の変動予測結果をもとに、劣化を回避し、さらには回路寿命を延長する劣化対策回路について検討する。

具体的には、回路中の特にタイミング違反が起こりやすいタイミングクリティカルなパスを見つけ、これを構成するゲートに短時間の回復バイアスを与える回路の実装方法を検討する。回復の時定数は小さく、ごくわずかの時間の回復により比較的大きな寿命延長効果を得ることが出来るものと予想される。一方で、回復バイアスを与えるために新たな回路を追加する面積オーバーヘッドが必要となる。最小のオーバーヘッドで特性劣化の回復を行う方法について検討を行う。さらに、この劣化回復機構を用い、システムとも連携して、チップに必要な信頼性に応じて劣化修復を実行するアーキテクチャを構成する。

4. 研究成果

(1) 半導体デバイスの長期信頼性を左右する代表的な劣化モードの一つである負バイアス温度不安定性(NBTI)に関し、NBTIによるデバイス特性の変動の効率的な測定を可能とする新たなアレイ回路を提案した。提案回路により、1チップ上に3996個という多数のデバイスを搭載し、並列にストレス電圧の印加を行いながら閾値電圧を測定することができる。これにより測定時間の大幅な短縮と、デバイスごとの経時特性変化の差異を統計的に観測することが可能となった。試作チップの測定データから、NBTIによる閾値電圧変動の標準偏差は、チャネル面積に反比例するモデルで表されることを初めて明らかとした。デバイス数の増加につれて、回路内に含まれるトランジスタによるスイッチのリーク電流を補償する回路を付加することで、図2に示すスケーラブルなアレイ回路を実

現した。

(2) 前記アレイ回路の測定を、効率よく、時間精度よく、また人為的な誤りなく実行するための自動測定環境を作成した。人間が読んで意味を理解しやすい制御プログラムを、測定機器を制御するコマンド列に変換し、コマンド列をフィールドプログラマブルゲートアレイ(FPGA)が読み込んでさらに測定装置を制御する信号やコマンドを送出する構成となっている。劣化と回復のバイアス電圧

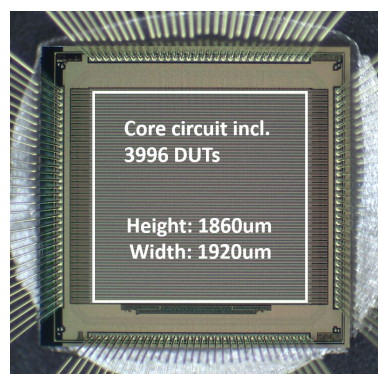


図2 3996 デバイスを搭載するアレイ回路

を、その時間比率を変えて繰り返し与えながら選択したデバイスの閾値を測定する、等の複雑な指示を誤りなく、また切り替え遅延を小さく実行できる。従来用いていた半導体パラメータアナライザに搭載される電圧・電流源による測定を超える、高サンプリングレートでの観測が可能となるとともに、モデル改善のためのデータ取得を効率化できた。

(3) 作成したモデルに基づくアナログ回路、大規模デジタル回路のシミュレーション環境を整え、デバイス劣化の進むゲートのストレス確率から、各論理ゲートの特性劣化を求め一連の手順を定義した。また、デバイス劣化におけるTDモデルとRDモデルの寄与を分析した。さらに、モデルを反映した回路シミュレーションを可能とした。ここで作成したモデルは、回路特性の予測、障害予知を実現するための重要な基盤となっている。

(4) 界面トラップでのキャリア捕獲・放出によりデバイスの閾値が離散的な値をとって過渡変動する現象として観測されるランダムテレグラフノイズ(RTN)は、BTIの主要な原因であるTDモデルと強く関連する。BTIによる回路特性の経時的変動の予測と並行して、RTNに起因する回路特性変動を高速に予測する方法を、メモリ回路やフリップフロップ回路を対象に検討した。通常モンテカルロ法では、あまりにも長時間を要し実用的には実行不可能であった回路の不良確率計算を短縮するため、

- 1) 仮説空間を動き回るサンプル粒子を使って重点的サンプリングに必要な代替分布を推定する手法と、
- 2) これらのサンプルを用いて2クラス識別

器を構成し回路シミュレーション回数を削減する手法

を組み合わせ用いる、新たな解析手法を提案した。SRAM メモリセルの不良確率計算を例として提案手法を評価したところ、従来手法と比較して約 15 倍の高速化が達成できた。本成果により、デバイス特性の経時変動とメモリ回路等の回路特性の変動を結びつけることが可能となった。

次に、大規模回路の設計においてデバイス劣化の影響を適切に考慮するため、ばらつきと劣化を考慮する高速なタイミング解析およびタイミング歩留まり解析を実現した。デジタル回路の設計フローでタイミング検証のために広く用いられている静的タイミング解析 (STA) の概念を拡張して、トランジスタの特性劣化を考慮しつつ高速にタイミング検証を行うことができる以下の二手法による特性劣化考慮 STA を提案した。

- 1) テーブル拡張: 従来の STA で用いられてきた、入力信号の遷移時間と負荷容量をインデックスとする二次元ルックアップテーブルを、ストレス確率をインデックスとする第三のインデックスを加えた三次元テーブルに拡張し、このテーブルを引くことで大規模回路中のパス遅延を高速・高精度に求める方法を提案した。
- 2) 機械学習: 上記テーブル拡張においては、考慮する変数が増えるごとにテーブルの規模は指数的に大きくなる。トランジスタの縦積み等の接続関係や連続するゲート間の論理相関等を考慮するためにこれ以上の変数を追加することは困難となる。そこで、ランダムフォレストを用いて、事前の学習により劣化に伴う様々な非理想性を考慮しつつ高速なパス遅延見積もりを行う方法を提案した。

これら提案手法により、プロセッサなどの大規模回路からクリティカルパス候補を抽出し、これらを対象としてデバイス劣化を考慮したタイミング解析を現実的な時間で行うこと、回路内で劣化が早く進み故障の起こりやすい論理ゲートを指摘すること、等が可能となった。

(5) NBTI 劣化後の最大パス遅延を設計時に推定する方法を提案した。回路特性の劣化を観察すると、劣化後の遅延時間が大きいとして抽出されるパスのうち、ワークロードが変わっても常に NBTI の劣化量が大きくなるパスが存在することが明らかとなった。このような定常的にクリティカルパスになるパスを抽出するため、データセット生成と2段階のパス抽出から構成される不変クリティカルパスの計算手法を提案した。データセットを用いた NBTI 劣化後の遅延見積りにより、最大遅延パスとなる可能性のあるパス群を見積もる。その後、パスの類似度に応じてパスのまとめ上げを行い、各グループの代表パスを NBTI 劣化後の最大遅延パスとして抽出

する。さらに、抽出したパスの中で、回復信号により下流の論理ゲートの劣化を回復する信号を出力するゲートへの置換を低オーバーヘッドで行う一連の手続きを提案した。回復信号は、プロセッサにおける NOP 命令等、回路が動作しないときに、または回復が必要であるとシステムが判断するときに実行する。以上の成果により、回路特性の劣化予測を反映した、設計段階での劣化回復の設計を可能とした。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計 14 件)

Shumpei Morita, Song Bian, Michihiro Shintani, Masayuki Hiromoto, and Takashi Sato, "Utilization of path-clustering in efficient stress-control gate replacement for NBTI mitigation," *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, 査読有 印刷中, 2017.

DOI:

Abinash Mohanty, Ketul Sutaria, Hiromitsu Awano, Takashi Sato, and Yu Cao, "RTN in scaled transistors for on-chip random seed generation," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 査読有 印刷中, 2017.

DOI:

Hiromitsu Awano and Takashi Sato, Scalable device array for statistical characterization of BTI-related parameters, *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 査読有 25, 2017, 1455-1466.

DOI: 10.1109/TVLSI.2016.2638021

Song Bian, Michihiro Shintani, Masayuki Hiromoto, and Takashi Sato, "Fast estimation of NBTI-induced delay degradation based on signal probability," *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, 査読有 E99-A, 2016, 1400-1409.

DOI: 10.1587/transfun.E99.A.1400

Hiromitsu Awano, Masayuki Hiromoto, and Takashi Sato, "Efficient aging-aware SRAM failure probability calculation via particle filter based importance sampling," *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, 査読有 E99-A, 2016, 1390-1399.

DOI: 10.1587.transfun.E99.A.1390

Ketul B. Sutaria, Jyothi Bhakarr Velamala, Chris Kim, Takashi Sato, and Yu

Cao, "Aging statistics based on trapping/detrapping: compact modeling and silicon validation," IEEE Transactions on Device and Materials Reliability, 査読有 14, 2014, pp.607-615.

DOI: 10.1109/TDMR.2014.2308140

Hirofumi Shimizu, Hiromitsu Awano, Masayuki Hiromoto, and Takashi Sato, "Automation of model parameter estimation for random telegraph noise," IEICE Transactions on Fundamentals on Electronics, 査読有 E97-A, 2014, pp.2383-2392. DOI:

10.1587/transfun.E97.A.2383

Hiromitsu Awano, Masayuki Hiromoto, and Takashi Sato, "BTIarray: A time-overlapping transistor array for efficient statistical characterization of bias temperature instability," IEEE Transactions on Device and Material Reliability, 査読有 14, 2014, pp.833-843. DOI: 10.1109/TDMR.2014.2327164

〔学会発表〕(計 54 件)

Song Bian, Michihiro Shintani, Shumpei Morita, Masayuki Hiromoto, and Takashi Sato, "LSTA: Learning-based static timing analysis for high-dimensional correlated on-chip variations," ACM/IEEE Design Automation Conference (DAC), 2017 年 6 月 22 日. オースティン (アメリカ)

Hiromitsu Awano, Masayuki Hiromoto, and Takashi Sato, "Efficient circuit failure probability calculation along product lifetime considering device aging," IEEE/ACM Asia and South Pacific Design Automation Conference (ASPDAC), 2017 年 1 月 17 日. 幕張メッセ (千葉県千葉市)

Song Bian, Michihiro Shintani, Zheng Wang, Masayuki Hiromoto, Anupam Chattopadhyay and Takashi Sato, "Runtime NBTI mitigation for processor lifespan extension via selective node control," IEEE Asian Test Symposium (ATS), 2016 年 11 月 24 日. 広島国際会議場 (広島県広島市)

Hiromitsu Awano and Takashi Sato, "Efficient transistor-level timing yield estimation via line sampling," ACM/IEEE Design Automation Conference (DAC), 2016 年 6 月 9 日. オースティン (アメリカ)

Song Bian, Michihiro Shintani, Shumpei Morita, Hiromitsu Awano, Masayuki Hiromoto, and Takashi Sato, "Workload-aware worst path analysis of processor-scale NBTI degradation," ACM Great Lakes Symposium on VLSI (GLSVLSI), 2016 年 5 月 19 日. ボストン (アメリカ)

Song Bian, Michihiro Shintani, Shumpei Morita, Masayuki Hiromoto, and Takashi Sato, "Nonlinear delay-table approach

for full-chip NBTI degradation prediction," International Symposium on Quality Electronic Design (ISQED), 2016 年 3 月 16 日. サンタクララ (アメリカ)

Hiromitsu Awano, Masayuki Hiromoto, and Takashi Sato, "ECRIPSE: An efficient method for calculating RTN-induced failure probability of an SRAM cell," Design, Automation & Test in Europe (DATE), 2015 年 3 月 11 日. グルノーブル (フランス)

Michihiro Shintani and Takashi Sato, "Sensorless device-parameter estimation through fmax testing," IEEE/ACM International Conference on Computer-Aided Design (ICCAD), 2014 年 11 月 4 日. サンノゼ (アメリカ)

Hiromitsu Awano, Masayuki Hiromoto, and Takashi Sato, "Variability in device degradations: statistical observation of NBTI for 3996 transistors," Solid-State Device Research Conference (ESSDERC), 2014 年 9 月 24 日. ベネチア (イタリア)

〔図書〕(計 1 件)

Takashi Sato and Hiromitsu Awano, Springer-Verlag New York, "Circuit design for reliability", Chapter 5, 2015, 272

〔産業財産権〕

出願状況 (計 0 件)

取得状況 (計 0 件)

〔その他〕

ホームページ等

<http://www.pass.cce.i.kyoto-u.ac.jp/>

6. 研究組織

(1) 研究代表者

佐藤 高史 (SATO, Takashi)

京都大学・大学院情報学研究科・教授

研究者番号: 20431992

(2) 研究分担者

廣本 正之 (HIROMOTO, Masayuki)

京都大学・大学院情報学研究科・助教

研究者番号: 60718039

(3) 連携研究者

なし

(4) 研究協力者

なし