

## 科学研究費助成事業 研究成果報告書

平成 29 年 6 月 13 日現在

機関番号：13904

研究種目：基盤研究(C) (一般)

研究期間：2014～2016

課題番号：26330063

研究課題名(和文)異なる電力のクラスタを備えたクラスタ型コアを搭載するメニーコアプロセッサ

研究課題名(英文) Many-core Processor Implemented by Clustered-Core Including Clusters of Different Power

研究代表者

小林 良太郎 (Ryotaro, Kobayashi)

豊橋技術科学大学・工学(系)研究科(研究院)・准教授

研究者番号：40324454

交付決定額(研究期間全体)：(直接経費) 3,700,000円

研究成果の概要(和文)：近年のCPUは1チップ上に多くのコアとキャッシュを持ち、スレッドレベル並列の利用とコア-メモリ間の速度差の緩和を行っている。エネルギー効率を上げるには、10実行を行いキャッシュの電力を下げるのが望ましいが、way数の増加は速度向上につながらず、キャッシュの供給電圧削減は難しい。そこで、まず、我々はALU cascadingに着目した。この技術はバイパス回路を複雑化させてしまうため、我々は早期に独立した命令の入れ替えを行い、バイパス回路を小規模化する手法を提案した。次に我々は余剰時間を生み出すDVFSに着目し、性能を低下させることなく動的に構成を変更するキャッシュを提案した。

研究成果の概要(英文)：Recent CPU has many cores and cache memory on a chip to utilize thread level parallelism and decrease access speed gap between cores and main memory. It is preferable to use 10 execution core and decrease the cache energy consumption for better area/energy efficiency. However, the increase in the way of 10 supplies very slight improvement and it is not easy to decrease the supply voltage of the cache. Firstly, we focus the ALU cascading, which introduces the hardware complexity of the bypass circuits. To address this problem, we propose the mechanism with the small bypass circuits with the early rearrangement of independent instructions. Secondly, we focus dynamic voltage and frequency scaling (DVFS), which brings an idle time between the end of the cache access and the start of the next clock cycle. We utilize the idle time to dynamically change the cache configuration which decreases the energy without performance loss.

研究分野：情報学

キーワード：低消費電力技術

## 1. 研究開始当初の背景

近年、1チップ上に数十個レベルのプロセッサコアを載せたメニーコアプロセッサが注目されている。メニーコアでは、面積/電力性能比の良い1~2命令同時実行(1~2way)のインオーダー実行を行うコアを採用することで、チップ上に搭載可能なコア数を増やすことが多い。しかし、クラウドサーバやデスクトップPCなどでは、1つのスレッドを処理する能力(シングルスレッド性能)が重要となることが多く、1~2wayのインオーダー実行のコアでは性能が不足する。これに対し、コアの性能向上に着目した研究では、4way前後のアウトオブオーダー実行のコアを対象にする場合が多く、クラスタ型コアに特化した研究は少ない。

クラスタ型コアは、クラスタと呼ぶ回路を複数個備える。クラスタは、命令ウィンドウ、ALU、レジスタファイルなどで構成され、命令スケジューリング、演算、データ保持などを行う。クラスタ数の増加により、コアの同時実行命令数が増加する。近年の高性能商用プロセッサの分野においては、AMD Bulldozerがクラスタ型コアを採用している。また、メニーコアの研究では、チップ上のネットワークポロジ、コア間通信、NoCルータなどの研究が多く、プロセッサコアに着目した研究は少ない。そこで、本研究では、メニーコア向けクラスタ型コアの面積/電力性能比を向上させる研究を行う。

## 2. 研究の目的

クラスタ型コアをベースとするメニーコアプロセッサ向けプロセッサコアの研究開発を行う。一般的なアウトオブオーダーのコアでは、way数を増加させるとIPCは向上するが、コア内の回路が複雑化し、回路面積が急激に増加するため、面積/電力性能比が悪化する。一方、クラスタ型コアでは、クラスタ数の増加によってway数を増加させれば、クラスタ内の回路が複雑化することはないため、面積/電力性能比を向上させることができる。しかし、アウトオブオーダーのクラスタでは、回路面積やアクティビティファクタが大きめの回路(演算器、レジスタファイル等)を必要とするため、面積/電力性能比が悪化する。そこで、電力効率の高いコアを複数種類混載することによって、面積/電力性能比に優れたプロセッサコアを実現する。

## 3. 研究の方法

コアの電力効率を向上させるため、ALU cascadingとDVFSに着目した。それぞれについて、以下に述べる。

ALU cascadingは、実行ステージにおいて、

依存元ALUの実行した命令の結果を1つ以上の他の依存先ALUに転送する技術である。転送のためALUの出力と入力を接続するバイパス回路が必要となる。ALUカスケーディングは、1サイクル内で依存元命令と依存先命令との間でデータを転送することができるため、サイクルの前半で依存元を実行し、サイクルの後半で依存先を実行することができる。これにより命令レベルの並列性を上げることができる。そのため、10コアにおいてway数の増加が命令レベル並列性の増加につながらないという問題を解消することができる。つまり、コアのハードウェア複雑度を上げることなく、性能を上げることができる。アウトオブオーダー実行のようなハードウェアの大幅な増加を必要としないため、電力効率の良いコアの実現が可能となる。

しかし、ALUカスケーディングは、ALUの出力と入力を接続するためのバイパス回路を必要とするため、アウトオブオーダー実行のような命令スケジューリング機構ほどではないが、実行ステージのハードウェア複雑度を増加させてしまうという欠点を持つ。そこで、我々はALUカスケーディングの持つハードウェア複雑度を低減するための新たな機構を考案する。

DVFSは、CPUの負荷状況に合わせ、CPUの周波数と供給電圧を動的に削減することによって、消費電力を削減する技術である。回路の消費電力は、周波数と電力の二乗に比例している。周波数は低下させるほどサイクルタイムを増加させ、電源電圧は低下させるほど、回路の遅延時間が増加する。したがって、周波数を減少させるにつれて、電源電圧を低下させることができ、それらが消費電力の削減につながる。

CPUにおいて、キャッシュメモリは消費電力の高い構成要素の1つである。コアに比べるとキャッシュメモリは電源電圧を低下させることが困難である。そのため、CPUにDVFSを適用した場合、コアに対しては周波数の低下とともに供給電圧を下げるができるが、キャッシュに対しては供給電圧の低下は困難となる。その結果、サイクルタイムからキャッシュのアクセス時間を引いた余剰時間が長くなっていくことになる。キャッシュは、設計の仕方によって、面積、消費電力、遅延時間が変化する。一般的に、同一容量であれば、低速であるほど消費エネルギーが減少する。そこで、我々はDVFSを適用したCPUにおいて、キャッシュの余剰時間を利用して消費エネルギーを削減するための新たな機構を考案する。

## 4. 研究成果

研究成果は2つに大別できる。1つはALU

cascading に関する成果、もう1つはキャッシュに関する成果である。

ALU cascading に関しては、メニーコア向けの高効率なコアを用意する場合、ALU cascading と 3-way I0 コアとの併用が効率的であることが分かった。また、その結果を受け、3-way I0 コアにおいて ALU cascading を適用した場合に、バイパス回路の電力、面積、遅延時間が無視できないことが明らかになった。そこで、その悪影響を緩和するため、新たな機構を開発した。その機構は、まず、バイパス回路の規模を縮小し、バイパス可能な経路、つまり、ALU cascading の対象となる命令依存関係のパターンを制限する。そのままでは、その制限は ALU cascading が不可能な組み合わせを生んでしまい、性能に悪影響を与える。そこで、命令がレジスタデータを読み出す前、つまり、命令のオペランドがレジスタ番号のみで処理されている段階において、独立な命令を再配置する。これにより、処理しなければならないデータ量を削減することができ、面積、消費電力、遅延の削減を実現することができる。

キャッシュに関しては、メニーコア向けの高効率なコアに使用するための高効率なキャッシュの提案を行った。具体的には、Filter Buffer または L0 キャッシュと呼ばれる、コアと L1 キャッシュの間に位置するキャッシュを利用する機構を開発した。この機構は、キャッシュの設計を変更することによって、容量が同一で性能（消費エネルギーと速度）が異なる 2 種類の L0 キャッシュを用意する：高性能（高速で高消費電力）な L0、低性能（低速で低消費電力）な L0。そして、高周波数で動作している時には、高性能な L0 を使用し、低周波数で動作している時には、低性能な L0 を使用する。さらに周波数を下げた場合には、高性能な L0 と低性能な L0 を直列に使用することによって、性能の向上を目指す。上記機構によって、キャッシュの高効率化を実現することができる。

また、本研究を発展させ、キャッシュと似た構造を持ち、消費電力の高い分岐予測機構の省電力化も同時に図ることによって、さらなるコアの高効率化の実現を行った。具体的には、キャッシュと分岐予測機構を連動させることによって、分岐予測機構のアクセス回数と回路規模を削減し、それによって分岐予測機構の消費電力の削減を行った。

#### 5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計3件)

Ryotaro Kobayashi, Ikumi Kaneko, Hajime Shimada, Improvement of Data

Utilization Efficiency for Cache Memory by Compressing Frequent Bit Sequences, IEICE Transactions on Electronics, Vol.E99-C, No.8, pp.936-946, Aug. 2016, 査読あり。

DOI: 10.1587/transele.E99.C.936

Ryotaro Kobayashi, Kaoru Saito, Hajime Shimada, Energy Reduction of BTB by focusing on Number of Branches per Cache Line, Journal of Information Processing, Vol.24, No.3, pp.492-503, May 2016, 査読あり。

DOI: 10.2197/ipsjip.24.492

Yoshio Shimomura, Hiroki Yamamoto, Hayato Usui, Ryotaro Kobayashi, Hajime Shimada, BTB Energy Reduction by Focusing on Useless Accesses, IEICE Transactions on Electronics, Vol.E98-C, No.7, pp.569-579, Jul. 2015, 査読あり。

DOI: 10.1587/transele.E98.C.569

[学会発表](計 件)

Kaoru Saito, Ryotaro Kobayashi, Hajime Shimada, Reduction of Cache Energy by Switching between L1 High Speed and Low Speed Cache under Application of DVFS, The 2016 International Conference on Advanced Informatics: Concepts, Theory and Application (ICAICTA2016), Computational Science & Engineering, No.16, Aug. 16-19, 2016.

Anri Suzuki, Ryotaro Kobayashi, Hajime Shimada, Instruction Rearrangement and Path Limitation for ALU Cascading, The 2016 International Conference on Advanced Informatics: Concepts, Theory and Application (ICAICTA2016), Computational Science & Engineering, No.15, Aug. 16-19, 2016.

Masahiro Kondo, Ryotaro Kobayashi, Power Reduction Method for L1 Cache by focusing on Remaining Time due to DVFS, The 18th International Symposium on Low-Power and High-Speed Chips (COOL Chips XVIII), April 13 - 15, 2015.

Takuro Yoshida, Hiroya Ochiai, Ryotaro Kobayashi, Hajime Shimada, Improvement of Data Utilization Efficiency for Cache Memory by Compressing Frequent Bit Strings, The 18th International Symposium on Low-Power and High-Speed Chips (COOL Chips XVIII), April 13 - 15, 2015.

Yuya Takeuchi, Hiroya Ochiai, Ryotaro Kobayashi, Hajime Shimada, Early L0 Cache Access focusing on Useless Address Calculation, The 17th International Symposium on Low-Power and High-Speed Chips (COOL Chips XVII),

April 14 - 16, 2014.  
Ikumi Kaneko, Shoma Kawai, Ryotaro Kobayashi, Hajime Shimada, Instruction Steering Method by Utilizing Redundancy of Data BitWidth, The 17th International Symposium on Low-Power and High-Speed Chips (COOL Chips XVII), April 14 - 16, 2014.

〔図書〕(計0件)

〔産業財産権〕

出願状況(計0件)

取得状況(計0件)

〔その他〕

該当なし

## 6. 研究組織

### (1) 研究代表者

小林 良太郎 (KOBAYASHI, Ryotaro)  
豊橋技術科学大学・大学院工学研究科・  
准教授  
研究者番号：40324454

### (2) 研究分担者

嶋田 創 (SHIMADA, Hajime)  
名古屋大学・情報基盤センター・准教授  
研究者番号：60377851