

**科学研究費助成事業 研究成果報告書**

平成 29 年 6 月 7 日現在

機関番号：14401

研究種目：基盤研究(C) (一般)

研究期間：2014～2016

課題番号：26330064

研究課題名(和文) 組み込みマルチプロセッサ・システムのための高信頼性を実現するタスク割当て手法

研究課題名(英文) Higher Reliable Task Assignment Method for Embedded Multiprocessor

研究代表者

武内 良典 (TAKEUCHI, YOSHINORI)

大阪大学・情報科学研究科・准教授

研究者番号：70242245

交付決定額(研究期間全体)：(直接経費) 3,600,000円

研究成果の概要(和文)：本研究では、将来のマルチプロセッサによる高性能システムの高信頼度化を実現するための研究を進めた。そのようなシステムでは、その温度上昇、経年劣化を避けるために低電圧での駆動が要求される。しかしながら、低電圧でのシステムの駆動は回路の動作による電流の増減が電源電圧に与える変動が大きくなってしまふ。電源電圧の低下により、システムが正常に動作しなくなる可能性がある。そこで、システムで消費される電流の変化を制約として与え、電流変化が制約を超えない範囲で、性能をできるだけ低下させずに動作する機構を提案した

研究成果の概要(英文)：This research studies reliability of future high performance system by multiprocessor systems. Such a system should be operated under low voltage in order to keep away from high thermal operation and aging degradation of systems. On the other hand, operations under low voltage suffers from voltage source fluctuation by system current. There may occur some errors by voltage drop. This research proposed a reliable mechanism which limits the current changes and does not suffer much performance loss under the constraint of current fluctuation.

研究分野：集積システム設計学

キーワード：マルチプロセッサ・システム 高信頼性

1. 研究開始当初の背景

近年、電子システムは高機能・高性能化が進み、消費電力増大が問題となっている。1チップに集積化可能な回路規模も増大しているが、電力制約のために使用することができないダークシリコンも大きな問題となってきた。そのため、さまざまな消費電力削減に関する研究が行われてきたが、消費電力削減のためのマルチプロセッサ・システム化もその一手法である。低消費電力化を行うと、システムの温度上昇を抑えることができ、チップの経年劣化を抑えることもできる。したがって、低消費電力化はシステムを高信頼化することに役立つ。

しかしながら、低消費電力化のために電源電圧を極限まで小さくすると、ノイズマージンが小さくなってしまいう問題が生じる。これまでに VLIW プロセッサにおける電力制約スケジューリングを提案してきたが、今後マルチプロセッサ・システムが広く用いられること、そのシステムの信頼性への要求の増大から、電力制約スケジューリングの研究対象をマルチプロセッサに拡張し、電力制約を考慮したマルチプロセッサ・システムのための高信頼度化が求められていた。

2. 研究の目的

本研究では、マルチプロセッサ・システムの高信頼性を実現するためのタスク割当ておよびスケジューリング手法に関する研究を行う。電子システムを高信頼化させる一つの手法として、温度上昇、経年劣化を避けるために低電圧下での駆動がある。しかしながら、低電圧でのシステムの駆動は回路の動作による電流の増減によってさえも、電源電圧が変動してしまい、システムが正常に動作しなくなってしまう可能性も発生する。本研究では、マルチプロセッサ・システムを低電圧で動作させるときに問題となる、信頼性低下を抑えるためのタスク割当ておよびスケジューリング手法を提案する。

3. 研究の方法

(1) マルチプロセッサ・システムの電源電圧変動モデルの構築

LSI 上の電源電圧変動のモデルを検討した。マルチプロセッサ・システムを、ボードレベル、パッケージレベル、プロセッサレベル、コンポーネントレベル等と階層的に取り扱うことで、各コンポーネントに流れる電流を個別に推定し、各点での電圧変動がどのように生じるかを解析できるようにし、プロセッサへのタスク割当てに応じた電源電圧の変動を表すモデルを構築した。マルチプロセッサを構成する個々のプロセッサとしては、研究室でこれまで開発してきた RISC プロセッサを利用した。

(2) 対象システムへのタスク割当ての影響の評価

ターゲットシステム中の各部の電圧の変動は、流れ込む電流の大きさにより変動するため、対象とするマルチプロセッサ・システムの構成に大きく依存する。まず、単一システムバスのマルチプロセッサ・システムを想定し、階層的に電源電圧、電流を見積もることのできる環境を構築する。次に、各プロセッサに対してタスクをできるだけ均等に割り当てた場合の電源電圧変動、偏りを持たせてタスク割当て時の電源電圧変動を、ランダムにタスクを割当てた場合の電源電圧変動を調査、解析する。テクノロジーとしては、これまで試作で使い慣れている 0.18  $\mu\text{m}$  Mixed Signal 用の CMOS テクノロジーを利用した。

(3) アプリケーションによる評価

適用アプリケーションとして、DSPstone ベンチマークを使用し、その影響を評価した。

(4) クロックゲーティング回路による電源電圧変動の最適化

命令の割当てをダイナミックに行うため、クロックゲーティング機構を搭載するマルチプロセッサ・システムを提案し、電源電圧変動を抑えることのできる手法を提案した。

4. 研究成果

(1) マルチプロセッサ・システムの電源電圧変動モデル

回路の大規模化により、システムの電源ラインは、図1のようにモデル化され、その抵抗分、誘導成分は無視することができなくなる。電源電圧の変動は、瞬間的な電流の増減の変化量である  $di/dt$  に比例して大きくなり、電流量の変化により、電源電圧が大きく変動することになる。電源電圧が変動することで、回路の電圧が低下し、LSI 中のゲートの遅延が大きくなると、当初の設計マージンを割り込んでしまい、誤動作の可能性が高まる。電源電圧の変動を抑えるために、デカップリング容量を入れることも行われるが、一般にこのデカップリング容量は、LSI 中に大きな面積を消費するため、LSI のコスト的には望ましくないことが分かった。また、カップリング容量のために、共振現象が発生し、回路で動作するタスクの割り当てによっては、予期せぬ電圧変動がおこることも知られた。これらは低消費電力化のために、低電圧で駆動するために起こってしまう悪影響であり、これらの悪影響をなくすることができれば、システムの一層の高信頼性を実現できることが分

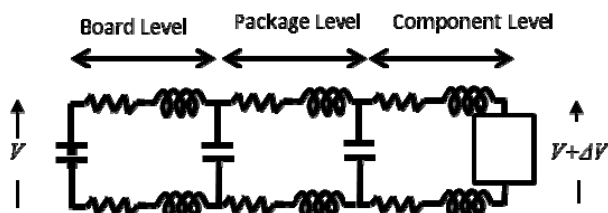


図1 負荷変動による電圧変動の原理

かった。

(2) 対象システムへのタスク割当ての影響  
マルチプロセッサ・システム上で、タスク割当ておよびスケジューリングの違いによる信頼性の変化を確認した。ホモジーニアス・マルチプロセッサシステムにより構成されるプロセッサ・システムの電源電圧変動モデルの検討を行った結果から、プロセッサの命令毎の消費電力をモデル化し、命令をパイプライン動作に分解し、各命令サイクルにおける消費電流を求めることができるようにモデル化を行った。DSPstone をコンパイルすることにより、命令列がわかるので、その命令列から、サイクルが進むごとにどの程度の電流の変化があるかを測定できるようにした。プロセッサで消費される電流は、先の電圧変動モデル上では、負荷としての電流源としてモデル化を行い、プロセッサへのタスク割り当ての電源電圧変動に対する影響を分析した結果、タスク割当ておよび割り当てられたタスクのスケジューリングを行うことで、システム全体の消費電流をコントロールできることが知られ、消費する電流をコントロールすることで高信頼度化の可能性を確認できた。特に単一プロセッサの場合等と比較して、マルチプロセッサではサイクル毎に消費される電流が大きく変化するため、消費電流をコントロールする仕組みが特に重要であることが知られた。

### (3) アプリケーションによる評価

アプリケーションによる評価は、マルチプロセッサ上で、DSPstone ベンチマーク中の100個のプログラム(タスク)が、ランダムに割り当てられたとして、そのときの実行サイクル数と、最大の電流変動率を計算することで、タスク割り当ての影響を評価した。ランダムにタスクを割り当ててしまうと、演算の偏りにより、特定サイクルにおいて、電流変動率が大きくなることがあり、タスク割り当て後の電流変動率をもおさえるためには、ダイナミックな機構の採用が望ましいという結果を得た。

### (4) クロックゲーティング回路による電源電圧変動の最適化

(3)の結果をもとに、ホモジーニアス・マルチプロセッサシステムにより構成されるプロセッサ・システム上でダイナミックにスケジューリングを行う機構を提案し、その特性を評価した。これまでの研究調査から、極低電圧下で駆動されているシステムへ大電流が流れる場合、システムに供給される電源電圧に変動が起これ、システムで一時的なエラーが発生し、信頼性が低下することが知られている。そこで、システムに供給される最大電流を制約として、マルチプロセッサ・システム上で大電流を流す可能性のあるインストラクションを一部停止する機構を導

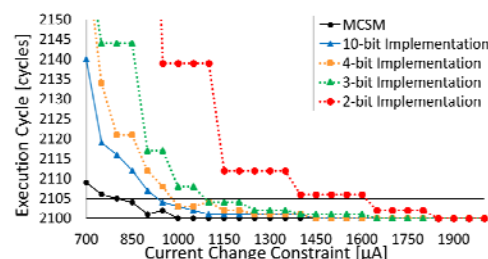


図2 提案する機構を用いた時の性能劣化

入することにより、システムへ大電流が流れることを回避することを提案した。提案するスケジューリング機構は、プロセッサへのクロックゲーティングのための信号を生成する小型省電力のハードウェアで、制約電流以下でアプリケーションを実行することができる機能を有する。本機構は、マルチプロセッサ・システムで消費される最大電流を制約として、その電流制約下でインストラクションの同時実行可能な組合せを決定するクロックゲーティングを行う。対象とするシステムは、パイプライン動作を行う複数のプロセッサより構成されるホモジーニアスマルチプロセッサ・システムを想定しており、インストラクション毎にシングルプロセッサで消費される電力を計算し、すべてのプロセッサに流れ込む電流を簡易的に計算する回路を搭載したシステムとなる。本回路は、各プロセッサの各インストラクションの各実行ステージで消費される電流量を計算し、システムを安全に動作させる既定の電流以下となるように、実行するオペレーションを選択する。選択されなかったオペレーションは当該サイクルでの動作を停止され、次サイクル以下に実行されるようにダイナミックにスケジューリングされる。本方式は細粒度の消費電流計算を行い、ハードウェアで実行するため、タスクの割り当て法に関わらず、正しい命令のスケジューリングが可能となる知見が得られた。また、遅延するオペレーションにより、システム全体の実行サイクル数が大きく変動するため、できるだけ全体のサイクル数が大きくなるように遅延するオペレーション決定する手法を提案した。

また、制御回路を小面積で実現するために、電流計算のための演算回路精度を検討し、図2に示すように、最適なスケジューリング結果(MCSM)と比較して、小面積の回路である2, 3bitの演算精度の実装による電流計算回路を用いて、数%程度の性能の劣化で実行を行うことができることが分かった。また、この計算のためのハードウェアコストは、マルチプロセッサ・システム全体の数%の追加面積で実現できることが知られ、デカップリングコンデンサによる実現法と比較して、面積効率のよい方法であることも知られた。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[学会発表] (計 3件)

① Jun Kawabe, Yoshinori Takeuchi, Jaehoon Yu, and Masaharu Imai,

“Proposal of an Efficient Clock-Gating Mechanism for Multi-Core Processors to reduce Power Supply Noise,”

The 20<sup>th</sup> Workshop on Synthesis And System Integration of Mixed Information Technologies (SASIMI 2016) (国際学会),  
2016年10月24日～2016年10月25日  
Kyoto Research Park, Kyoto, Japan.

② 川部 純, 武内 良典, 劉 戴勳, 今井 正治, 「電源ノイズ削減のためのマルチコアプロセッサ向けクロックゲーティング機構の提案」

DA シンポジウム 2016

2016年9月14日～2016年9月16日

山代温泉 ゆのくに天祥.

③ Yoshinori Takeuchi,

“Higher reliable multiprocessor system for embedded systems considering power source fluctuation,”

15<sup>th</sup> International Forum on MPSoC for Software-defined Hardware 2015 (MPSoC 2015) (招待講演)

2015年7月13日～2015年7月17日,

Ventura Beach Marriott, Ventura, CA, USA.

[産業財産権]

○出願状況 (計 0件)

名称:

発明者:

権利者:

種類:

番号:

出願年月日:

国内外の別:

○取得状況 (計 0件)

名称:

発明者:

権利者:

種類:

番号:

取得年月日:

国内外の別:

[その他]

ホームページ等

集積システム設計学講座ホームページ

<http://www-ise1.ist.osaka-u.ac.jp>

6. 研究組織

(1) 研究代表者

武内 良典 (TAKEUCHI, Yoshinori)

大阪大学・大学院情報科学研究科・准教授

研究者番号: 70242245

(2) 研究分担者

劉 戴勳 (YU, Jaehoon)

大阪大学・大学院情報科学研究科・助教

研究者番号: 70726976

今井 正治 (IMAI, Masaharu)

大阪大学・大学院情報科学研究科・教授

研究者番号: 50126926

(平成28年4月12日削除)

(3) 連携研究者

なし ( )

研究者番号:

(4) 研究協力者

なし ( )