

平成 30 年 6 月 25 日現在

機関番号：17501

研究種目：基盤研究(C) (一般)

研究期間：2014～2017

課題番号：26330067

研究課題名(和文)FPGA搭載回路のフィールド高信頼化に関する研究

研究課題名(英文)Studies on Reliability Enhancement of Circuits Programmed on FPGAs

研究代表者

大竹 哲史(Ohtake, Satoshi)

大分大学・理工学部・准教授

研究者番号：20314528

交付決定額(研究期間全体)：(直接経費) 3,700,000円

研究成果の概要(和文)：近年の集積度の向上により、集積回路を少量生産するとコストが高くなる傾向にあり、特定用途向けの集積回路を少量生産する代わりに、ユーザが自由に回路を構成できるフィールド・プログラマブル・ゲート・アレイ(FPGA)を利用することによるコスト削減が進むと考えられている。本研究では、高い信頼性が必要な用途へのFPGAの利用のための、FPGAの高信頼化に関する研究を行い、使用環境(フィールド)で検査を行うための技術を開発した。

研究成果の概要(英文)：Recently, production cost of small quantity production of integrated circuits tends to increase. For reduction of production cost, instead of producing a small amount of application specific integrated circuits, field programmable gate arrays (FPGAs) are expected to be used even for critical application fields. We conducted studies on reliability enhancement of FPGAs and proposed several techniques to test integrated circuits programmed on the FPGAs in-field.

研究分野：計算機科学

キーワード：FPGA フィールドテスト 特定用途依存テスト 遅延故障 故障診断 BIST 対故障設計 劣化検知

1. 研究開始当初の背景

フィールド・プログラマブル・ゲート・アレイ (FPGA) は、出荷時には特定の処理を行う回路が定義されておらず、ユーザがフィールド (実用環境) で回路の構成情報 (コンフィグレーション) を設定 (プログラム) して使用する大規模集積回路 (LSI) である。近年の FPGA の性能向上により、今後、これまで少量生産されていた特定の用途のために設計・製造される LSI から、FPGA とそれに搭載するコンフィグレーションへと置き換えが進むと考えられている。従来から FPGA は出荷時に故障がないかを調べるテストが行われているが、それに加えて今後は、それに搭載されたユーザ定義回路に経年劣化などによる問題が起きていないかを調べるフィールドテストが必要になる。特に社会インフラ系などの高信頼性が要求される領域でも FPGA の利用が検討されており、FPGA 搭載回路のフィールドでの高信頼化が不可欠となる。

2. 研究の目的

本研究では FPGA フィールドテストを実現するための要素技術として、(1) 線形フィードバックシフトレジスタ (LFSR) に関する技術、(2) レジスタ転送レベルのテスト容易化設計 (DFT) に関する技術、(3) 通常動作モード/テストモード切り替え制御に関する技術、(4) 高品質遅延故障組込み自己テスト (BIST) に関する技術、(5) BIST 環境での遅延故障診断に関する技術を開発する。

3. 研究の方法

前項で述べた5つの技術は、FPGA 搭載回路の①DFT、②BIST、③フィールドテスト向けの技術としてそれぞれ単独でも成立する技術である。そのため、はじめにそれぞれ単独で開発および評価を行い、統合して評価すべきものについては統合して評価を行う。

①においては、(2) について、特定の用途のために設計・製造される LSI (ASIC) 向けに研究代表者がこれまでに提案したものを含む既存のレジスタ転送レベル DFT 手法を FPGA に適用した場合の問題点や、それらが対応できない FPGA に固有の故障について調査を行う。BIST に対応可能な既存のレジスタ転送レベル DFT としては、階層テスト方式[1]や直行スキャン方式[2]など複数の手法が考えられるため、それらを並行して評価を進める。この調査結果から、その問題を解決する手法を検討する。

②については、(1) で FPGA 向けの LFSR 構成を提案する。また、(4) では再構成可能な論理ブロック (CLB) およびインターコネクットの劣化故障をモデル化し、それを検出するための LFSR シード生成技術を検討する。さらに、(5) BIST 環境での遅延故障診断手法を提案する。BIST における故障診断は、テ

ストパターンが疑似ランダムパターンであることと、その応答が圧縮されるため、診断に有効な情報が失われることが知られている。これまでに、ASIC を指向した BIST 環境下での故障診断技術としては、国内の別の研究グループの成果がある[3]。ASIC での故障診断は、製造段階で混入する故障について、その場所を特定し、製造プロセスを改善するために用いられるのが主目的であった。本研究では FPGA を対象にしており、診断対象が CLB やインターコネクトといった、比較的大きな部分回路であり、また、特定した故障箇所を迂回して使い続けるために用いられるのが主目的である。これについては、CLB やインターコネクト、あるいは部分コンフィグレーション可能な単位で診断するための診断パターンを LFSR から発生させ、BIST 環境でも診断情報の損失を少なくするためのシード生成技術を開発する。

③においては、(3) 通常動作モード/テストモード切り替え制御を実現する回路の設計を行う。FPGA に搭載可能な汎用プロセッサコアを制御回路の一部として利用することで特殊な設計を減らし、機能の一部をソフトウェアとして実現することで、ユーザの負担の軽減することも考慮する。

(1)~(3)の個別要素技術については、FPGA 搭載回路に付加回路として追加するものであり、それらを統合するための設計技術の研究開発を主に行う。FPGA 上で高品質遅延故障 BIST を実現するためには、本研究で開発する LFSR およびそのシードだけでなく、適切なテストタイミングを生成する回路を FPGA 上に実現する必要がある。テストタイミング生成回路については、国内の別の研究グループの成果があり[4]、それを利用することができる。

4. 研究成果

要素技術 (1) ~ (5) についてそれぞれ成果を述べる。

(1) FPGA 向け LFSR 構成

FPGA に実装された回路のテスト手法として、BIST が利用される。一般に、テストパターン生成器には LFSR、テスト応答解析器には多入力シグネチャレジスタ (MISR) が用いられる。ユーザ論理において、アプリケーションにより多くのロジックエレメントを使うことができるよう、ユーザメモリを使ってこれらを実装する方法が提案されている。しかし、テストパターン生成器や応答解析器に問題が発生した場合、正常なテストが行われず、結果としてユーザ回路に故障があると誤判定しかねない。特に、近年問題になっているソフトウェアは外部からの影響で発生するものであり、対策が必要である。

代表的な FPGA では、ユーザ論理のコンフィグレーションメモリには巡回冗長符号検査 (CRC)、ユーザメモリには誤り訂正検出符号 (ECC) などが対策として用意されている

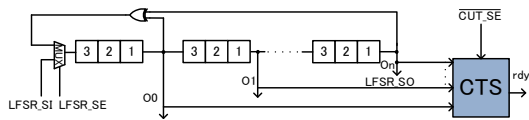


図 1: CTS 付き LFSR

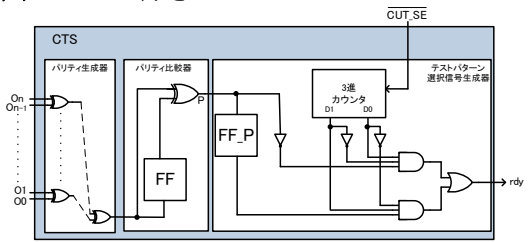


図 2: CTS の構成

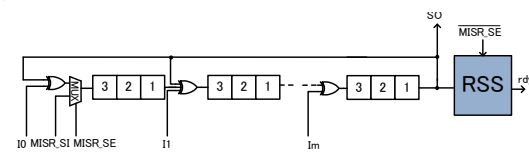


図 3: RSS 付き MISR

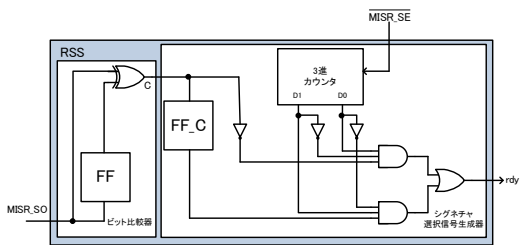


図 4: RSS の構成

が、ユーザメモリを用いて LFSR, MISR を実装する方法では、備え付けのソフトウェア対策を用いることができないという問題がある。

本研究ではこの問題を解決するため、ユーザメモリで実現する耐ソフトウェア LFSR および MISR を提案した。具体的には、正常テストパターン選択器 (CTS) 付き LFSR (図 1, 図 2 参照), 冗長シグネチャ選択器 (RSS) 付き MISR (図 3, 図 4 参照) を提案した。CTS 付き LFSR は同じテストパターンを複数生成し、ソフトウェアが発生した場合でもその中から正しいテストパターンを選択するものである。また、RSS 付き MISR はシグネチャを複数保持し、ソフトウェアが発生した場合でもその中から正しいシグネチャを選択するものである。これによりソフトウェアの影響を排除し、正しくテストを行うことができることを期待できる。実験により提案した LFSR, MISR 面積を評価し、わずかなロジックエレメントのオーバーヘッドで一時故障耐性を得られることを示した。

本成果は学会発表[3]で発表した。

(2) レジスタ転送レベル DFT に基づくシード生成

BIST で用いるテストパターン生成器の一つに LFSR がある。LFSR から出力された疑似ランダムパターンをテストパターンとしてテスト対象回路に印加するが、ランダムパタ

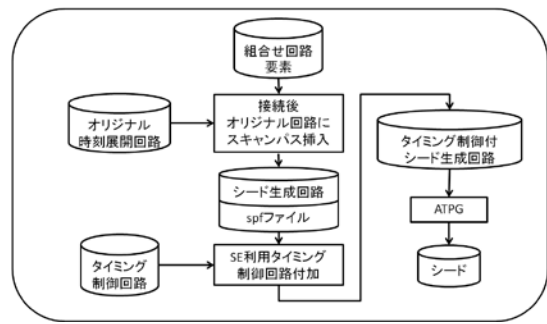


図 5: 提案 RTL シード生成フロー

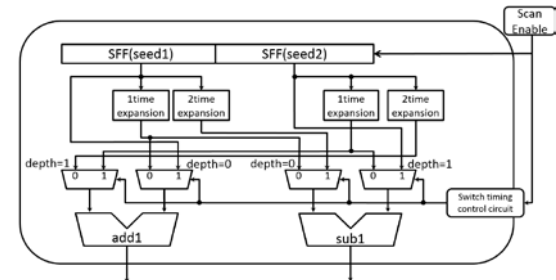


図 6: RTL シード生成モデル

ーン耐性故障 (RPRF) に対しては、LFSR の初期値 (シード) を交換するリシード手法が用いられる。一般にリシードには、新たに故障を検出するパターンに展開されるシードを用いる。これまでに代表者らの研究グループでは、スキャン BIST 向けのシード生成モデルを用いた 1 パスシード生成法を提案した。本研究ではこの手法を応用し、レジスタ転送レベル (RTL) 情報を用いた階層 BIST に対するシード生成法を提案した (図 5 参照)。

提案法では、回路要素までの順序深度に基づいて LFSR を時間展開した XOR ネットワークを用いてシード生成モデルを構成する (図 6 参照)。提案法は、BIST 環境での故障の検出可能性を判定可能で、検出可能故障に対しては、展開されたテストパターンがそれを検出するシードの生成を保証する。RTL ベンチマーク回路に対する実験では、提案法により、RPRF に対するシードを生成でき、リシードにより故障検出率を向上できることを示した。

本成果は学会発表[6]および雑誌論文[2]で発表した。

(3) 通常動作モード/テストモード切替機構

現在の FPGA のテストでは、製造時に書き換え可能な回路素子がそれぞれ動作することが確認されるが、フィールドで書き換えられた回路に対するテストは行われないうのが一般的である。今後、さらに利用が拡大していく FPGA の信頼性を向上するために、FPGA 上にプログラムされた回路をテストするための機構が必要である。本研究では、FPGA 上に実装された回路に対するフィールドテスト機構を提案した。フィールドテストを行うことによって、出荷後に FPGA 上に書き込まれた回路をテストすることが可能になる。

提案手法では、フィールドテストを可能に

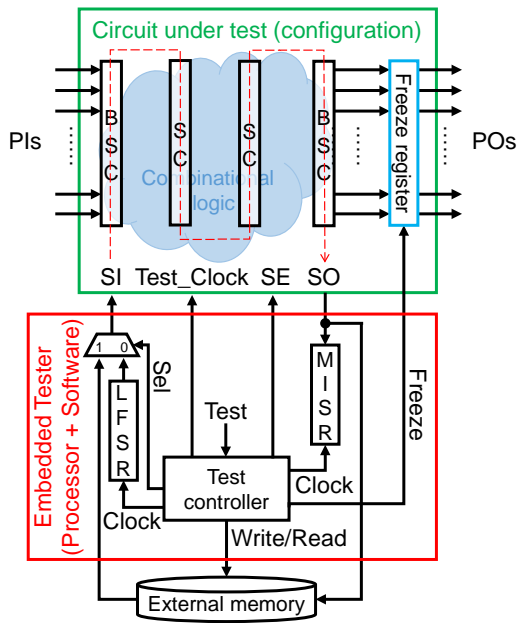


図 7: 提案アーキテクチャ

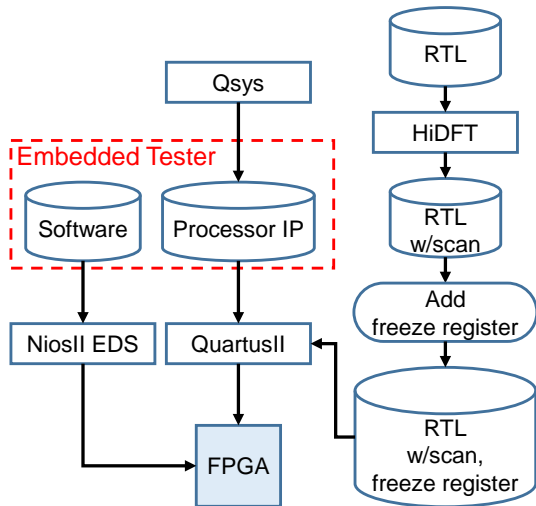


図 8: 提案法の設計フロー

するために、スキャン設計と BIST 方式を採用する。FPGA は通常レジスタ転送レベルで設計されるため、スキャン設計はレジスタ転送レベルで行う方式を採用した。また、ノンストップシステムの信頼性向上に利用するために、通常動作/テストモード切替機構を設計した (図 7 参照)。通常動作/テストモード切替機構を使用することで、通常動作を中断してテストを実行しても、テスト終了後に通常動作に復帰することが可能になる。さらに、提案手法ではフィールド自己テスト機構をソフトウェアと組み込みプロセッサで実現する方法を採用し、FPGA のハードウェア構成を書き換える労力を低減する (図 8 参照)。実験では、提案法を実際に FPGA 上に実現し、FPGA 上にプログラムされたコンフィギュレーションをテストできることを示した。また、組み込みプロセッサ上のソフトウェアで生成するテストパターンを検討し、そのテスト品質を評価した。

本成果は学会発表 [5] で発表した。

(4) 高品質遅延故障検出のための LFSR シード生成技術

遅延故障テストを用いて劣化の進行をとらえるためには、微小な遅延の増加を測定できる必要がある。遅延故障モデルとして広く使われている遷移故障では遅延サイズを考慮しておらず、検出可能な遅延サイズは生成されたテストパターンに依存する。そのため、故障検出率のみではテスト品質を十分に評価できない。遅延テストにおける品質評価の方法として統計的遅延品質モデル (SDQM) が提案されている。

一方、フィールドテストを意識した、高品質遅延テストのためのシード選択手法が提案されている。しかし、この手法は実行時間が長く、シード品質を向上させるためには余分なシードを生成せざるを得ない問題がある。

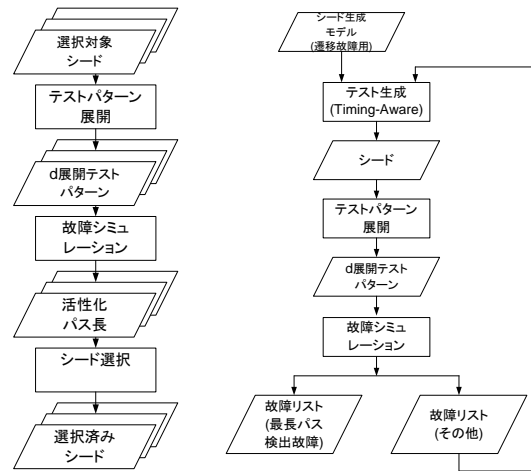


図 9: 既存フロー(左), 提案フロー(右)

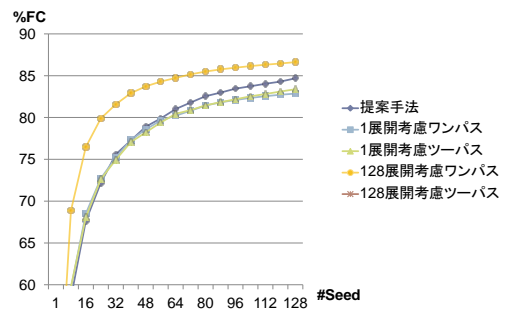


図 10: 故障検出率の比較

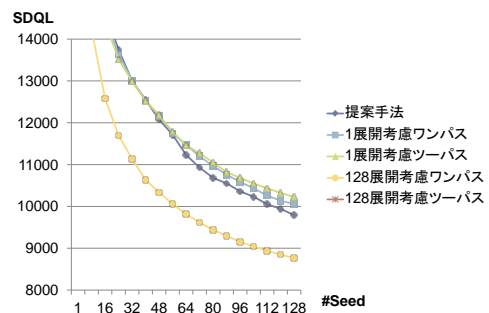


図 11: SDQL の比較

本研究では、LFSR の時間展開モデルを用いた、複数パターン展開を考慮したシード生成

手法を提案した (図 9 参照). 提案法の有効性を ITC'99 ベンチマーク回路による実験により評価した. 実験結果を図 10, 11 に示す. 従来の 1 展開のみを考慮してシードを生成した場合と比べて, 1 桁以上のシード生成時間を削減しつつ, 故障検出率, SDQL ともに改善している. 従来の複数展開を考慮した場合と比べると, 故障検出率も SDQL もそれに勝ることはなかったが, 従来の複数展開を考慮した手法は提案法より 2 桁以上大きなシード生成時間を要し, 実用に耐えるものではない. 本成果は, 学会発表[1]で発表した.

(5) 故障診断のためのシード生成

FPGA において故障箇所を特定できれば, その箇所を使用しないコンフィグレーションを作成して, FPGA を交換することなく運用を続けることが可能である. オンチップでのテストには BIST 技術が用いられるため, 故障診断のためにはテストパターン生成器に適切なシードを設定することが不可欠である. FPGA の劣化によって生じる故障には, 遅延故障としてモデル化できるものがある. 本研究では, オンチップ BIST 環境での遅延故障診断の品質向上のためのシード生成法を提案した.

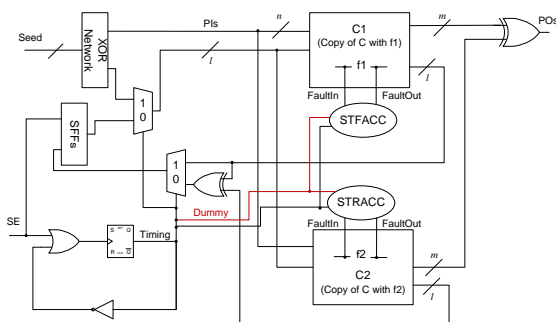


図 12: 故障診断シード生成モデル

提案法では, 診断対象の回路に対する回路擬似変換を用いて遅延故障診断シード生成モデル (図 12 参照) を作成し, 市販の遅延故障用テスト生成ツールを用いてシードを直接生成できることを示した.

ISCAS'89 ベンチマーク回路を用いた実験により, 提案法の実現可能性を示した.

本成果は, 学会発表[2]および雑誌論文[3]で発表した.

<引用文献>

- [1] 井筒稔, 和田弘樹, 増澤利光, 藤原秀雄, "レジスタ転送レベルデータパスの単一制御可検査性に基づく組込み自己テスト容易化設計法," 電子情報通信学会論文誌, vol. J84-D-I, no. 1, pp. 69-77, Jan. 2001.
- [2] R. B. Norwood and E. J. McCluskey, "Orthogonal scan: Low-overhead scan for data paths," in Proc. of International Test Conference, pp. 659-668, 1996.
- [3] H. Takahashi, Y. Tsugaoka, H. Ayano and Y. Takamatsu, "BIST based fault diagnosis

using ambiguous test set," in Proc. of IEEE Symposium on Defect and Fault Tolerance in VLSI Systems, pp. 89-96, 2003.

[4] 佐藤康夫, 松浦宗寛, 荒川等, 三宅庸資, 梶原誠司, "FPGA の自己テストのための可変タイミングクロック生成," 信学技報 vol.114, no.329, pp.245-250, Nov. 2014.

[5] T. Yoneda, M. Inoue, A. Taketani and H. Fujiwara, "Seed ordering and selection for high quality delay test," in Proc. of IEEE Asian Test Symposium, pp.313-318, 2010.

5. 主な発表論文等

[雑誌論文] (計 5 件)

[1] Daichi Shimazu and Satoshi Ohtake, "An approach to LFSR-based X-masking for built-in self-test," in Proceedings of 18th IEEE Latin American Test Symposium, pp.1-4, March 2017. 査読有
DOI: 10.1109/LATW.2017.7906741

[2] Kosuke Sawaki and Satoshi Ohtake, "A method of LFSR seed generation for hierarchical BIST," in Proceedings of 10th IEEE International Design & Test Symposium, pp.118-123, Dec. 2015. 査読有
DOI: 10.1109/IDT.2015.7396747

[3] Renji Ono and Satoshi Ohtake, "A method of diagnostic test generation for transition faults," in Proceedings of IEEE Pacific Rim International Symposium on Dependable Computing 2015, pp.273-278, Nov. 2015. 査読有
DOI: 10.1109/PRDC.2015.47

[4] Syuichi Sato and Satoshi Ohtake, "A delay measurement mechanism for asynchronous circuits of bundled-data model," in Proceedings of IEEE International Symposium on Design and Diagnostics of Electronic Circuits and Systems 2015, pp.243-248, April 2015. 査読有
DOI: 10.1109/DDECS.2015.55

[5] Takanori Moriyasu and Satoshi Ohtake, "A method of one-pass seed generation for LFSR-based deterministic/pseudo-random testing of static faults," in Proceedings of Latin American Test Symposium, pp.1-6, March 2015. 査読有
DOI: 10.1109/LATW.2015.7102512

[学会発表] (計 8 件)

[1] 渡邊恭之介, 大竹哲史, "遅延故障 BIST 高品質化のための LFSR シード生成法," 電子情報通信学会技術報告 (DC2017-41), Vol.117, No.274, pp. 49-54, Nov. 2017.

[2] 南蘭隼人, 大竹哲史, "オンチップ故障診断のための LFSR シード生成法," 電子情報通信学会技術報告 (DC2016-58), Vol.116,

No. 331, pp. 117-122, Nov, 2017.

[3] 上田大樹, 嶋津大地, 大竹哲史, "FPGA テストのための耐ソフトウェア-BIST," 電子情報通信学会技術報告 (DC2015-67), Vol. 115, No. 339, pp. 219-224, Dec. 2015. (平成 27 年度 DC 研究会最優秀講演賞受賞)

[4] 嶋津大地, 大竹哲史, "遅延故障 BIST 向け LFSR/MISR シード生成," 電子情報通信学会技術報告 (DC2015-66), Vol. 115, No. 339, pp. 213-218, Dec. 2015.

[5] Sho Kano and Satoshi Ohtake, "A field test architecture for circuits configured on FPGAs," 16th IEEE Workshop on RTL and High Level Testing (WRTL'15), Nov. 2015.

[6] 佐脇光亮, 大竹哲史, "階層 BIST 向け LFSR シード生成法," 電子情報通信学会技術報告 (DC2014-85), Vol. 114, No. 446, pp. 43-48, Feb. 2015.

[7] Shuichi Sato and Satoshi Ohtake, "A delay measurement mechanism for asynchronous circuits of bundled-data model," 15th IEEE Workshop on RTL and High Level Testing (WRTL'14), pp. 84-89, Nov. 2014.

[8] Taro Honda and Satoshi Ohtake, "A method of LFSR seed generation for delay fault BIST using constrained ATPG," 15th IEEE Workshop on RTL and High Level Testing (WRTL'14), pp. 20-25, Nov. 2014.

〔産業財産権〕

○出願状況 (計 2 件)

名称: スキャン BIST の LFSR シード生成法及びそのプログラムを記憶する記憶媒体
発明者: 大竹哲史, 本田太郎, 森保孝憲
権利者: 大分大学
種類: 特許
番号: PCT/JP2014/0069103
出願年月日: 2014 年 7 月 17 日
国内外の別: 国外

名称: スキャン BIST の LFSR シード生成法及びそのプログラムを記憶する記憶媒体
発明者: 大竹哲史, 本田太郎, 森保孝憲
権利者: 大分大学
種類: 特許
番号: 特願 2014-146027
出願年月日: 2014 年 7 月 16 日
国内外の別: 国内

6. 研究組織

(1) 研究代表者

大竹 哲史 (OHTAKE, Satoshi)
大分大学・理工学部・准教授
研究者番号: 20314528

(2) 研究協力者

佐藤 秀一 (SATO, Shuichi)
森保 孝憲 (MORIYASU, Takanori)
本田 太郎 (HONDA, Taro)
小野 廉二 (ONO, Renji)
鹿野 礁 (KANO, Sho)
佐脇 光亮 (SAWAKI, Kosuke)
上田 大樹 (UEDA, Hiroki)
嶋津 大地 (SHIMAZU, Daichi)
南蘭 隼人 (MINAMIZONO, Hayato)
渡邊 恭之介 (WATANABE, Kyonosuke)