

平成 29 年 6 月 27 日現在

機関番号：26402

研究種目：基盤研究(C) (一般)

研究期間：2014～2016

課題番号：26330070

研究課題名(和文) 間欠型 BIST システムを用いた AMS システム LSI の高信頼化

研究課題名(英文) Design of dependable Analog Mixed signal LSI with intermittent operatable BIST system

研究代表者

橘 昌良 (Tachibana, Masatoshi)

高知工科大学・システム工学群・教授

研究者番号：50171715

交付決定額(研究期間全体)：(直接経費) 3,600,000 円

研究成果の概要(和文)：アナログ回路を混載したシステム LSI のアナログ回路部分の故障検出を LSI の製造工程からシステムの動作時までいつでも行うことの出来る機構の開発を目的として研究を行った。本研究ではアナログ混載システム LSI で多用される基準電源回路と変調器をモチーフとし、回路のインパルス応答に基づいた回路素子の開放/短絡などの致命的故障を検出できる故障検出システムの開発を行い、回路シミュレーションと実チップによる試作/測定の結果、回路素子の開放/短絡については 86～95% の検出が出来ることを確認した。また、カオス発振回路をテスト入力することで、回路素子の定数故障(パラメトリック故障)を検出できる見込みが立った。

研究成果の概要(英文)：We propose fault-based BIST(Built-In Self Test) schemes for Analog part of AMS (Analog Mixed-Signal) system LSI. The BIST systems can be used throughout life time of LSIs, from fabrication process to the system's operation. Motif circuits of analog system to design BIST systems are Voltage/Current reference generator and delta-sigma modulator.

The BIST systems are based on transient response of circuits and fault coverage of Catastrophic faults, such like open/short fault of circuit elements, are about 85% to 96% with reasonable area overhead. We also find the BIST systems based on Chaotic oscillation can cover Parametric faults.

研究分野：システムLSI設計 LSI設計支援系

キーワード：Analog-Mixed Signal Built-In Self Test Chaotic Oscillator Impulse Response パラメータ故障  
カスτροφイック故障 デペンダブルコンピューティング

1. 研究開始当初の背景

アナログ回路は、デジタルシステムと比べて多重化による高信頼化が難しく、集積度の高い AMS(Analog Mixed-Signal)システム LSI の高信頼化の問題点の一つとなっている。しかし、現実のシステムではすべての回路が常時動作する必要があるような構成をとることはあまりなく、特定の回路が動作しない時間が発生する。このような空き時間を利用して間欠的にテストを行い、異常が発生した回路とあらかじめ用意されている正常な回路との切り替えを行うことができれば、システム全体の信頼性を向上させることができる。また、回路に異常が発生した場合にシステムの使用を停止することができるだけでも有用である。

2. 研究の目的

AMS システム LSI の高信頼化を目的としたアナログ回路の故障検出をシステムの動作中にも行える機構の開発を目的とする。

この機構は L S I システムがデジタル/アナログ両方の回路を組み合わせる利点を利用して、アナログ回路にテスト信号発生回路、動作状態を監視するプローブ回路とその出力から動作異常を検出する故障検出回路を組み合わせ、それらをデジタル回路により制御することにより、システムは動作中であるが検査対象となるアナログ回路の動作を必要としない時間帯を利用して、間欠的にテストを進めることの出来るものである。

このような、システムの動作状態での動作異常の検出を行うことのできる BIST システムを提案し、L S I を試作しその有効性を実証することを目標としている。

3. 研究の方法

AMS システム LSI で一般的に用いられる各種形式のアナログ回路とその故障検出を行う回路のシミュレーションと実チップによる有効性の検証をおこなった。対象としたのは基準電源回路と  $\Delta \Sigma$  変調器である。

インパルス応答に基づいたカタストロフィック故障の検出とカオス発振回路の出力を入力とするによるパラメトリック故障の検出を目的とした。また、本研究ではテスト信号や故障検出回路を簡単な回路で実現するために、故障箇所の特定は考慮していない。

回路設計とシミュレーションおよび LSI チップの試作は VDEC (VLSI Design and Education Center) を利用して各種の EDA ツールと Rohm 0.18  $\mu\text{m}$  CMOS プロセスを使用して行った。対象としたのは、カタストロフィック故障はトランジスタの各端子の開放/短絡故障と抵抗、キャパシタンスの開放/短絡故障、パラメトリック故障は抵抗、キャパシタンスの 10% 程度の変化である。

4. 研究成果

(1) 基準電源回路 (バンドギャップリファレンス回路: 以下 BGR) における素子の開放/短絡故障検出

BGR は基準電流/電圧を生成するための回路であるため、入力が存在しない。しかしながら、回路の動作開始時に動作点を決定するためのスタートアップ回路が存在する。このスタートアップ回路を利用して故障検出を行った。

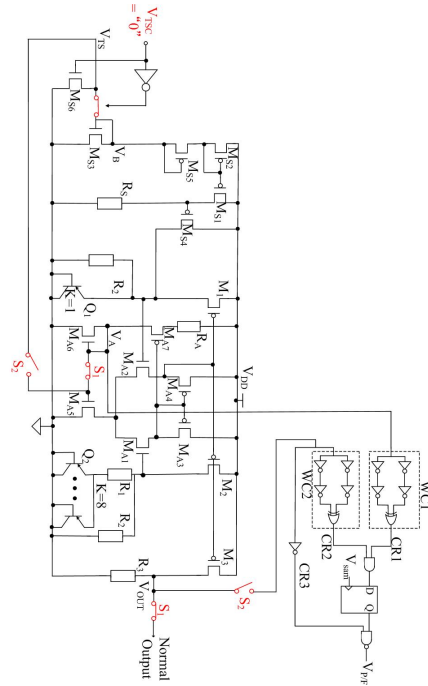


図 1

図 1 に故障検出のための付加回路を含めた BGR の回路を示す。回路に素子の開放/短絡故障を組み込み、出力電圧のシミュレーションを行った結果から、故障の大部分は出力が電源電圧または 0V となるもので判定は容易である。無故障に近い出力電圧を出力する故障 (9 個) はオペアンプのバイアス回路の MOSFET に関するもので、これらの故障を検出するために 5 個のスイッチを追加した。

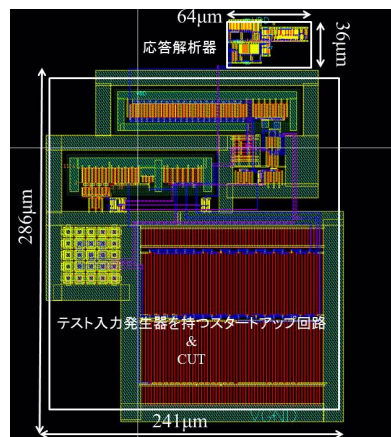


図 2

また、出力電圧を判定するためにウィンドウコンパレータを使用している。これらの付加回路の面積オーバーヘッドは 5.5%であり、これにより BGR の全ての素子の開放/短絡故障が検出できた。図 2 にレイアウトパターンを示す。

(2) カオス発振を用いた演算増幅器のパラメトリック故障検出

テスト対象のオペアンプをスイッチドキャパシタ型のカオス発振回路の増幅器として組み込んだパラメトリック故障検出について説明する。実験した回路では全ての素子の開放/短絡故障と位相補償のためのキャパシタ、抵抗のパラメトリック故障 (10%減) の検出を行うことが出来た。

カオス状態を作る非線形回路の出力をサンプル/ホールドしたのちオペアンプの入力とし、オペアンプの出力をサンプル/ホールドしたものを非線形回路の入力にフィードバックすることでカオス発振回路を構成する。〔図 3〕

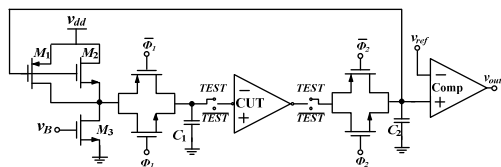


図 3

図 4 に使用した非線形回路 (カオスマップ) (図左) と回路の DC 特性 (図右) を示す。

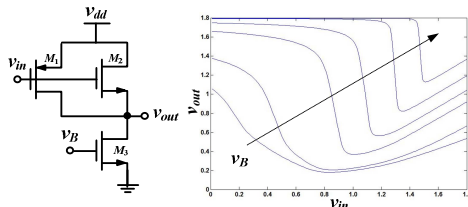


図 4

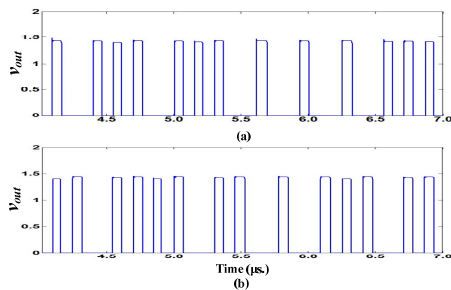


図 5

図 5 は回路のシミュレーション結果である。(a)は故障を含まない回路、(b)は位相補償のためのキャパシタ、抵抗のパラメトリック故障 (10%減) を含む回路の出力である。この回路では発振回路を構成するための付加回路の面積がオペアンプよりも大きくな

っているが、インパルス応答では検出できなかったパラメトリック故障の検出に成功している。

(3) カオス発振回路により生成した疑似乱数クロックを用いた  $\Delta \Sigma$  変調器のパラメトリック故障検出

図 6 にテスト対象とした 2 次の  $\Delta \Sigma$  変調器のブロック図 (テストのための付加回路含む) を示す。また、図 8 にテスト時のブロック図を示す。本研究では、時定数の等しい 2 個の積分器の出力を比較することで故障検出を行っている。

テスト時には 2 つの積分回路は図 7 のマルチプレクサ、でマルチプレクサにより切り離され、固定された電圧  $1/2 V_{DD}$  (0.9V) とカオス発振器を利用した乱数クロックにより駆動される DAC の出力を入力する。この 2 つの積分器の出力をコンパレータにより 0/1 に変換し、その出力を比較することで故障検出を行っている。(図 7)

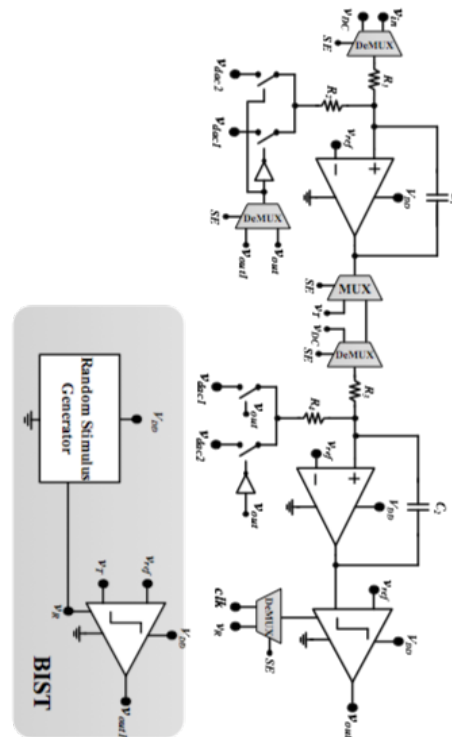


図 6

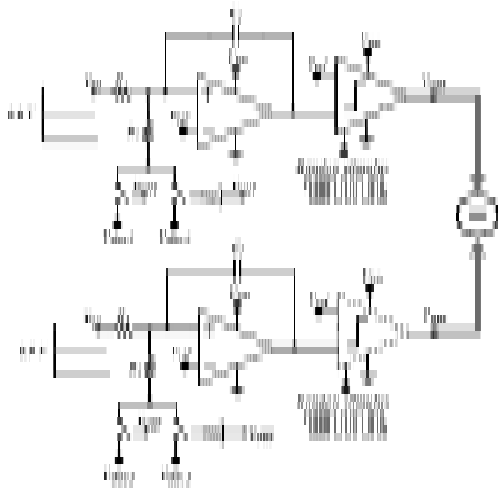


図 7

図 8 に実験に使用した回路のレイアウトパターンを示す。この回路はシミュレーションで全ての素子の開放/短絡故障の検出と抵抗、キャパシタの 10%変動の検出が可能であることが確認されている。実チップによる確認では 5 通りの故障を注入した回路について故障検出が可能であることを確認した。

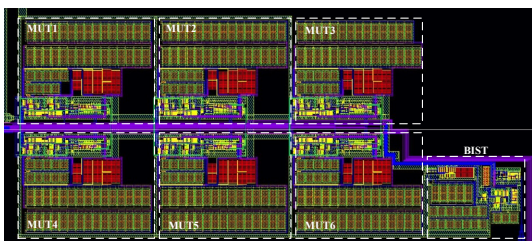


図 8

(4) 以上の 3 種の BIST 手法は、検出できる故障はかぎられるが、LSI の製造段階からシステムに実装した後までどの段階でも動作させること出来る。このため、検査対象となるアナログ回路を複数システムに実装しておき、故障が発見された場合は回路を切り替えることでシステムの高信頼化をはかることが出来る。

また、カオス発振を用いることで素子の開放/短絡故障だけでなくトランジスタや抵抗、キャパシタに関するパラメトリック故障や検出の難しい開放故障を検出できる見込みがたつた。これらのパラメトリック故障は簡単な故障検出回路では検出できなかったものである。

カオス発振回路は疑似乱数発生器として使用しているが、出力の再現性が乏しいため、現状では故障の無い回路とテスト対象の回

路について出力を比較することにより故障検出を行っている。この方式で故障検出の出来る回路には制限がある。今後の研究の方向としては、この制限を減らすことが上げられる。

#### 5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[学会発表] (計 7 件)

①Jiteurtragool Nattagit, Tachibana Masayoshi, "Hybrid Random Number Generator Based on Chaotic Oscillator", Management and Innovation Technology International Conference 2016 (Miticon 2016), Bangkok, Thailand.

②Wannaboon Chatchai, Tachibana Masayoshi, "True Random-Bit Generation Using a Continuous-Time Chaotic Oscillator", 2016 Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI-2016)

③Wannaboon Chatchai, Tachibana Masayoshi, "An Autonomous Chaotic Oscillator Based on Hyperbolic Tangent Nonlinearity", 2015 International Symposium on Communications and Information Technologies (ISCIT-2015), Nara, Japan.

④Jiteurtragool Nattagit, Wannaboon Chatchai, Tachibana Masayoshi, "True Random Number Generator Based on Compact Chaotic Oscillator", 2015 International Symposium on Communications and Information Technologies (ISCIT-2015), Nara, Japan.

20170626115955-0001.pdf

⑤Bando Takuya, Tachibana Masayoshi, "A BIST Scheme Detecting Catastrophic Faults of MOSFETs in Bandgap Reference with Self-Biased Operational Amplifier", 2015 Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI-2015)

⑥Jiteurtragool Nattagit, Wimol San-um, Tachibana Masayoshi, "Low-power discrete-time CMOS chaotic oscillator based on approximated non-linear characteristic", 2014 IEEE Region 10 Conference (TENCON 2014), Bangkok, Thailand.

⑦Chatchai Wannaboon, Nattagit Jiteurtragool, Tachibana Masayoshi, "Chaotic Oscillation-based BIST for CMOS Operational Amplifier", 2014 International SoC Design Conference (ISOCC-2014) Jeju Island, Korea.

6. 研究組織

(1)研究代表者

橘 昌良 (TACHIBANA, Masayoshi)  
高知工科大学・システム工学群・教授  
研究者番号：50171715