

平成 30 年 9 月 3 日現在

機関番号：32682

研究種目：基盤研究(C) (一般)

研究期間：2014～2017

課題番号：26330072

研究課題名(和文) 高速に再構成可能なインデックス生成回路の設計に関する研究

研究課題名(英文) Research on the design of a fast updatable index generation circuit

研究代表者

笹尾 勤 (Sasao, Tsutomu)

明治大学・理工学部・専任教授

研究者番号：20112013

交付決定額(研究期間全体)：(直接経費) 3,600,000円

研究成果の概要(和文)：連想メモリ(Content Addressable Memory: CAM)は、インターネットのルータ、パターンマッチング、コンピュータのキャッシュメモリ等で広く用いられている。CAMを用いると高速にパターンマッチングを実行可能であるが、CAMは高価であり消費電力も大きい。CAMの機能をモデル化したものがインデックス生成関数である。申請者は、インデックス生成関数を汎用メモリと僅かなハードウェアを用いて実現する方法(IGU)を提案したが、本研究では1個あるいは複数個のIGUを用いて大規模な連想メモリを高速に更新する方法を開発した。

研究成果の概要(英文)：Content Addressable Memories (CAMs) are widely used in the routers for the internet, pattern matching, and cache memories in computers. By using CAMs, a high-speed pattern matching is possible. Unfortunately, CAMs are expensive and dissipate high power. The author invented an index generation unit (IGU) that uses general-purpose memories and small amount of hardware. It works as a CAM, but is much less expensive. In this research, the author developed a fast update method for an IGU.

研究分野：情報学

キーワード：国際研究者交流、米国 線形関数 関数分解 ルータ CAM(連想メモリ) パターンマッチング 書き換え可能回路

1. 研究開始当初の背景

本研究は、2002 年度に開始した文部科学省の知的クラスタ創成事業（第1期）に始まる。インデックス生成関数とは、CAM（連想メモリ）の働きを数学的に表現したものである。インデックス生成関数のアイデアは、共同研究先の企業の技術者との討論の過程で生まれた。インターネットのルータや、スイッチでは、CAM が広く用いられている。CAM は高速であるが、消費電力が大きいため大規模なものは製造が困難である。申請者は、CAM と同じ機能を持つ回路を汎用メモリで実現する手法（図1：IGU: Index Generation Unit）を考案し、国際特許を取得した。また、設計方法を示した単行本を米国から出版した。2007 年度～2009 年度の基盤研究(B)で、変数の最小化法を開発し、2011

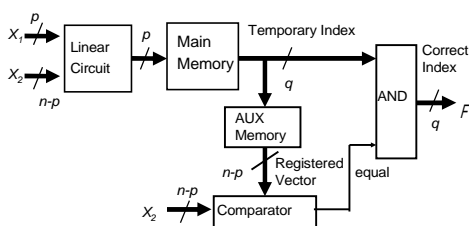


図1 IGU

年度～2013 年度の基盤研究(B)で、線形回路を用いて変数削減法を開発した。

2. 研究の目的

申請者は、インデックス生成関数を汎用メモリと僅かなハードウェアを用いて実現する方法（IGU）を開発した。IGUを用いると、従来実現が困難であった大規模なCAMを、安価な汎用メモリを用いて実現できる。しかし、IGUの内容を高速に変更する方法は、知られていなかった。本研究では、複数個のIGUを用いて大規模な連想メモリを高速に更新する方法を開発する。

3. 研究の方法

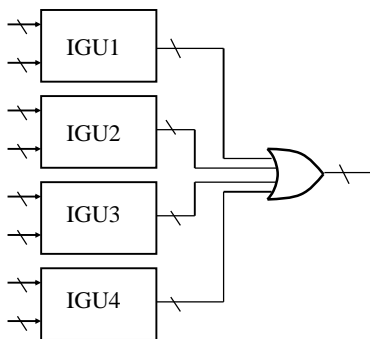


図2 4IGU

回路を高速に更新する方法として、インデックスを複数に分割し、図2のように複数のIGUを用いた回路で実現する方法を考案した。また、更新を 1)登録ベクトルの削除と 2)登

録ベクトルの追加の二つのステップに分解して、別々に実現した。ベクトルを削除する

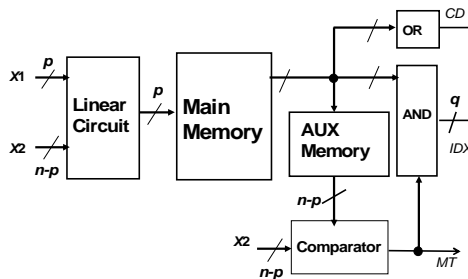


図3 付加回路

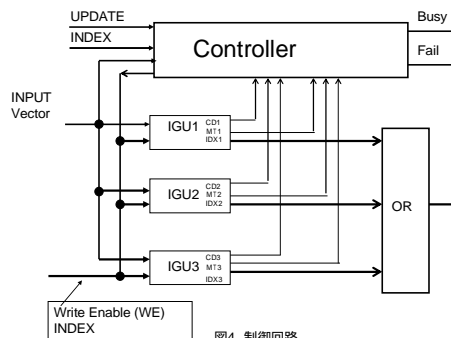


図4 制御回路

場合には、そのベクトルがどのIGUに含まれているかを高速に判定する必要がある。また、ベクトルを追加する場合には、どのIGUに追加可能かを高速に判定する必要がある。このために、各IGUにMT(マッチ検出)端子と、CD(衝突検出)端子を追加した(図3)。また、全体の信号を制御するコントローラを追加した(図4)。これにより、削除、追加とも一定の時間内に高速に実行することができるようになった。

4. 研究成果

- (1)インデックス生成関数に関する解説論文が、海外の論文誌（MVLJ2014）に掲載された。
- (2)インデックス生成関数を複数のIGUで実現する方法を開発した。本結果は、最初、多値論理国際シンポジウム（ISMVL-2016）で発表し、その後、その研究を発展させて、学会論文誌（IEICE-2017）に投稿し採録された。
- (3)インデックス生成関数の変数最小化に関して、国際会議（ISMVL-2017）で招待講演を行った。
- (4)インデックス生成回路の高速更新法に関する国際特許をJSTの支援を受け申請し、米国特許として認定された。本方法を用いれば、回路を1マイクロ秒以下で再構成可能である。
- (5)インデックス生成関数を表現するための変数削減法が論文誌（IEICE2014）に採択された。

(6)複数のI G Uを用いてIPv6用のルータを実現する方法が論文誌(IEICE2015)に採録された。

(7)TCAMの面積を削減する高速なアルゴリズムが論文誌(IEICE-2014)に掲載された。

(8)インデックス生成関数の分解という新しい研究テーマを開発し、科研の新しいプロジェクトとして申請し採録された。

(9)インデックス生成関数の分解に関して幾つかの国際会議(IWLS-2016, SASIMI-2016, DATE-2017)で発表した。この方法は、インデックス生成関数をメモリのみで実現する際に有用である。

(10)インデックス生成関数の分解に関する論文が、二冊の単行本に採録された。

(11)海外から共同研究者を招聘し、インデックス生成関数の分解に関して理論的な研究を行った。

(12)Zero-Suppressed Decision Diagramに関する単行本を米国から出版した。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計16件)

T. Sasao, "A fast updatable implementation of index generation functions using multiple IGUs," IEICE Trans. Inf. and Syst. Vol. E100-D, No.8, pp. 1574-1582, Aug. 2017. <https://doi.org/10.1587/transinf.2016LOP0001>

S. Nagayama, T. Sasao, and J. T. Butler, "A balanced decision tree based heuristic for linear decomposition of index generation functions," IEICE Trans. Inf. and Syst. Vol. E100-D, No.8, pp. 1583-1591, Aug. 2017. <https://doi.org/10.1587/transinf.2016LOP0013>

T. Sasao, "A linear decomposition of index generation functions: Optimization using autocorrelation functions", Journal of Multiple-Valued Logic and Soft Computing, Vol. 28, No.1, pp.105-127, 2017.

http://www.lsi-cad.com/sasao/Papers/files/MVLJ_2017.pdf

<https://pdfs.semanticscholar.org/bb23/33664abe363e6f301cde8d0f35a90f852fb.pdf>

H. Nakahara, T. Sasao, M. Matsuura, and H. Iwamoto, "An update method for a low power CAM emulator using an LUT cascade based on an EVMDD(k)," Journal of Multiple-Valued Logic and Soft Computing, Vol. 26, No. 1-2, 2016, pp.109-123.

<http://www.lsi-cad.com/sasao/Papers/fil>

es/MVLJ_Nakahara2016.pdf.

H. Nakahara, T. Sasao, H. Iwamoto, and M. Matsuura, "LUT cascades based on edge-valued multi-valued decision diagrams: Application to packet classification," IEEE Journal on Emerging and Selected Topics in Circuits and Systems, Vol.6, No.1, 2016, pp.73-86.

10.1109/JETCAS.2016.2528638.

J. T. Butler and T. Sasao, "A set partition number system," Australasian Journal of Combinatorics, Vol. 65. No.2, 2016, pp. 152-168.

https://ajc.maths.uq.edu.au/pdf/65/ajc_v65_p152.pdf.

H. Nakahara, H. Nakanishi, K. Iwai, and T. Sasao, "An FFT circuit for a spectrometer of a radio telescope using the nested RNS including the constant division," SIGARCH Computer Architecture News Vol.44, No. 4, pp.44-49. 2016.

10.1145/3039902.3039911.

H. Nakahara, T. Sasao, M. Matsuura, H. Iwamoto, and Y. Terao, "A Memory-based IPv6 lookup architecture using parallel index generation units," IEICE Trans. Inf. and Syst. Vol. E98-D, No. 2, pp. 262-271, Feb., 2015.

<http://doi.org/10.1587/transinf.2014RCP0006>.

J. T. Butler and T. Sasao, "High-speed hardware partition generation," ACM Transactions on Reconfigurable Technology and Systems, Vol.7, Issue 4, Article No.1, Jan. 2015.

10.1145/2629472.

T. Sasao, Y. Urano, and Y. Iguchi, "A method to find linear decompositions for incompletely specified index generation functions using difference matrix," IEICE Transactions on Fundamentals of Electronics, Communication and Computer Sciences, Vol. E97-A, No.12, Dec.2014, pp.2427-2433.

<http://doi.org/10.1587/transfun.E97.A.2427>.

I. Syafalni and T. Sasao, "Head-tail expressions for interval functions," IEICE Transactions on Fundamentals of Electronics, Communication and Computer Sciences, Vol. E97-A, No.10, Oct.2014, pp.2043-2054.

<http://doi.org/10.1587/transfun.E97.A.2043>.

H. Nakahara, T. Sasao and M. Matsuura, "A packet classifier based on prefetching EVMDD(k) machines," IEICE Transactions on Information and Systems, Vol. E97-D, No.9, Sept. 2014, pp.2243-2252.

<http://doi.org/10.1587/transinf.2013LOP>

0020.

S. Nagayama, T. Sasao, J. T. Butler, M. A. Thornton, and T. W. Manikas, "On optimizations of edge-valued MDDs for fast analysis of multi-state systems," *IEICE Transactions on Information and Systems*, Vol. E97-D, No.9, Sept. 2014, pp.2234-2242.

DOI: 10.1587/transinf.2013L0P0011.

T. Sasao, "Index generation functions: Tutorial," *Journal of Multiple-Valued Logic and Soft Computing*, Vol. 23, No.3-4, pp.235-263, 2014.

http://www.lsi-cad.com/sasao/Papers/files/MVLJ2014_sasao_a.pdf.

S. Nagayama, T. Sasao, and J. T. Butler, "Piecewise arithmetic expressions of numeric functions and their application to design of numeric function generators," *Journal of Multiple-Valued Logic and Soft Computing*, Vol. 23, No.3-4, pp.293-313, 2014.

http://www.lsi-cad.com/sasao/Papers/files/MVLJ2014_nagayama_b.pdf.

H. Nakahara, T. Sasao, M. Matsuura, "A heterogeneous multi-valued decision diagram machine for encoded characteristic function for non-zero outputs," *Journal of Multiple-Valued Logic and Soft Computing*, Vol. 23, No.3-4, pp.365-377, 2014.

http://www.lsi-cad.com/sasao/Papers/files/MVLJ2014_nakahara.pdf

[学会発表](計 32 件)

T. Sasao, "Index generation functions: Minimization methods," *International Symposium on Multiple-Valued Logic (ISMVL-2017)(invited)*, Novi Sad, Serbia, May 22-24, pp.197-206.

10.1109/ISMVL.2017.22.

H. Nakahara, A. Jinguji, S. Sato and T. Sasao, "A random forest using a multi-valued decision diagram," *International Symposium on Multiple-Valued Logic (ISMVL-2017)*, Novi Sad, Serbia, May 22-24, pp.266-271.

10.1109/ISMVL.2017.40.

S. Nagayama, T. Sasao and J.T. Butler, "An exact optimization algorithm for linear decomposition of index generation functions," *International Symposium on Multiple-Valued Logic (ISMVL-2017)*, Novi Sad, Serbia, May 22-24 ,pp.161-166.

10.1109/ISMVL.2017.56.

T. Sasao and M. Maeta, "On affine equivalence of logic functions," *International Workshop on Logic and Synthesis*, Austin, Texas, Aug. 2017,

pp66-73.

I. Syafalni, K. Wakasugi, and T. Sasao, "Probe location checker for IC physical verification," *2017 IEEE TENCON*, Penang, Malaysia, Nov. 5-8, 2017.

10.1109/TENCON.2017.8227951.

J. T. Butler and T. Sasao, "Analysis of cyclic row-shift decompositions for index generation functions," *The 21st Workshop on Synthesis And System Integration of Mixed Information Technologies (SASIMI 2018)*, pp.65-70.

T. Sasao, K. Matsuura and Y. Iguchi, "A Method to identify affine equivalence classes of logic functions," *The 21st Workshop on Synthesis And System Integration of Mixed Information Technologies* (SASIMI 2018), pp.266-271.

T. Sasao, K. Matsuura, Y. Iguchi, "An algorithm to find optimum support-reducing decompositions for index generation functions," *Design Automation and Test in Europe*, (DATE-2017), March 27-31, 2017, Lausanne, Switzerland.

10.23919/DATE.2017.7927100.

T. Sasao, K. Matsuura, Y. Iguchi, "A heuristic decomposition of index generation functions with many variables," *The 20th Workshop on Synthesis And System Integration of Mixed Information Technologies (SASIMI-2016)*, Kyoto, Oct. 24, 2016, R1-6, pp.23-28.

J. T. Butler and T. Sasao, "Analysis of the number of variables to represent index generation functions,"

International Workshop on Boolean Problems, Sept. 22, 2016. Freiberg, Germany.

I. Syafalni, T. Sasao, and X. Wen, "Multiple-bit-flip detection scheme for a soft-error resilient TCAM," *IEEE Computer Society Annual Symposium on VLSI*, Pittsburgh, Pennsylvania, U.S.A., July 11-13, 2016.

10.1109/ISVLSI.2016.77.

T. Sasao and J. T. Butler, "Decomposition of index generation functions using a Monte Carlo method," *International Workshop on Logic and Synthesis (IWLS-2016)*, June. 10-11, Austin, Texas, USA.

T. Sasao, "A realization of index generation functions using multiple IGUs," *International Symposium on Multiple-valued Logic (ISMVL-2016)*, May 2016, Sapporo, Japan, pp.113-118.

10.1109/ISMVL.2016.17.

H. Nakahara, T. Sasao, H. Nakanishi, K. Iwai, T. Nagao and N. Ogawa, "An FFT circuit using nested RNS in a digital spectrometer for a radio telescope," International Symposium on Multiple-valued Logic (ISMVL-2016), May 2016, pp.60-65.

10.1109/ISMVL.2016.35.

S. Nagayama, T. Sasao, and J. T. Butler, "An efficient heuristic algorithm for linear decomposition of index generation functions," International Symposium on Multiple-valued Logic (ISMVL-2016), Sapporo, Japan, May 2016, Sapporo, Japan, pp.96-101.

10.1109/ISMVL.2016.52.

D. Chowdhury, D. Das, B. Bhattacharya and T. Sasao, "On the inadmissible class of multiple-valued faulty functions under stuck-at faults," International Symposium on Multiple-valued Logic (ISMVL-2016), May 2016, Sapporo, Japan, pp.276-281.

10.1109/ISMVL.2016.55.

H. Nakahara and T. Sasao, "A deep convolutional neural network using nested residue number system," The International Conference on Field-programmable Logic and Applications (FPL-2015), Sept.3, 2015, London, United Kingdom.

DOI: 10.1109/FPL.2015.7293933.

T. Sasao, I. Fumishi, and Y. Iguchi, "A method to minimize variables for incompletely specified index generation functions using a SAT solver," International Workshop on Logic and Synthesis (IWLS-2015), Mountain View, June 12-13, 2015.

I. Syafalni, T. Sasao, X. Wen, S. Holst, and K. Miyase, "Soft-error tolerant TCAM using partial don't-care keys," 20th IEEE European Test Symposium, May 25-29, 2015, Cluj-Napoca, Romania.

10.1109/ETS.2015.7138743.

I. Syafalni, T. Sasao, and X. Wen, "A soft-error tolerant TCAM for multiple-bit flips using partial don't-care keys," International Workshop on Logic and Synthesis (IWLS-2015), Mountain View, June 12-13, 2015.

⑳ T. Sasao, "On the sizes of reduced covering tables for incompletely specified index generation functions," Reed-Muller 2015, May 21, 2015, Waterloo, Ontario, Canada.

㉑ R. S. Stankovic, T. Sasao, and J. T. Astola, "Contributions of Yasuo Komamiya to switching theory," Reed-Muller 2015, May 21, 2015, Waterloo, Ontario, Canada.

㉒ T. Sasao, "A reduction method for the number of variables to represent index generation functions: s-Min method," International Symposium on Multiple-Valued Logic (ISMVL-2015), pp.164-169.

10.1109/ISMVL.2015.40.

㉓ H. Nakahara, T. Sasao, H. Nakanishi, and K. Iwai, "An RNS FFT circuit using LUT cascades based on a modulo EVMDD," International Symposium on Multiple-Valued Logic (ISMVL-2015), pp.97-102.

10.1109/ISMVL.2015.41.

㉔ S. Nagayama, T. Sasao, J. T. Butler, M. Thornton, and T. Malikas, "Edge reduction for EVMDDs to speed up analysis of multi-state systems," International Symposium on Multiple-Valued Logic (ISMVL-2015), pp.170-175.

10.1109/ISMVL.2015.22.

㉕ H. Nakahara, H. Yoshida, S-I. Shioya, R. Mikami, and T. Sasao, "A dynamically reconfigurable mixed analog-digital filter bank: Applied to an acoustic diagnostic system," the 11th International Symposium on Applied Reconfigurable Computing (ARC-2015), April 13-17, 2015. Also, in Lecture Notes in Computer Science, Vol.9040, 2015.

10.1007/978-3-319-16214-0_22.

㉖ I. Syafalni, T. Sasao, X. Wen, S. Holst, and K. Miyase, "Soft-error tolerant TCAMs for high-reliability packet classifications," APCCAS 2014, pp. 471-474.

10.1109/APCCAS.2014.7032821.

㉗ T. Sasao, "On the average number of variables to represent incompletely specified index generation functions," International Workshop on Logic and Synthesis (IWLS-2014), San Francisco, May. 30- June 1, 2014 pp.1-7. (Paper 1-4).

㉘ T. Sasao, Y. Urano and Y. Iguchi, "A lower bound on the number of variables to represent incompletely specified index generation functions," International Symposium on Multiple-Valued Logic (ISMVL-2014), May 19, 2014, Bremen, Germany, pp.7-12.

10.1109/ISMVL.2014.10.

㉙ H. Nakahara, T. Sasao and M. Matsuura, "An update method for a CAM emulator using an LUT cascade based on an EVMDD(k)," International Symposium on Multiple-Valued Logic (ISMVL-2014), May 19, 2014, Bremen, Germany, pp.1-6. 10.1109/ISMVL.2014.9

⑳ S. Nagayama, T. Sasao, J. T. Butler, M. A. Thornton, and T. W. Manikas, "Analysis methods of multi-state systems partially having dependent components using multiple-valued decision diagrams," International Symposium on Multiple-Valued Logic (ISMVL-2014), May 21, 2014, Bremen, Germany, pp.190-195. 10.1109/ISMVL.2014.41.

㉑ D. K. Das, D. Chowdhury, B. B. Bhattacharya and T. Sasao, "Inadmissible class of Boolean functions under stuck-at faults," International Symposium on Multiple-Valued Logic (ISMVL-2014), May 21, 2014, Bremen, Germany, pp.237-242. 10.1109/ISMVL.2014.49.

〔図書〕(計3件)

T. Sasao and J. T. Butler, "Decomposition of index generation functions using a Monte Carlo method," Book chapter, Advance of Logic Synthesis, Springer, 2017, pp.209-225.

978-3-319-67294-6

232 pages.

J. T. Butler and T. Sasao, "Analysis of the number of variables to represent index generation functions," Further Improvements in the Boolean Domain, pp.25-42, Cambridge Scholars Publisher, Jan, 2018.

978-1-5275-0371-7.

536 pages.

T. Sasao and J. T. Butler, Applications of Zero-Suppressed Decision Diagrams, Morgan-Claypool, Dec. 2014, 105 pages.

10.2200/S00612ED1V01Y201411DCS045

〔産業財産権〕

取得状況(計2件)

名称: Content addressable memory, an index generator, and a registered information update method

発明者: Tsutomu Sasao

権利者: Meiji University

種類: 米国特許

番号: US9865350B2

取得年月日: 2018年1月9日

国内外の別: 国外

名称: 連想記憶装置、インデックス生成器、及び登録情報更新方法

発明者: 笹尾勤

権利者: 学校法人明治大学

種類: 特許

番号: 6229990

取得年月日: 2017年10月27日

国内外の別: 国内

〔その他〕

ホームページ等

<http://www.lsi-cad.com>

6. 研究組織

(1) 研究代表者

笹尾 勤 (SASAO, Tsutomu)

明治大学・理工学部・専任教授

研究者番号: 20112013

(2) 研究分担者

()

研究者番号:

(3) 連携研究者

明治大学・理工学部・専任教授

井口幸洋 (IGUCHI, Yukihiro)

研究者番号: 6021307

(4) 研究協力者

Jon T. Butler