

平成 30 年 6 月 13 日現在

機関番号：24201

研究種目：基盤研究(C) (一般)

研究期間：2014～2017

課題番号：26420364

研究課題名(和文) ネットワーク監視システムにおける監視情報ラッピング回路の研究

研究課題名(英文) Development of an Additional-data-wrapping Circuit for a Network Monitoring

研究代表者

岸根 桂路 (Kieiji, Kisshine)

滋賀県立大学・工学部・教授

研究者番号：20512776

交付決定額(研究期間全体)：(直接経費) 4,000,000円

研究成果の概要(和文)：近年、光通信システムの大容量化が加速している。このもとで、極微細デバイスのシステム内装置への適用により、大容量化が進められてきた。申請者らは付加情報を効率よく伝送できる通信システムを提案した。本システムを適用することにより、通信ノード間で、ネットワーク監視情報・管理情報をデータフレームとともに効率的に送受信可能となる。提案システムの優位性を検証するために、FPGA、ディスクリート素子、極微細トランジスタから構成されるシステムを構築し、動作特性を調べた。評価・検証により、システムの優位性が示され、プロセッサ不要で低コスト・高効率なネットワーク監視情報送受信システムの実現可能性が明らかとなった。

研究成果の概要(英文)：Recently, a large amount of information is transmitted and received on optical communications systems. Researchers have been improving the capacity of optical communications systems in which deep sub-micron devices are used for the circuit elements in the optical transmission equipment. We propose the labeling transmission system which enable the system to transmit additional information with the original data frame. By using this system, the information for monitoring and managing network can be transmitted and received with data frame between network nodes. To confirm the advantages of the proposed system, we constructed a prototype system comprising a FPGA, discrete elements and the data-wrapping circuit consisting of high-speed deep sub-micron transistors were used. We investigated investigate the system performance. The measured characteristics show the advantage of the system and the feasibility of the an efficient and low-cost network without processors.

研究分野：高周波回路設計

キーワード：高速回路

科学研究費助成事業 研究成果報告書

1. 研究開始当初の背景

極微細デバイスによる通信システム装置の研究・開発は、海外ではC. F. Liang等のグループ、国内では益等のグループにより、最先端デバイスの適用と回路構成の最適化アプローチにより進められている。65nm-CMOSデバイスで、光アナログフロントエンドICの開発に携わってきた申請者は、超高速通信システムにおけるルーティング動作をプロセッサ不要で実現可能とする周波数ラベリング通信方式を提案し、ルーティングの高性能化の検討をシステムレベルから回路レベルまで実施し、提案方式の有効性を確認している。本申請はこれらの成果を基に進めた。申請者らが提案した周波数ラベリング通信方式の応用により、ネットワーク監視・管理情報をフレーム信号に重畳(ラッピング)することで、データフレーム構成・データを変えることなく、ノード間で監視・管理情報を送受信できることに着目した。提案方式において、極微細デバイスの高速特性を十分に発揮させたラッピング回路を実現することで、プロセッサによるデータフレームの再構築不要な高性能・低コストネットワークシステムの実現が可能となる。

2. 研究の目的

この監視情報のラッピング機能を高効率に実現するために、回路の動作限界を見極めたうえで、監視情報のデータ変換プロトコルを開発し、デバイス特性を考慮した回路動作モデルの構築、処理速度軽減のためのハーフレート化手法により、高効率ネットワーク監視が可能となる。本研究では、システム・要素回路・デバイスの垂直統合的観点から解析・検証し、プロセッサ不要の監視システム実現を可能とする信号処理回路の実現を目指す。これまでに、周波数ラベリング通信方式をネットワーク監視・管理に適用し、監視システム・回路の最適構成・特性とデバイスの関係に着目した研究は、国内・国外ともに報告されていない。申請者がこれまでにすすめてきた超高速通信システム用回路に関する研究成果を活かし、世界に先駆けて研究を開始することで、グリーンICTで世界を先導する日本において、極微細デバイスの性能をフルに活かした高性能通信システムの実現が可能となる。

3. 研究の方法

(1) 受信器用遅延検波回路の高分解能化

システム受信部において、高分解能・小型遅延検波回路構成を提案し、シミュレーションにより動作特性を検証した。

(2) ラッピング信号送受信システムの構築

(1)で提案した受信回路と送信回路をディスプレイート部品で構築し、システム動作を検証した。

(3) ラッピング信号受信回路の高線形化

システムのさらなる高性能化にむけ、広帯

域遅延検波回路を提案した。65nm-CMOSにより試作・評価した。

(4) ラッピング信号伝送プロトコルの開発

ラッピング信号伝送プロトコルを設計し、システム実装により、プロトコルの優位性を検証した。

4. 研究成果

(1) 受信器用遅延検波回路の高分解能化

フレーム信号に対し周波数変調を行うことにより、フレーム構成を改変することなく監視情報をラッピングすることにより伝送する提案システムにおいて(図1-1)、受信器内復調回路に使用する遅延検波回路は、周波数偏移量に対する出力変化量(感度)が小さく、高分解能化が課題であった。従来遅延検波回路(図1-2(a))の適用は、回路動作が高速であり、回路規模も小さいなどの優位性がある。しかし、高速に偏移するEXOR出力電位を検出する必要があるため、十分な分解能が確保できないという問題があった。これに対し、高感度な検波回路を提案し、回路シミュレーションにより、提案回路の優位性を確認した。下記の観点より受信器の高分解能化検証を実施している。

(a) 回路構成による高分解能化

周波数変調による変調成分は、基準ビットレートより高周波の期間においてデューティ比の変化として出現する。2つの遅延検波回路とAND回路を使用し、周波数変調に対するデューティ比変化量が増大する改良型遅延検波回路を考案した(図1-2b))。

(b) 過渡応答特性利用による高分解能化

AND回路において、過渡応答領域では入力電位の変化に伴って出力ピーク電位が変化する。この過渡応答特性に着目し、周波数偏移がAND出力ピーク電位の変化として検出可能となるように設計した。

65nm-CMOSプロセスのモデルパラメータを用いて改良型遅延検波回路を設計し、回路シミュレーションにより検波特性の検証を行った。入力10Gbpsのランダム信号を想定し、変調部のD-FF回路におけるクロック信号入力、搬送波周波数10GHzのFM変調波(ラッピング信号)としている。

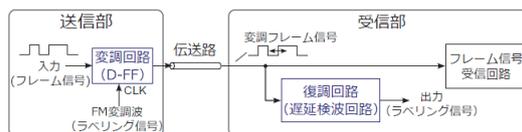
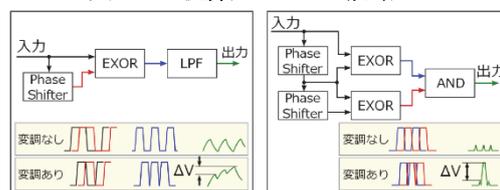


図1-1 提案システム概略



(a) 従来構成 (b) 提案構成

図1-2 遅延検波回路構成

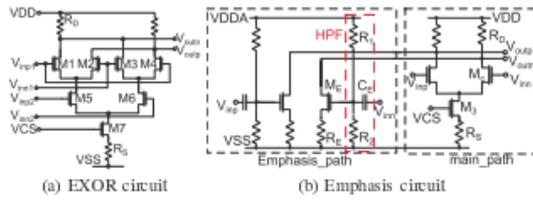


図 3-2 エンファシス回路

高周波帯域における復調性能向上のために、エンファシス回路を適用している (図 3-2)。エンファシス回路ではハイパス フィルタ (HPF) を用いることで、高周波帯域における復調動作の劣化を補償する。その際、HPF の周波数特性により、遅延検波回路における遅延時間の周波数依存性が問題となる。本研究では、依存を最小化する回路パラメータの最適化設計を実施した。65nm-CMOS プロセスで設計したエンファシス回路に対し、小信号解析による設計式を創出した。

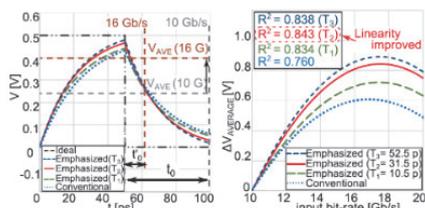
$$G_{\text{exor}}(\omega) = -\frac{g_{m1}R_D}{(1 + j\omega C_p R_D)} \quad (1)$$

$$G_{\text{emp}}(\omega) = -\frac{g_{mC}R_D}{1 + j\omega C_p R_D} - \frac{j\omega T g_{mE}R_D}{(1 + j\omega T)(1 + j\omega C_p R_D)} \quad (2)$$

$$v_{\text{exor}}(t) = g_{m1}R_D(1 - e^{-\frac{t}{\tau_p R_D}})v_{in}(t) \quad (3)$$

$$v_{\text{emp}}(t) = g_{mC}R_D(1 - e^{-\frac{t}{\tau_p R_D}})v_{in}(t) + \frac{T g_{mE}R_D}{T - C_p R_D}(e^{-\frac{t}{T}} - e^{-\frac{t}{\tau_p R_D}})v_{in}(t) \quad (4)$$

設計式 (1) (2) は、エンファシス回路無・有の場合のゲインを示す。さらに (3) (4) は、出力電位の過渡応答を示す。エンファシス特性は、ハイパスフィルタ時定数 T に依存し、外部電圧 VDDA によって制御可能とした。図 3-3 (a), (b) に、出力平均電圧の T 依存と線形性の比較を示す。ここで、線形性の指標として決定係数 (R²) を用いている。図より、エンファシスによる線形性向上が明らかとなり、T₂(=31.5ps) が最適時定数であることが判明した。提案設計手法の有効性を検証するために、65nm-CMOS プロセスを用いて試作した (図 3-4)。入力データ信号は PRBS7 段の擬似ランダム信号で、10Gb/s-12.5Gb/s の信号を入力した。図 3-5 (a) (b) に出力平均電位の入力ビットレート依存と線形特性を示す。従来構成に対し、エンファシス構成のほうが高い線形性を示しており、提案回路の有効性が確認できた。



(a) 出力平均電圧特性 (b) 線形性の比較
図 3-3 エンファシス回路解析結果

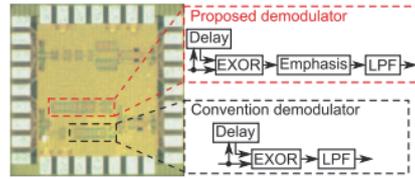


図 3-4 開発チップ

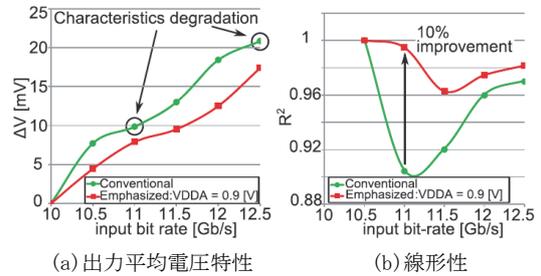


図 3-5 評価結果

(4) ラッピング信号伝送プロトコルの開発

提案システムにおいて、効率よく伝送できるプロトコルの構築が課題であった。シンプルで実装の容易なプロトコルを提案し、FPGA ボード上に実装・評価し、プロトコルの有効性を明らかにした。5 00kb/s のデータフレーム信号に対し、3 kb/s のラッピング信号を重畳し伝送実験を実施した。提案プロトコルは、変調有・無の 2 つの状態を各 1 ビットとし、そのビット列の並びをラッピング信号とした。図 4-1 に変調プロトコルを示す。信号フレームは、同期用ヘッダを 1 ビット設定し、その後ろにデータ本体 (ペイロード) が配置してある。FPGA 上に回路実装する際、送信部において変調有・無切替時にエラーを起こさないように、FPGA 回路内に提案したデジタルスムージング技術を導入している。また、受信部においても FPGA を利用したシステムを構築した。図 4-2 に送信動作のタイムチャートを示す。ラッピング信号の 0, 1 に応じて回路内ループ (path1, path2) が切り替わり、変調有・無の動作が実現される。

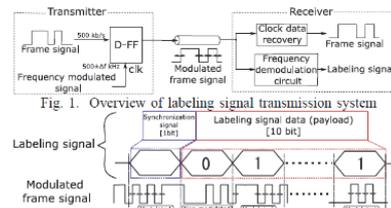


図 4-1 ラッピング信号伝送プロトコル

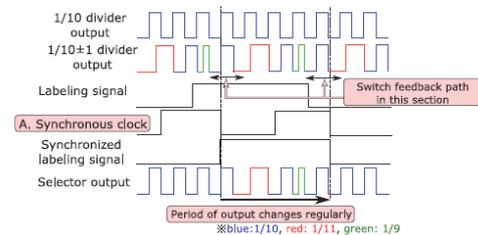


図 4-2 送信動作

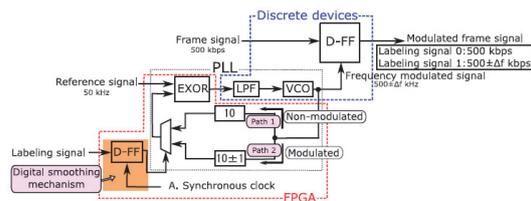


図 4-3 デジタルスムージング回路

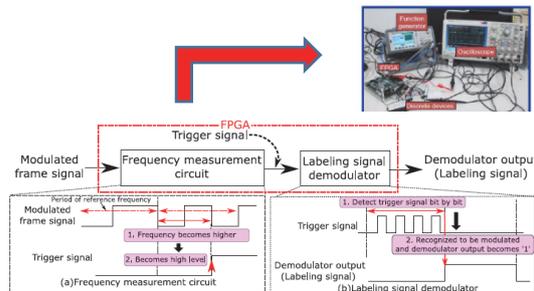
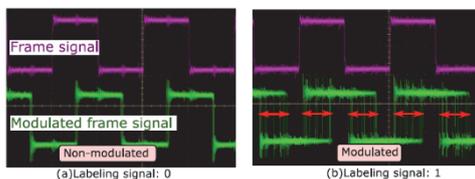
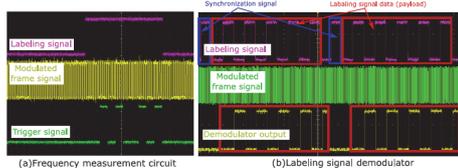


図 4-4 受信部



(a) 送信部波形



(b) 受信部波形

図 4-5 ラッピング信号伝送プロトコル評価

ループ切替が任意のタイミングで実施されると、PLL 内のフィードバック信号が不連続となるため、ビットエラーが生じる。この問題を解決するためにデジタルスムージング回路構成を導入した(図 4-3)。切替タイミングがラッピング信号のエッジと同期させることにより、エラー発生を回避させた。図 4-4 に受信部のブロックダイアグラムと受信タイミングチャートを示す。周波数変調が検知された場合は、トリガ信号が 1 にセットされるトリガ信号をビット毎に検知し、ハイレベルであれば変調有、ローレベルで変調無とする。次に変調フレーム信号の先頭にある、1-bit 同期信号を検知し、次に来るペイロードを読み込む。提案システムを FPGA ボードとディスクリート部品で実装し、評価した(図 4-4)。送信回路出力は、ラッピング信号(ネットワーク監視信号)に応じた変調有・無の出力が確認できた(図 4-5(a))。受信部においては、ラッピング信号に応じて、トリガ信号がハイとなり、復調動作が実施されることが確認できた(図 4-5(b))、提案プロトコルの有効性が確認できた。

5. 主な発表論文等(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計 5 件)

- ① Natsuyuki Koda, Kosuke Furuichi, Hiromu Uemura, Hiromi Inaba, and Keiji Kishine “Simple and Low Power Highly Sensitive Frequency Demodulator Circuit for 10-Gb/s Transmission System for Labeling Signal,” IEIE JOURNAL OF SEMICONDUCTOR TECHNOLOGY AND SCIENCE, Vol. 17 no. 6, Dec. 2017, pp. 733-740. (査読有り)
 - ② Kosuke Furuichi, Hiromu Uemura, Natsuyuki Koda, Hiromi Inaba, and Keiji Kishine “Design of High-linearity Delay Detection Circuit for 10-Gb/s Communication System in 65-nm CMOS,” IEIE JOURNAL OF SEMICONDUCTOR TECHNOLOGY AND SCIENCE, Vol. 17 no. 6, Dec. 2017, pp. 742-749. (査読有り)
 - ③ Tomoki Tanaka, Keiji Kishine, Akira Tsuchiya, Hiromi Inaba, and Daichi Omoto “A 32-Gb/s Inductorless Output Buffer Circuit with Adjustable Pre-emphasis in 65-nm CMOS,” IEIE transactions on smart processing and computing, Vol. 5, no. 3 Jun. 2016, pp. 207-213. (査読有り)
 - ④ Daichi Omoto, Keiji Kishine, Hiromi Inaba, and Tomoki Tanaka “Simple Routing Control System for 10 Gb/s Data Transmission Using a Frequency Modulation Technique,” IEIE transactions on smart processing and computing Vol. 5 no. Jun. 2016, pp. 199-206. (査読有り)
 - ⑤ Keiji Kishine, Hiromi Inaba, Hiroshi Inoue, Makoto, Nakamura, Akira Tsuchiya, Hiroaki Katsurai, and Hidetoshi Onodera “A Multi-Rate Burst-Mode CDR Using a GVCO With Symmetric Loops for Instantaneous Phase Locking in 65-nm CMOS,” IEEE Transactions on Circuits and Systems, Vol. 62, 2015, pp. 1288-1295. (査読有り)
- [学会発表](計 28 件)
- ① Tomonori Tanaka, Kosuke Furuichi, Hiromu Uemura, Ryosuke Noguchi, Natsuyuki Koda, Koki Arauchi, Daichi Omoto, Hiromi Inaba, Shinsuke Nakano, Masafumi Nogawa, Hideyuki Nosaka and Keiji Kishine “25-Gb/s Clock and Data Recovery IC Using Latch Load Combined with CML Buffer Circuit for Delay Generation with 65-nm CMOS,”

- 2017 IEEE International Symposium on Circuits and Systems (ISCAS 2017), pp. 1-4, 2017. (査読有り)
- ② Toshiyuki Inoue, Akira Tsuchiya, Keiji Kishine, and Makoto Nakamura : “Design Method for Inductorless Low-Noise Amplifiers with Active Shunt-Feedback in 65-nm CMOS,” 2017 IEEE International SoC Design Conference (ISODC 2017), pp. 77-78, 2017. (査読有り)
- ③ Koki Arauchi, Shohei Maki, Toshiyuki Inoue, Akira Tsuchiya, and Keiji Kishine “Compact Implementation IIR filter in FPGA for Noise Reduction of Sensor Signal,” 2017 IEEE International SoC Design Conference (ISODC 2017), pp. 258-259, 2017. (査読有り)
- ④ Kohei Nomura, Natsuyuki Koda, Toshiyuki Inoue, Akira Tsuchiya, and Keiji Kishine “FPGA-Based Transceiver Circuit for Labeling Signal Transmission System,” 2017 International SoC Design Conference (ISODC 2017), pp. 310-311, 2017. (査読有り)
- ⑤ Keiji Kishine, Hiroshi Inoue, Kosuke Furuichi, Natsuyuki Koda, Hiromu Uemura, Hiromi Inaba, Makoto Nakamura and Akira Tsuchiya “36-Gb/s CDR IC using simple passive loop filter combined with passive load in phase detector,” 2016 International SoC Design Conference (ISODC 2016), pp. 261-262, 2016. (査読有り)
- ⑥ 植村宙夢, 岸根桂路, 稲葉博美, 尾本大地, 田中友規 “ラベリング信号伝送システムにおける高周波変調回路の設計,” 2016年 電子情報通信学会総合大会, A-1-18, 2016.
- ⑦ 古市康祐, 岸根桂路, 稲葉博美, 尾本大地, 田中友規 “エンファシス回路による遅延検波回路の広帯域化,” 2015年 電子情報通信学会ソサイエティ大会, A-1-25, 2015.
- ⑧ Keiji Kishine, Hiroshi Inoue, Hiromi Inaba, Makoto Nakamura, Akira Tsuchiya, Hidetoshi Onodera and Hiroaki Katsurai “A 65-nm CMOS burst-mode CDR based on a GVCO with symmetric loops,” 2014 IEEE International Symposium on Circuits and Systems (ISCAS 2014), pp. 2704-2707, 2014. (査読有り)

〔図書〕 (計 0 件)

〔産業財産権〕

○出願状況 (計 1 件)

名称 : プリエンファシス回路, 及び出力バッファ回路

発明者 : 桂井宏明, 野河雅史, 田中友規, 岸根桂路

権利者 : 日本電信電話株式会社, 滋賀県立大学

種類 : 公開特許

番号 : 特開 2016-40896

出願年月日 : 平成 26 年 8 月 13 日

国内外の別 : 国内

○取得状況 (計 0 件)

名称 :

発明者 :

権利者 :

種類 :

番号 :

取得年月日 :

国内外の別 :

〔その他〕

ホームページ等

<http://www.e.usp.ac.jp/~ectw/index.html>

6. 研究組織

(1) 研究代表者

岸根 桂路 (KISHINE, KEIJI)

滋賀県立大学工学部 教授

研究者番号 : 20512776

(2) 研究分担者

()

研究者番号 :

(3) 連携研究者

()

研究者番号 :