

## 科学研究費助成事業 研究成果報告書

平成 28 年 5 月 19 日現在

機関番号：11301

研究種目：挑戦的萌芽研究

研究期間：2014～2015

課題番号：26540018

研究課題名(和文)ディペンダブルプロセッシングコデザイン型3次元プロセッサアーキテクチャの創出

研究課題名(英文)A 3D Processor Architecture Co-Designed with Dependable Processing

研究代表者

小林 広明 (Kobayashi, Hiroaki)

東北大学・サイバーサイエンスセンター・教授

研究者番号：40205480

交付決定額(研究期間全体)：(直接経費) 2,800,000円

研究成果の概要(和文)：本研究では、従来の半導体技術による製造限界、ならびにアーキテクチャ設計限界に直面するプロセッサ開発において、近年注目を集めている3次元実装技術を活用し、プロセッサの高性能化と高信頼化を実現する新たなアーキテクチャ設計技術を確立することを研究の目的としている。多くのアプリケーションの実行においてメモリサブシステムが性能制約を与えることから、本研究では3次元実装技術を活用した大規模高性能オンチップメモリ階層の設計と、これらメモリ階層を単にプログラムの実行だけでなく信頼性向上に活用できるオンラインチェックポイント機構の設計に取り組んだ。

研究成果の概要(英文)：The objective of this study is to establish a novel processor architecture that realize both high performance and high dependability in the execution of a wide variety of applications by using 3D die-stacking technology toward the post-Moore's era. In particular, we have developed a 3D die-stacking memory subsystem architecture integrated with processor cores and its data management mechanism for highly power-efficient and high-throughput memory hierarchy. In addition, we have also developed on-line checkpoint/restart mechanism by using a 3D die-stacking on-chip memory to increase dependability of the processor. The proposed architecture has been evaluated quantitatively by using a wide variety of applications and its effectiveness and limitation have been clarified and discussed.

研究分野：計算機科学

キーワード：3次元メモリ チェックポイントリスタート機構 プロセッサアーキテクチャ

### 1. 研究開始当初の背景

ムーアの法則に従ってプロセッサチップ上のトランジスタ集積度が約 18 ヶ月で 2 倍になり、現在の高性能マイクロプロセッサでは 10 億個を超えるトランジスタが集積されるようになった。これら大量のトランジスタを活用してマイクロプロセッサのアーキテクチャ(構成方式)は、パイプライン処理機構やスーパースカラー処理機構など機械命令レベル並列処理に着目したアーキテクチャ技術からはじまり、スレッドやタスクなどより粒度の大きい処理レベルの並列性を活用するマルチコア・メニーコアアーキテクチャ技術へと大きく発展し、その性能を高めてきた。

しかしながら、このようなマイクロプロセッサの集積度を高める微細化技術も物理的限界に近づきつつあり、それを解決する新たな集積回路技術とアーキテクチャ設計技術の確立が求められている。さらに、トランジスタの微細化・高密度化、ならびにオンチップ化されたシステムの複雑化に伴い、プロセッサの継続的な処理を妨げる致命的な故障が発生する確率が高まり、その対策もプロセッサ設計における喫緊の課題となっている。

### 2. 研究の目的

本研究では、従来の半導体技術による製造限界、ならびにアーキテクチャ設計限界に直面するプロセッサ開発において、近年注目を集めている 3 次元実装技術を活用し、プロセッサの高性能化と高信頼化を実現する新たなアーキテクチャ設計技術を確立することを研究の目的としている。

### 3. 研究の方法

本研究では、多くのアプリケーションの実行においてメモリサブシステムが性能制約を与えることから、3 次元実装技術を活用した大規模高性能オンチップメモリ階層の設計と、これらメモリ階層を単にプログラムの実行だけでなく信頼性向上に活用できるオンラインチェックポイント機構の設計に取り組んだ。

### 4. 研究成果

#### (1) 3 次元積層メモリを活用したチェックポイント機構

チェックポイント機構はプログラム実行時のメモリイメージを継続的にコピーすることによって、そのデータからプログラム実行を復帰することを可能とし、プログラム実行の高信頼化を可能にする機構である。しかし、メモリイメージの継続的なコピーはメモリアクセスオーバーヘッドを必要とするため、性能低下と消費エネルギー増加を招く。

そこで本検討では、チェックポイント機構のオーバーヘッド削減を目的とし、3 次元積層技術を活用したオンチップチェックポイ

ント機構を提案した。本機構は全システムのメモリイメージを 3 次元積層メモリに定期的にバックアップするものである。本機構のハードウェア構成を図 1 に示す。本機構のメモリシステムはプロセッサコア層 (Processor Core Layer) の上部に 3 次元積層型メモリとして搭載されている。搭載されたメモリは通常メモリ層 (Usual Memory Layer) とチェックポイント用メモリ層 (Checkpoint Memory Layer) に別れており、これらのメモリ層とプロセッサコア層はシリコン貫通ビア (TSV) によって接続されている。従来の PCB 基盤上での接続に基づく 2 次元実装のメモリと比較して非常に高速でアクセス可能となるため、チェックポイント機構が行うメモリイメージの継続的なコピーの高速化が可能である。これにより、マイクロプロセッサの高い性能を維持しつつ、チェックポイント機構によって信頼性を向上させることが可能である。

評価は本機構の検証のために作成されたシミュレータによって行った。図 2 に消費エネルギーの評価結果を示す。図 2 から、メモリ階層の消費エネルギーは常にメモリアクセスを複製するミラーリング機構 (2D/3D mirroring) と比較して優位性があると共に、チェックポイント機構同士では 2 次元実装との比較で平均 26% の消費エネルギーが削減できることが明らかになった。また、性能の評価においても、2 次元実装の場合のチェックポイント機構と比較して平均で 13% のプログラム実行の速度向上が得られることが明らかとなった。以上のことから、本機構はより高い性能かつ低い消費エネルギーで信頼性を向上可能であるといえる。

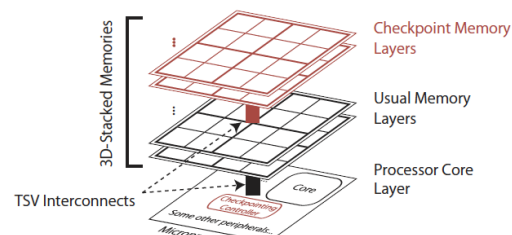


図 1 3次元積層メモリを活用したチェックポイント機構の概要図

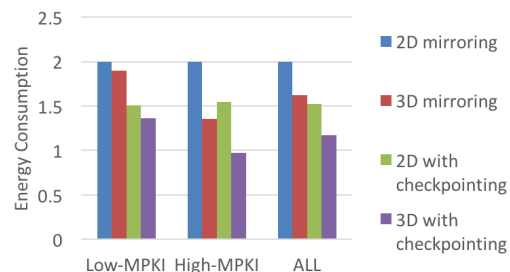


図 2 提案したチェックポイント機構の消費エネルギー評価結果

## (2) 3次元積層時代における高電力効率メモリ階層設計

3次元積層技術に基づく積層型メモリはアクセスレイテンシが短く、アクセスに必要な消費エネルギーも少ないため、計算機システムの更なる高性能化および低消費電力化を目的とした活用が有望視されている。その一方で、積層型メモリによりメモリウォール問題が緩和されるため、これまでのメモリ階層設計の戦略を根本的に変化させる可能性がある。そこで本検討では3次元積層時代の計算機システム設計において高い電力効率を実現することを目的に、従来(2次元)のメモリ技術で実現したメモリシステムと、3次元積層技術を活用したメモリシステムの性能・電力評価を行った。評価の結果、一般的な3階層のキャッシュを持つメモリシステムにおいては、積層型メモリを採用することによって性能向上が得られる一方で、アプリケーションによっては電力効率が低下することが明らかとなった。

さらに、本検討では電力効率の低下を定量的に判断するためのアプリケーションの特徴量について調査を行った。その結果、実行中に識別可能かつ電力効率に与える影響が大きい特徴量として、L2-MPKIとL3キャッシュヒット率が適切であることを明らかにした。本調査結果の一部として、図3に各特徴量と3階層キャッシュ構成における各ベンチマークの電力効率の変化の関係を示す。図3の横軸はL2-MPKI、縦軸はL3キャッシュヒット率である。図3からL2-MPKIとL3キャッシュヒット率がどちらも高い場合に電力効率が大きく向上することが明らかである。また、L2-MPKIとL3キャッシュヒット率は双方ともL3キャッシュによる性能向上効果に関連性が高い特徴量であることから、積層型メモリを搭載したメモリ階層において、L3キャッシュの有無が電力効率の向上を決定する主な要因であることが明らかとなった。

本検討から得られた将来への課題として、今回得られた2つの特徴量に基づき電力効率が向上する場合のみ選択的にL3キャッシュを用いることによって、より高い電力効率を得られるメモリアーキテクチャの提案に繋げることが挙げられる。

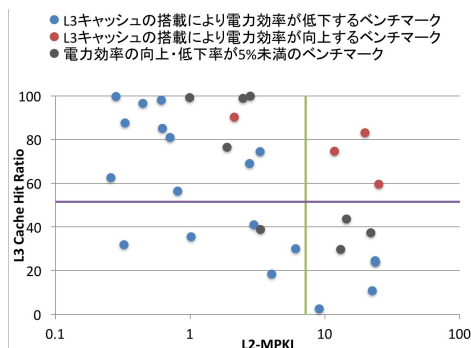


図3 L3キャッシュ搭載による電力効率の変化とモニタリング指標との関連性

## (3) A Power-Performance Tradeoff of a Stacked Memory by Limiting access channels

次世代の積層型メモリとして High Bandwidth Memory (HBM)が注目されている。HBMは、高密度なバスを実装可能とするシリコン貫通ビアとシリコンインターポーザを利用してマイクロプロセッサとメモリアレイを接続するメモリチャネルを多数備えることにより、メモリバンド幅を飛躍的に増加させることが可能である。一方で、メモリバンド幅増加による恩恵を受けられないアプリケーションでは、HBMを用いることによって性能電力比の向上が得られない可能性が高い。このことから、HBMにおいてアプリケーションが必要とするバンド幅を実現しつつ性能電力比を向上させることが求められている。

そこで本検討では、HBMにおける性能電力比の向上を目的とし、利用チャネル数を限定可能なアドレスマッピング手法を提案した。図4にその概要を示す。本提案手法では物理アドレス(Physical address)からデータを保存するチャネルの番号(Channel address)を生成する際に、下位mビットと上位nビットを結合する。データの局所性に基づき、物理アドレスのより下位ビットは変化しやすいが、より上位ビットは変化しにくいいため、チャネルアドレスは下位mビットが頻繁に変化しやすくなり、全チャネルのうち $2^m$ チャネルのみにデータアクセスが集中することになる。また、アクセスに利用されないチャネルについては、チャネルに接続されるメモリアレイを低消費電力モードに移行することが可能である。このため、mを増加させることで高いバンド幅を得られる一方、減らすことで消費電力の削減に繋がる。このことから、mの調整により、性能と電力のトレードオフをとることが可能である。

図5に本提案手法の性能(IPC)と消費エネルギーの評価結果を示す。全体的な傾向として、アクセスされるチャネル数を減らすに従い、性能や消費エネルギーが低下する。しかし、性能と消費エネルギーの低下の度合いには差があり、チャネル数を適切に調整することによって性能低下を抑制しつつ消費エネルギーを削減することが可能である。また、チャネル数を減少させすぎると、電力削減の一方で性能低下により実行時間の増加を招き、かえって消費エネルギーの増加するアプリケーションも確認された。以上のことから、アプリケーションの性能と電力のトレードオフを考慮しつつチャネル数を決定することは、性能電力比を向上させる上で非常に重要であるといえる。

本検討から得られた将来への課題として、アプリケーションごとに消費エネルギーを最小化可能なチャネル数を適切に選択するために、アプリケーションの特徴を定量的に評価することが挙げられる。また、アドレスマッピング手法の動的に切り替えに基づく

更なる高効率化を目指しつつ、マッピング切り替えに伴い必要となるデータ移動コストの削減を実現することが挙げられる。

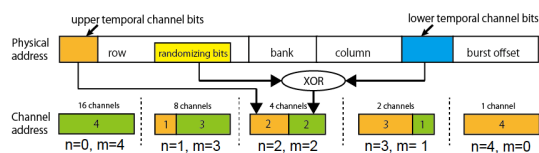


図4 チャンネル数制御のためのアドレスマッピング手法の概要

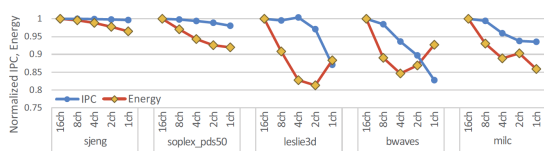


図5 各アプリケーションにおけるチャンネル数に基づく性能と消費エネルギーの変化

## 5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計 2件)

- 1) Alfian Amrizal, Shoichi Hirasawa, Hiroyuki Takizawa, and Hiroaki Kobayashi, "Automatic parameter tuning of hierarchical incremental checkpointing," High-Performance Computing for Computational Science-VECPAR 2014, pages 298-309, 2015(査読有り).
- 2) Masayuki Sato, Ryusuke Egawa, Hiroyuki Takizawa, and Hiroaki Kobayashi, "On-chip checkpointing with 3D-stacked memories," Proceedings of IEEE 3D System Integration Conference 2014, pages 1-6, 2014 (査読有り).

[学会発表](計 4件)

- 1) Takuya Toyoshima, Masayuki Sato, Ryusuke Egawa, and Hiroaki Kobayashi, "A Power-Performance Tradeoff of HBM by Limiting Access Channels," COOL Chips XIX, 横浜情報文化センター, 神奈川県横浜市, 2016年4月20日~4月22日.
- 2) 宇野 涉, 佐藤雅之, 江川隆輔, 小林 広明, "3次元積層時代における高電力効率メモリ階層設計", ICD 研究会, 作並温泉一の坊, 宮城県仙台市, 2015年10月26日.
- 3) Alfian Amrizal, Shoichi Hirasawa, Hiroyuki Takizawa, and Hiroaki Kobayashi, "Automatic parameter tuning of hierarchical incremental checkpointing," The Ninth International Workshop on Automatic

Performance Tuning (iWAPT), Hilton Conference Center, Eugene, Oregon, USA, July 1, 2014.

- 4) Masayuki Sato, Ryusuke Egawa, Hiroyuki Takizawa, and Hiroaki Kobayashi, "On-chip checkpointing with 3D-stacked memories," IEEE 3D System Integration Conference 2014, Cork, Ireland, December 1-3, 2014.

[図書](計 0件)

[産業財産権]  
出願状況(計 0件)

[その他]  
該当なし

## 6. 研究組織

### (1)研究代表者

小林 広明 (KOBAYASHI HIROAKI)  
東北大学・サイバーサイエンスセンター・教授  
研究者番号: 40205480

### (2)連携研究者

滝沢 寛之 (TAKIZAWA HIROYUKI)  
東北大学・大学院情報科学研究科・准教授  
研究者番号: 70323996

江川 隆輔 (EGAWA RYUSUKE)  
東北大学・サイバーサイエンスセンター・准教授  
研究者番号: 80374990