

科学研究費助成事業 研究成果報告書

平成 29 年 6 月 7 日現在

機関番号：14301

研究種目：挑戦的萌芽研究

研究期間：2014～2016

課題番号：26540021

研究課題名(和文)ニアスレッシュホールド電圧動作に適したオンチップメモリの研究

研究課題名(英文)A Study on on-chip memories suitable for near-threshold voltage operation

研究代表者

石原 亨(Ishihara, Tohru)

京都大学・情報学研究科・准教授

研究者番号：30323471

交付決定額(研究期間全体)：(直接経費) 2,800,000円

研究成果の概要(和文)：従来の半分以下の低い電源電圧で安定して動作するオンチップメモリシステムを開発した。このオンチップメモリには0.25V程度の極低電圧で安定動作するための工夫を組み込んだ。従来のオンチップメモリと比べて面積は2倍以上となるが、性能を従来メモリと同等に保ったまま消費エネルギーをおよそ半分に低減することに成功した。考案したオンチップメモリ回路を実プロセッサチップに搭載し有効性を実証した。本研究成果により情報処理学会山下記念研究賞やIEEE SCS Japan Chapter VDEC Design Awardなど多数の賞を受賞した。

研究成果の概要(英文)：We have developed on-chip memory subsystems running with very low supply voltages. It has a functionality to stably run with very low supply voltages down to 0.25V. We have designed memory circuits integrating our idea for saving the area and energy consumption, which demonstrated that the energy efficiency of our memory circuit is twice better than existing on-chip SRAMs. We also integrated the memory circuits on microprocessor chips. The processor chip well runs with less than 0.3V voltage supply. We have obtained several awards such as IPSJ Yamashita Memorial Award and IEEE SCS Japan Chapter VDEC Design Award which are given for the achievements in this research project.

研究分野：計算機工学

キーワード：電子デバイス・機器 低消費電力・高エネルギー密度 エネルギー効率化

1. 研究開始当初の背景

典型的なコンピュータだけでなく衣服や建造物などあらゆるものがインターネットに接続されて交信する Internet of Things (IoT)の時代が到来しようとしている。IoT社会の実現には、安定した電力供給が行き届かないあらゆる場所において長期間安定して動作するコンピュータシステムの構築が不可欠である。東京電力などのスマートメータへの採用が決まっている日本発の世界標準無線通信規格「Wi-SUN」は、単三形乾電池3本程度の電力源でスマートメータを10年以上継続動作させることを目標としている。このためには μW 程度の極低電力で動作する集積回路が必要である。集積回路の消費電力は電源電圧の2乗におよそ比例するため、0.2V付近の極低電源電圧で動作する集積回路が注目を集めている。米国インテル社は2012年2月に開催された国際会議(ISSCC)において、しきい値電圧近傍(ニアスレッシュホールド)の電源電圧0.28Vで動作するプロセッサを発表した。定格電圧である1.2Vでの動作が915MHzで消費電力が737mWであるのに対して、0.28V動作での周波数は3MHzで、消費電力は2mWである。上記の発表で注目すべき点は、ロジック部が0.28Vの極低電圧で動作するのに対し、SRAM部は0.55Vまでしか電圧を下げられていない点である。典型的なSRAMの読み出し動作は、プリチャージしたビット線に1個のSRAMセルを接続し、ビット線の微小電位差をセンスアンプによって増幅することにより行う。ビット線の微小な電圧変化は、プロセスばらつきによるSRAMセルの特性変動の影響を大きく受けるため、典型的なSRAM回路は本質的に低電圧化が難しい。SRAMセルのトランジスタサイズを大きくしたり、トランジスタ数を6トランジスタから8や10に増やしたりすることによりノイズマージンを増加させる試みは多数行われているが、実用に耐える十分な歩留まりを得るためには、最低動作電圧を0.5V付近以下にすることは依然として非常に困難であるのが現状である。また、メモリ保持のための電源、書き込み回路のための電源、読み出し回路のための電源を別々に設けることによりSRAM回路の低電圧化を達成可能であるが、多電源を用いることは集積回路設計にかかるコストの増大を招く。以上の理由から、近年の集積回路設計では、低コストかつ信頼性の高いSRAM回路が囑望されていた。

2. 研究の目的

本研究課題は、0.25V付近の低い動作電圧で安定的に動作するオンチップメモリの回路方式を開発するものである。この目的のために、パルス状のクロック信号を使用するパルスベースドラッチや書き込みバッファをマスターラッチとして使用する回路方式に基づきメモリ回路を構成する。レベルトリガラッチに基づくパルスベースドラッチ回路

は従来型SRAM回路に比べて集積度で劣るが、組み合わせ論理素子に匹敵する極低電圧動作が可能である。回路面積の増大を犠牲にしても極低電圧動作が実現可能なラッチ回路をオンチップメモリに採用することにより、プロセッサ全体としての低消費電力化を達成することを狙う。本研究課題が成功すれば、1mW未満で動作する比較的高性能なマイクロプロセッサが実現でき、乾電池や太陽電池で長期間安定動作可能な無線センサネットワークなどへの強力な技術シーズとなる。

オンチップメモリの低電圧化に関する多くの研究が従来型のSRAMを改良するアプローチを採っているのに対し、本研究課題はラッチ回路に基づく極低電圧動作メモリを構築する点が特色である。主に多ビット回路共有による面積効率改善と低電圧動作に強靱な回路方式の開発に取り組む。

今日の低消費電力指向のプロセッサでは、オンチップメモリの電力が全電力の大部分を占めている。オンチップメモリのニアスレッシュホールド電圧動作が実現すれば、1mW未満で動作するプロセッサが実現でき、乾電池や太陽電池で長期間安定動作可能な無線センサネットワークなどへの強力な技術シーズとなる。また、0.25V付近の単一電源で安定動作するマイクロプロセッサの開発は、米国インテル社をはじめ、回路設計分野の研究者の悲願であり、学術的意義は絶大である。

ラッチ回路の最低動作電圧を、組み合わせ論理回路部の最低動作電圧と同等の値まで下げることができ、かつ、シリコン上の面積を従来型SRAMの2倍程度に抑えることが出来れば、本課題で提唱するラッチベースメモリが次世代の極低電圧動作プロセッサにおける主要な構成要素となる可能性が十分に考えられる。集積回路の超低消費電力化には、電源電圧の低減が非常に効果的であることは論を待たない。従来型のSRAM回路は、集積回路の低電圧化の歴史において常にボトルネックとなってきた。SRAMセル自体は低電圧化し、書き込み用のドライバ回路に別の高い電源電圧を用いる方式なども提案されているが、メモリモジュール内で複数電源を用いることは回路を複雑化させコストの上昇を招くだけでなく電圧変換に伴う信号遅延によりチップの性能低下を招く。従って、0.2V付近の単一電源で安定動作するオンチップメモリ回路は、学術的にも産業的にも非常に大きなインパクトを持つ。本課題が成功した場合には、太陽電池や乾電池で長期間持続動作するワイアレスセンサネットワークを実現可能である。近年、ビッグデータを活用して社会的諸問題を解決しようとする技術の研究が注目を集めている。ビッグデータを構築するためには、世界中のありとあらゆる場所に設置したセンサによって常時情報を収集できる仕組みが重要である。本課題の成果はビッグデータビジネスへのインパク

トも絶大である。

3. 研究の方法

本研究は、メモリ回路の回路面積増加を犠牲にしても極低電圧動作が実現可能な回路方式を採用することにより、プロセッサ全体としての低消費電力化を達成することを狙う。この発想は、かつて nMOS トランジスタを主体とした集積回路が、今日では集積度で劣る CMOS トランジスタに完全に置き換わった事実とも類似している。つまり、高密度化と高集積化により回路の低消費電力化を実現する考え方とは逆転の発想である。申請者が事前に行なった予備設計実験では、レベルトリガラッチを用いたメモリ（アドレスデコーダや出力のマルチプレクサ回路を含む）は従来型 SRAM モジュールに比べておよそ 2~3 倍の面積を要する。一方、ラッチ回路の最低動作電圧は、従来型 SRAM において十分な歩留まりが得られる電圧の約半分の低い電圧である。SRAM だけでなく、マスタースレーブ型のフリップフロップにおいても 0.2V 付近の極低電圧動作は容易ではない。前項で示したインテル社のチップでは、最もシンプルなフリップフロップに使われているトランスミッションゲートの代わりに、クロックインバータ回路を使用することにより、0.28V という低い電源電圧での安定動作を実現している。また、本研究では、要素回路としてエッジトリガ型フリップフロップではなく、面積を小さくできるレベルトリガ型のラッチ回路を採用した。しかし、レベルトリガ型のラッチではデータの書き込みが可能なラッチウィンドウが大きく、そのままではメモリとしての機能を実現することが難しい。そこで、本課題では、書き込み用クロックや書き込みバッファの工夫によりラッチウィンドウの問題を解消した。本研究課題では、パルスベースドラッチなどの既存の回路上の工夫に加えて、プロセスばらつきに強く極低電圧動作に適した新たな回路技術を考案した。上記の背景を踏まえて本研究課題では下記の 3 つの課題に挑戦した。

- (1) 従来型 SRAM では到達が難しい 0.25V の単一電源電圧で安定動作するラッチ回路の開発
- (2) シリコン上の回路面積を低減するラッチベースメモリ回路に適した回路方式の開発
- (3) 回路の特性ばらつきとリーク電流を抑制する空間的細粒度ボディバイアス制御技術の開発

メモリ回路の評価には、東京大学 VDEC を経由して 28nm SOI プロセステクノロジーを利用した。研究代表者が所属する研究室では平成 25 年度より上記 28nm SOI プロセスの基本セル開発を始めており、本研究課題ではこれまでの設計資産とノウハウを最大限に活用した。初年度は下記の 4 つの課題に取り組んだ。

- (1) プロセスばらつきを考慮してラッチ回

路における最低動作電圧を評価する環境を構築した。ラッチ回路のトポロジ（回路構成）とトランジスタサイズおよびボディバイアスを変更した際の最低動作電圧、遅延性能、消費電力を高速に評価する環境を整備した。トランジスタのプロセスばらつきの影響を考慮した。集積回路の統計的特性解析に関して世界をリードする研究者である小野寺秀俊教授に指導を仰いだ。

- (2) 0.25V の最低動作電圧を達成するラッチ回路を開発する。上記の最低動作電圧の評価環境を用いて、様々なラッチ回路のトポロジとゲートサイズを探索し、十分な歩留まりを達成した上で 0.25V 動作するラッチ回路を開発した。
- (3) ラッチ回路の面積を低減する回路方式を開発した。0.25V 安定動作を実現した上で、回路面積を低減する回路方式を考案した。例えばクロック信号を生成するパルスジェネレータを、複数ビットで共有することにより回路面積を低減した。これ以外にも、汎用のラッチセルではなくメモリ回路に特化したラッチセルであることを利用した省面積回路構造を考案した。例えば、入出力に接続される回路は特定の回路に限定されるため、それらの回路に合わせたゲートサイズやトポロジのチューニングを行った。
- (4) 空間的細粒度でボディバイアスを制御可能な回路方式を開発した。pMOS と nMOS のしきい値電圧を独立に制御してプロセスばらつきの影響を低減すると共にリーク電流を削減する技術を開発した。当研究室で過去に開発した技術を活用した。例えば、ウェルを小ブロックに分割し空間的に細粒度のボディバイアス制御が可能な方式を開発した。

2 年度目は、前年度に開発したラッチベースメモリを、商用の組込みプロセッサのキャッシュメモリおよびスクラッチパッドメモリに適用し、プロセッサとしてのエネルギー効率、専有面積および歩留まりの評価を行った。この評価のために東芝社よりライセンスを購入している組込みプロセッサを利用した。これ以外にも過去の設計資産を最大限に活用した。本研究課題では、配置配線後のポストレイアウトシミュレーションにより評価を行い、ラッチベースメモリの有効性を証明した。

4. 研究成果

初年度は、下記の 4 つの課題に取り組んだ。これらの課題遂行のために東京大学大規模集積システム設計教育研究センターを經由して 28nm SOI プロセステクノロジーと設計 CAD ツールを利用した。

- (1) プロセスばらつきを考慮してメモリ回路の最低動作電圧を評価する環境を構築した。ラッチ回路のトポロジ（回路構

成)とトランジスタサイズおよび基板バイアスを変更した際の最低動作電圧、遅延性能、消費電力を高速に評価する環境を整備した。トランジスタのプロセスばらつきの影響を考慮するためのモンテカルロシミュレーション実行環境と高速化の方法を検討した。

- (2) 組み合わせ論理素子に匹敵する最低動作電圧を達成するメモリ回路を設計した。上記の最低動作電圧の評価環境を用いて、様々なDラッチ回路のトポロジとゲートサイズを探索し、十分な歩留まりを達成した上で高速に極低電圧動作するメモリ回路を設計した。
- (3) メモリ読み出し回路の消費電力を削減するために、読み出しに必要な最小限の回路だけを稼働させるメモリ読み出し方式を考案した。
- (4) メモリセルと読み出し回路の面積を低減する回路方式を設計した。メモリセルはDラッチ回路をベースに設計行いが、極低電圧動作におけるプロセスばらつきを考慮してDラッチ回路のゲートサイズとトポロジを最適化した。また、読み出し回路に使用するマルチプレクサに関してもプロセスばらつきを考慮してゲートサイズとトポロジを最適化することにより省面積化を実現した。

トランジスタレベルの回路シミュレーションにより設計したメモリ回路の評価を行った。評価の結果、設計したメモリ回路は従来型のオンチップSRAMと比較して面積は2.5倍程度となったが、遅延を同等に保ったまま消費電力を半分以下に低減することを確認した。これらの成果は国際会議2件、国内会議1件で発表した。

2年度目も当初の計画に従って、下記の4つの課題に取り組んだ。これらの課題遂行のために東京大学大規模集積システム設計教育研究センターを經由して28nm FD-SOIプロセステクノロジーと65nm S0TBプロセステクノロジーおよび設計CADツールを利用した。

- (1) 組み合わせ論理素子に匹敵する最低動作電圧を達成するメモリ回路を設計し、プロセッサのオンチップキャッシュメモリとして実チップに搭載した。前年度に構築した最低動作電圧の評価環境を用いて、様々なDラッチ回路のトポロジとゲートサイズを探索し、十分な歩留まりを達成した上で高速に極低電圧動作するメモリ回路を設計した。65nm S0TBプロセステクノロジーで試作したオンチップメモリは0.35V~1.2Vまでの広い電源電圧動作範囲で安定して正常に動作することを確認した。
- (2) メモリの書き込み回路の消費電力を削減するために、書き込みに必要な最小限の回路だけを稼働させるメモリ書き込み方式を考案した。また、複数のビットセルにまとめてクロックを供給するこ

とによりクロックバッファ回路の電力を削減する回路を設計した。

- (3) メモリセルと読み出し回路の面積を低減する回路方式を設計した。メモリセルはDラッチ回路をベースに設計行いが、極低電圧動作におけるプロセスばらつきを考慮してDラッチ回路のゲートサイズとトポロジを最適化した。また、設計ルールが許容する最小の高さのラッチセルと論理セルのレイアウトを設計することにより省面積化を実現した。さらに、複数ビットを統合したマルチビットラッチを設計することによりメモリの実装面積を削減した。
- (4) 試作したメモリ回路の実測評価を行った。評価の結果、200mVの電源電圧で99%以上の歩留まりを達成することを確認した。これらの成果は国内特許として1件の出願、国際会議2件、国内会議2件で発表し、論文誌での発表を準備中である。

最終年度は全年度に試作評価した回路を、65nm S0TBテクノロジーを対象に再設計し、実チップとして実装した。具体的には、メモリの定常消費エネルギーを削減するための細粒度のクロックゲーティング回路とシグナルゲーティング回路を組み込んだ。

- (1) メモリのビットセルとなるDラッチ回路の最小高さを規定する要因を明らかにした。前年度に構築した最低動作電圧の評価環境を用いて、様々なDラッチ回路のトポロジとゲートサイズを探索し、十分な歩留まりを達成した上でセルの高さを最小にするメモリ回路の要素セルを設計した。65nm S0TBプロセステクノロジーで試作したオンチップメモリは0.3V~1.2Vまでの広い電源電圧動作範囲で安定して正常に動作することを確認した。
- (2) 前年度に考案した、書き込みに必要な最小限の回路だけを稼働させるメモリ書き込み方式を実チップとして実装し、消費エネルギーの大幅な削減を実チップ測定により確認した。また、複数のビットセルにまとめてクロックを供給することによりクロックバッファ回路の電力を削減する回路をチップとして実装し面積効率の改善を確認した。
- (3) 前年度に考案した、メモリセルと読み出し回路の面積を低減する回路方式を実チップとして実装した。設計ルールが許容する最小の高さのラッチセルと論理セルのレイアウトを設計することにより省面積化を実現した。さらに、複数ビットを統合したマルチビットラッチを設計することによりメモリの実装面積を削減した。

試作したメモリ回路の実測評価を行った。評価の結果、平成27年度に試作したメモリ回路と比較して大幅なエネルギー効率改善と

面積効率改善を確認した。これらの成果により、DA シンポジウム 2016 最優秀ポスター賞および第 6 回 IEEE SSCS Japan Chapter VDEC Design Award を受賞した。また、論文誌に 2 件の論文を投稿済みである。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計 0 件)

[学会発表](計 10 件)

Jun Shiomi, Tohru Ishihara, Hidetoshi Onodera, "An Energy-Efficient On-Chip Memory Structure for Variability-Aware Near-Threshold Operation," 16th International Symposium on Quality Electronic Design (ISQED), pp. 23-28, 2015 03.

Jun Shiomi, Tohru Ishihara, Hidetoshi Onodera, "A Variability-Aware Energy-Efficient On-Chip Memory for Near-Threshold Operation using Cell-Based Structure," The 19th Workshop on Synthesis And System Integration of Mixed Information technologies, pp.205-210, 2015/03.

塩見準, 石原亨, 小野寺秀俊, "ニアスレッシュヨルド電圧動作に適した単一電源で動作する高歩留まりオンチップメモリの設計," 情報処理学会 DA シンポジウム 2014 論文集, pp. 103-108, 2014/08.

Jun Shiomi, Tohru Ishihara, Hidetoshi Onodera, "Variability- and Correlation-Aware Logical Effort for Near-Threshold Circuit Design," 17th International Symposium on Quality Electronic Design (ISQED), pp. 18 - 23, 2016 03.

Tatsuya Kamakari, Jun Shiomi, Tohru Ishihara, Hidetoshi Onodera, "A Closed-Form Stability Model for Cross-Coupled Inverters Operating in Sub-Threshold Voltage Region," 21st Asia and South Pacific Design Automation Conference (ASP-DAC), pp. 691-696, 2016 01.

鎌苅竜也, 塩見準, 石原亨, 小野寺秀俊, "サブスレッシュヨルド領域におけるラッチ回路の動作安定性モデル," 情報処理学会 DA シンポジウム 2015 論文集, pp. 187-192, 2015/08.

塩見準, 石原亨, 小野寺秀俊, "統計的夕

イミングモデルに基づくニアスレッシュヨルド回路のゲートサイジング," 情報処理学会 DA シンポジウム 2015 論文集, pp. 137-142, 2015/08.

Jun Shiomi, Tohru Ishihara, Hidetoshi Onodera, "A Processor Architecture Integrating Voltage Scalable On-Chip Memories for Individual Tracking of Minimum Energy Points in Logic and Memory," The 20th Workshop on Synthesis And System Integration of Mixed Information technologies, pp.36-41, 2016/10.

Jun Shiomi, Tohru Ishihara, Hidetoshi Onodera, "Fully Digital On-Chip Memory Using Minimum Height Standard Cells for Near-Threshold Voltage Computing," The International Workshop on Power And Timing Modeling, Optimization and Simulation, pp.1-6, 2016/09.

塩見準, 石原亨, 小野寺秀俊, "広範囲な動作性能領域においてエネルギー最小点追跡を可能にするオンチップメモリ," 情報処理学会 DA シンポジウム 2016 論文集, pp. 91-96, 2016/09.

[図書](計 0 件)

[産業財産権]

出願状況(計 1 件)
名称: 半導体装置及び半導体装置の製造方法
発明者: 石原亨、塩見準
権利者: 石原亨、塩見準
種類: 特許
番号: 2016-009104
出願年月日: 2016 年 1 月 20 日
国内外の別: 国内

取得状況(計 0 件)

[その他]
ホームページ等
<http://www.vlsi.kuee.kyoto-u.ac.jp/>

6. 研究組織

(1) 研究代表者

石原 亨 (ISHIHARA, Tohru)
京都大学・大学院情報学研究科・准教授
研究者番号: 3 0 3 2 3 4 7 1

(2) 研究分担者

(3) 連携研究者

(4) 研究協力者

()