

科学研究費助成事業 研究成果報告書

平成 28 年 4 月 8 日現在

機関番号：12601

研究種目：挑戦的萌芽研究

研究期間：2014～2015

課題番号：26630121

研究課題名(和文) グラフェンをベースとしたホットエレクトロントランジスタの電流利得向上

研究課題名(英文) Improvement of current gain for graphene-base hot electron transistors

研究代表者

長汐 晃輔 (Nagashio, Kosuke)

東京大学・工学(系)研究科(研究院)・准教授

研究者番号：20373441

交付決定額(研究期間全体)：(直接経費) 3,000,000円

研究成果の概要(和文)：グラフェンの原子層厚さという特徴を最大限生かすことのできる原子層ベースホットエレクトロントランジスタの作製と実証を試みた。高信頼性絶縁膜形成として、メタルバッファ層のアルゴン雰囲気下での低レート堆積後、バッファ層上への原子層堆積法によるY2O3堆積を確立した。作成した原子層ベースホットエレクトロントランジスタでは、 I_{on}/I_{off} が2桁程度取れており、先行研究と比較して高い電流利得を得ることに成功した。

研究成果の概要(英文)：Graphene base hot electron transistors were fabricated and transistor action was demonstrated. For the highly reliable insulator formation, metal buffer layer was deposited under the Ar atmosphere at the low deposition rate, and subsequent deposition of Y2O3 on buffer layer was achieved by Atomic layer deposition. The graphene base hot electron transistor showed $I_{on}/I_{off} = \sim 10$ and large current gain, compared with the previous study.

研究分野：半導体デバイス

キーワード：グラフェン ホットエレクトロントランジスタ

1. 研究開始当初の背景

これまでにグラフェンの CMOS 応用を目指してグラフェン/金属コンタクトに集中して研究を進めてきた。また、グラフェンのギャップ形成に関しては、high-k 材料である Y_2O_3 トップゲートのリーク耐性に関して低温高圧酸素アニールを用いて世界トップの高品質化に成功し、2 層グラフェンのギャップ内準位について様々な角度から研究を進めている。しかしながら、Si と同レベルでのデバイス動作の議論が出来る段階ではなく、高い潜在能力を引き出すには時間を掛けた検討が必要であると認識に至っている。そこで今回、グラフェンの平面内輸送特性における移動度の高さを追及した CMOS 応用よりも単原子 2 次元物質であることの優位性を最大限生かすデバイス構造を検討した。現在と同様、1990 年代においても Si の微細化・集積化限界が議論されホットエレクトロントランジスタ等、多くの量子効果デバイスが提案・実証されてきた。しかしながら、Si におけるリソグラフィ技術の向上により殆どの量子効果デバイスは応用展開に結び付いていない。ここで、グラフェンの移動度ではなく、“1 原子層厚さの金属”であるというバルク金属の薄膜化では到達出来ない材料特性に着目した場合、ホットエレクトロントランジスタ (HET) におけるメタルベースをグラフェンに置き換えることにより高周波特性を究極的に高められる可能性がある。本研究では、グラフェンベーストランジスタの動作の実証を行う。

2. 研究の目的

グラフェンの潜在的に高い電子輸送特性を最大限引き出すことによる CMOS 展開をこれまで議論してきたが、本研究では、電子輸送特性ではなく、原子層厚さという特徴を最大限生かす方向で検討し、グラフェンをベースとしたホットエレクトロントランジスタを提案する。既存のホットエレクトロントランジスタでは、ベースメタル内での散乱抑制のため薄膜化した場合、ベース抵抗が増加するというジレンマにより応用展開がひらけなかった経緯がある。今回、グラフェンをベースメタルとすることで、原子層厚さまで低減しベース内での散乱を徹底的に抑制し、かつ移動度の高さに起因した低いベース抵抗を両立することで、グラフェンベーストランジスタの応用展開を目指す。

3. 研究の方法

極薄絶縁膜堆積技術の確立

ホットエレクトロン注入の効率化には、絶縁膜のラフネス減少が鍵である。原子膜堆積装置 (ALD) による原子層堆積手法と低温高圧酸素アニールを組み合わせることにより、極薄かつ絶縁体性の高い絶縁膜を形成する。

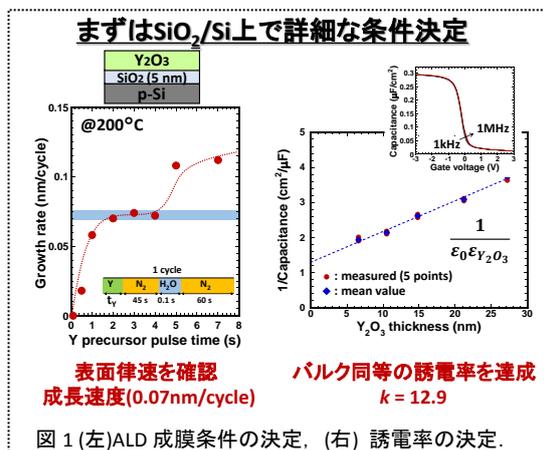
HET 作製と動作実証

MOMS 構造原子層ベーストランジスタの作製及び動作実証を行う。

4. 研究成果

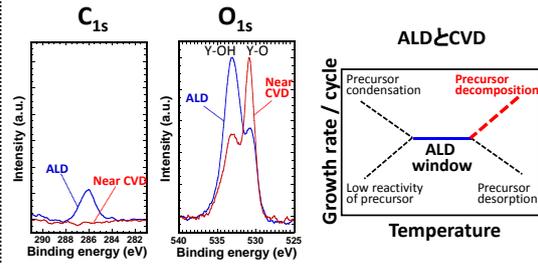
(1) ALD によるグラフェン上 Y_2O_3 堆積

今回グラフェン上の high-k として優れた絶縁特性を示す Y_2O_3 をグラフェン上に ALD により堆積する条件の詳細な検討を行った。図 1 は、 SiO_2/Si 基板上で行った ALD の成膜条件を示している。Y プリカーサーのパルス時間を変化させて、成長速度を計測したところ、0.07nm/cycle で成長速度が一定になった。また、成膜温度を変えても 0.07nm/cycle のところで成長速度が一定になったことから、表面反応律速過程になっていると考えられる。この成膜条件において、膜厚を変えて 1/C でプロットすることにより誘電率を算出したところ、12.9 とバルク (12~14 程度) と同等の値を得ている。



次に表面反応律速過程で堆積した Y_2O_3 絶縁膜における不純物量の同定を XPS を用いて行った。通常 ALD では、プリカーサーが CH 系を多く含むため C の混入が問題となる。また Y_2O_3 では、先行研究から、OH 基が膜内に混入することが報告されている。今回、XPS により C1s 及び O1s の計測を行った。上記のように決定した ALD のモードでは、数% の C の混入が認められ、OH の結合を持ったものが YO の結合を持ったものよりも多いという結果であった。これは、先行研究でも同様である。そこで、本研究では、C 及び OH を低減させるために完全な表面反応律速ではなく、気相中での反応を促進させ、ALD から少し CVD 側に条件を振ることでプリカーサーの分解反応を促進させた。これにより、 Y_2O_3 中の C 混入は、XPS の感度限界以下まで低減することに成功し、OH 基も通常のパッタにより得られる Y_2O_3 膜と同等の量にまで低減できた。

ALD-Y₂O₃では、CとOH混入が問題

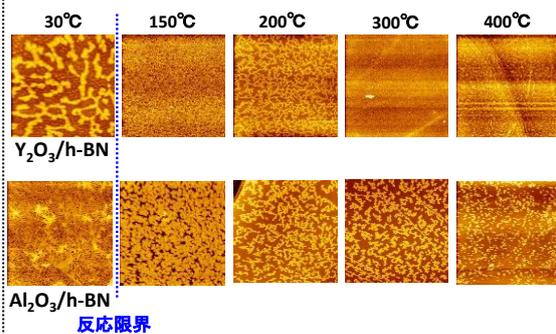


意図的にCVDに近い条件 → 不純物を減少

図 2 (左)XPS による C1s 及び O1s, (右)ALD-window 条件.

以上より SiO₂/Si 基板上では、不純物が少ない Y₂O₃ を ALD により制御性良く堆積することが可能となった。以下に、本題であるグラフェンや層状絶縁体である h-BN 上への Y₂O₃ 膜堆積を述べる。2次元材料への ALD 成膜の問題点は、表面にダングリングボンドが存在しないことから、ALD 膜形成が困難なことであり、通常バッファ層を利用する。ここで、グラフェンに関してはすでに多くの報告があるので、ここでは、h-BN に注目する。h-BN は極性を有することから、極性に起因した物理吸着により成膜できる可能性がある。本研究では、温度依存性を見ることで、極性をもつ h-BN 上への Y₂O₃ 直接堆積を検討した。図 3 より 150C の低温では、70%程度の被覆率で h-BN 上に直接 Y₂O₃ 及び Al₂O₃ が成長していることが見て取れる。しかしながら、成膜温度の上昇により被覆率の低下が観察された。300C での被覆率より、Al₂O₃ の方が Y₂O₃ よりも吸着力が強いと考えられる。これは、分子電気陰制度の観点から、議論できる。つまり、結合前の各原子の電気陰制度の幾何平均で議論した場合、BN との電気陰制度の違いは、Al₂O₃ のプリカーサー

h-BN上堆積の温度依存性



反応限界 温度上昇により脱離が促進

図 3 h-BN 上への Y₂O₃ 及び Al₂O₃ 堆積の温度依存性.

である TMA の方が大きいことから、極性に起因した物理吸着は、TMA の方が大きく被覆率が大きいと考えられる。また、これらの結果から、図 4 に示した概念図のように、極性起因の物理吸着が起こるが、温度上昇に伴う脱離との競合により成膜が起こっていると推測される。

層状物質上の蒸着機構

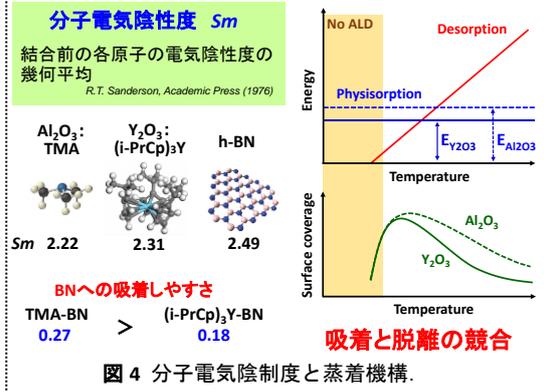


図 4 分子電気陰制度と蒸着機構.

以上のように極性に起因した物理吸着によりダングリングボンドの無い h-BN 表面にも Y₂O₃ を ALD により直接堆積は可能であるが、被覆率の観点からは、ゲート絶縁膜として機能可能なものではない。そこで、図 5 に示すように、Y 金属を Ar 中で堆積し、酸化させバッファ層として利用することを試みた。予備実験としてグラフェン上にバッファ層を堆積し、欠陥導入が無いことを確認した。最終的に、ALD により Y₂O₃ を h-BN 上に MRS=0.2nm, 100% の被覆率により堆積することができた。

層状物質上の蒸着機構

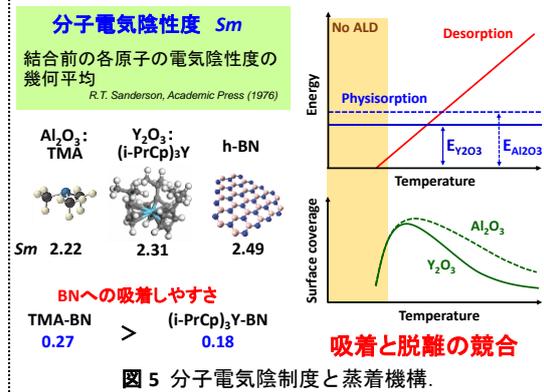
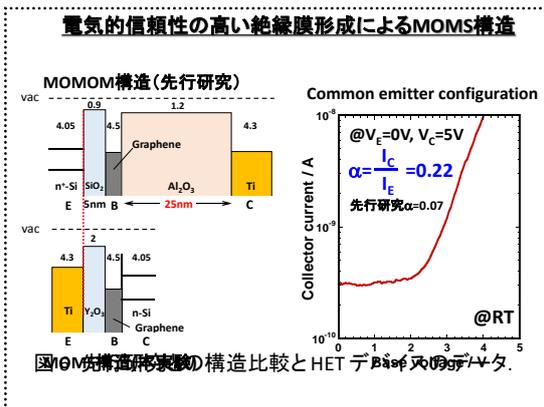


図 5 分子電気陰制度と蒸着機構.

HET 作製と動作実証

グラフェンベースにおける先行研究は唯一 KTH のグループ(Nano Letter, 2013, 13, 1435.)が行っており 4桁程度の I_{on/off}比を報告しているのみで、殆ど報告されていない。図 6(左上)

に彼らの MOMOM デバイス構造を示しているが、ホットエレクトロン注入において最も絶縁膜耐性が重要となる Emitter-Base 間の絶縁膜は SiO₂ 熱酸化膜を利用している。これは、グラフェン上への耐性ある極薄絶縁膜の形成が非常に困難だからである。Al₂O₃ を 25nm 堆積しないとリークを防げない。本研究では、Y₂O₃ 絶縁膜(~5nm)をグラフェン上に堆積する技術を確立した。この技術ゆえ本研究では MOMS 構造の選択が可能となった。図 6 に作成した HET デバイスの結果を示す。プロセスの改善を必要とするが、I_{on}/I_{off} が 2 桁程度取れており、先行研究と比較して高い電流利得 α を得ることに成功した。



5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 7 件)

[7] T. Uwanno, Y. Hattori, T. Taniguchi, K. Watanabe and K. Nagashio, "Fully dry PMMA transfer of graphene on *h*-BN using a heating/cooling system", **2D mater.** 2015, 2, 041002.

[6] K. Kanayama, and K. Nagashio, "Gap state analysis in electric-field-induced band gap for bilayer graphene", **Sic. Rep.** 2015, 5, 15789.

[5] N. Fang, K. Nagashio, and A. Toriumi, "Subthreshold transport in mono- and multilayered MoS₂ FETs", **Appl. Phys. Express**, 2015, 8, 065203.

[4] N. Takahashi, T. Taniguchi, K. Watanabe, and K. Nagashio, "Atomic layer deposition of Y₂O₃ on *h*-BN for a gate stack in graphene FETs", **Nanotechnology**, 2015, 26, 175708.

[3] Y. Hattori, K. Watanabe, T. Taniguchi, and K. Nagashio, "Layer-by-layer dielectric breakdown of hexagonal boron nitride", **ACS nano**, 2015, 9, 916.

[2] K. Nagashio, K. Kanayama, T. Nishimura, and A. Toriumi, "Quantum capacitance measurement of bilayer graphene", **ECS Trans.** 2014, 61(3), 75.

[1] K. Kanayama, K. Nagashio, T. Nishimura, and A. Toriumi, "Large Fermi level modulation in

graphene transistors with high-pressure O₂-annealed Y₂O₃ topgate insulators", **Appl. Phys. Lett.** 2014, 104, 083519.

[学会発表] (計 18 件)

[18][Invited] K. Nagashio, "Graphene field effect transistor application", 1st Japan-EU workshop on graphene and related 2D materials, (Nov. 2, 2015, Sapia tower, Tokyo).

[17][Invited] K. Nagashio, "Layer-by-layer dielectric breakdown of hexagonal Boron Nitride", 11th Topical workshop on Heterostructure Microelectronics, (August 26, 2015, Hida Hotel Plaza, Takayama).

[16][Invited] K. Nagashio, "Bilayer graphene field-effect transistors", US/Japan 2D Materials Workshop, (March, 23, 2015, Tokyo Institute of Technology, Tokyo).

[15][招待講演] 長汐晃輔, "グラフェンの電子デバイス応用 -グラフェン・金属接合の理解と制御-", 第 112 回マイクロ接合研究委員会, (2015 年 11 月 13 日, 阪大東京ブランチャ (東京)).

[14][招待講演] 長汐晃輔, "トランジスタを作る! グラフェン電界効果トランジスタ", 第 5 回 CSJ 化学フェスタ 2015, (2015 年 10 月 15 日, タワーホール船堀 (東京)).

[13][招待講演] 長汐晃輔, "FET 応用の可能性", ナノカーボンの技術開発動向に係るワークショップ, 東京, 2015, 6, 17.

[12][招待講演] 長汐晃輔, "グラフェンの電子デバイス応用へ向けた基礎知識 ~デバイス作製・電子輸送特性・ゲート絶縁膜・コンタクト抵抗~, サイエンス&テクノロジーセミナー, 東京, 2015, 4, 22.

[11][招待講演] 長汐晃輔, "グラフェン FET -コンダクタンス法によるギャップ内準位解析-", 第 48 回フラーレン・ナノチューブ・グラフェン総合シンポジウム, (2015 年 2 月, 東京, 東大).

[10][Invited] K. Nagashio, "Carrier response in electric-field-induced bandgap of bilayer graphene", 45th IEEE Semiconductor Interface Specialists Conference, (December 2014, Bahia Resort Hotel, SaDiego).

[9][Invited] K. Nagashio, "Energy gap formation & gap states analysis in bilayer graphene", Indo-Japan program on Graphene and related materials, (November, 5, 2014, JNCASR, Bangalore, India).

[8][Invited] K. Nagashio, "Energy gap formation and gap states analysis in bilayer graphene under the ultra-high displacement", Japan-Korea Joint Symposium on Semiconductor Physics and Technology, (September 17, 2014, Sapporo).

[7][Invited] K. Nagashio, "semiconducting properties in bilayer graphene under the ultra-high displacement", IEEE INEC2014, (July, Sapporo).

[6][Invited] K. Nagashio, K. Kanayama, T.

Nishimura, and A. Toriumi, "Quantum capacitance measurement of bilayer graphene", 225rd ECS meeting, (May 12, 2014, Orlando).

[5][招待講演] 長汐晃輔, "グラフェン FET の実現へ向けて -コンダクタンス法によるギャップ内準位解析-", 第9回 ATI 合同研究会, 東京, 2014, 11, 26.

[4][招待講演] 長汐晃輔, "h-BN 層状絶縁物質における電氣的絶縁破壊挙動", 新世代研究所 2014 年度第2回ナノカーボン研究会, 東京, 2014, 11, 17.

[3][招待講演] 長汐晃輔, "2 層グラフェンにおけるギャップ内のキャリア応答と高キャリア密度下でのサブバンド散乱", 日本表面科学学会, 第 82 回表面科学研究会 (2014 年 7 月 25 日, 東工大(東京)).

[2][招待講演] 長汐晃輔, "電界印加による 2 層グラフェンのギャップ形成", 第 78 回半導体・集積回路技術シンポジウム, (2014 年 7 月 17 日, 東京理科大(東京)).

[1][招待講演] 長汐晃輔, "2 層グラフェンの外部電界印加によるギャップ形成とギャップ内準位の評価", 学振専門委員会(2014,6,10 東大(東京)).

[図書] (計 1 件)

[1] K. Nagashio, A. Toriumi, "Graphene/metal contact" in *Frontiers of graphene and carbon nanotubes*, Springer, 2015, pp.53-78. [review].

[その他]

ホームページ

http://webpark1753.sakura.ne.jp/nagashio_lab/

6. 研究組織

(1)研究代表者

長汐 晃輔 (NAGASHIO, Kosuke)

東京大学・大学院工学系研究科・准教授

研究者番号：20373441