

**科学研究費助成事業 研究成果報告書**

平成 29 年 5 月 15 日現在

機関番号：12601

研究種目：若手研究(B)

研究期間：2014～2016

課題番号：26820125

研究課題名(和文) 飛行時間型計測機器に向けた高精度・広レンジを両立する時間-デジタル変換回路の研究

研究課題名(英文) A Fine-Resolution and Wide-Range Time-to-Digital Converter for Time-of-Flight Measurement Equipments

研究代表者

飯塚 哲也 (Iizuka, Tetsuya)

東京大学・大規模集積システム設計教育研究センター・准教授

研究者番号：10552177

交付決定額(研究期間全体)：(直接経費) 3,100,000円

研究成果の概要(和文)：集積回路技術の進歩に伴い、時間方向の情報を取り扱う時間領域信号処理技術の優位性が高まり、注目を浴びている。本研究では、特に飛行時間型計測器等の応用に向けて、高い時間分解能と広い入力レンジを両立する時間-デジタル変換器の実現を目指す。新規構造を持つパルス幅縮小型時間-デジタル変換器を提案し、同変換器を用いた階層構造を提案する事により、分解能2ps・入力レンジ80nsを達成した。また、時間信号処理回路の基礎となる構成として時間領域積分回路を提案し、ばらつきに起因する出力ドリフトが原理的に発生しない新規構造を実証した。さらに、時間-デジタル変換回路による電源雑音の検出・低減回路を提案・実証した。

研究成果の概要(英文)：In nano-scale CMOS processes, a time resolution is becoming superior to a voltage resolution due to the high-speed transistors and the reduced supply voltage. This research, especially for time-of-flight measurement applications, first proposes a fine-resolution and wide-range time-to-digital converter (TDC). The proposed TDC realizes a fine time resolution based on a novel pulse-shrinking scheme that utilizes a built-in offset pulse and a completion detection schemes. This TDC is used as the fine stage of the hierarchical TDC that realizes 2ps resolution and 80ns input range at the same time. As one of the basic time-mode signal processing elements, a novel time-mode accumulator, which inherently avoids the mismatch by using only one ring to hold the time-mode signal, is also proposed and demonstrated. In addition, a power supply noise detection and reduction circuit based on an on-chip TDC is proposed and demonstrated.

研究分野：電気電子工学

キーワード：電子デバイス・機器 集積回路 時間-デジタル変換 時間領域信号 パルス縮小型

## 1. 研究開始当初の背景

近年の半導体製造技術の向上により、集積回路におけるトランジスタの動作速度は大きく向上し、同時に消費電力の低減のため 1V 以下の電源電圧で回路を動作させることが一般的となっている。このような状況において、従来までは電圧方向の情報を用いて情報を検出・処理する回路が一般的であったが【例: アナログ-デジタル変換器】、高速に動作するトランジスタによって実現可能となった高精細な時間分解能によって、時間方向の情報を用いた回路【例: 時間-デジタル変換器; Time-to-Digital Converter(TDC)】がその応用範囲を大きく広げている。

特に、図 1 に概念図を示す飛行時間型計測機器に代表される、時間情報が直接測定対象となる情報に対応する計測器応用においては、時間-デジタル変換器の時間分解能が測定精度を決定するため、より高い時間分解能を安定して実現する時間-デジタル変換器が求められており、生体分子の同定などに用いられる高精度質量分析計などの応用[1]においては、要求される変換速度は数十 kHz から数 MHz と比較的低速ながら、1ps(ピコ秒、10<sup>-12</sup> 秒)程度の時間分解能を安定して実現する変換器が求められている。同時に、異なる飛行時間を持つ複数種の物質を同定するために広い測定レンジが求められる。また、単発での飛行時間を計測する必要性から、近年いくつかの手法が提案されているオーバーサンプリング型 TDC[2]を用いることはできず、これらの構成のメリットであるノイズシェイピング効果を用いることなく高精度を実現する必要性がある。

### [参考文献]

[1] B. Domon and R. Aebersold, "Mass Spectrometry and Protein Analysis," *Science*, vol. 312, no. 5771, pp. 212 – 217, 2006.

[2] Y. Cao *et al.*, "1-1-1 MASH  $\Delta\Sigma$  Time-to-Digital Converters With 6 ps Resolution and Third-Order Noise-Shaping," *IEEE Journal of Solid-State Circuits*, vol. 47, no 9, pp. 2093 – 2106, 2012.

## 2. 研究の目的

本研究では、前節で述べた要求に対して最適な構成と予想される、パルス縮小型の時間-デジタル変換技術を用いた新規な時間-デジタル変換器アーキテクチャを提案し、安定した高精度の変換回路を実現する。提案技術では、

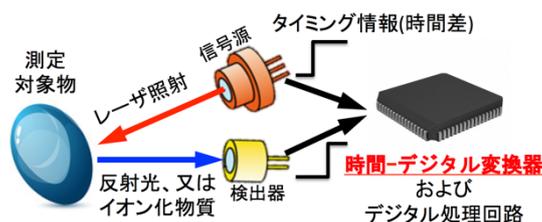


図 1 飛行時間型計測システムの概要

デジタル信号の立ち上がり・立ち下がり時間に意図的な差を持たせた遅延素子を用い、その差異を用いて高精細な時間分解能を達成すると同時に、広レンジだが粗い精度の TDC と高分解能であるが狭レンジの TDC を階層的に用いる 2-Step 構造を用いることで、要求される広レンジと高精度を同時に達成する構成を実現する。

また時間領域情報を時間差信号のまま処理し、その後 TDC 等を用いて情報をデジタル化することでより効率の良い回路実装ができる可能性がある。そのような時間信号処理回路の基礎となる構成として、時間差積分器を提案する。回路上の同一の遅延線上を伝搬するパルスの時間差を利用することで、周波数キャリブレーションを不要とし、順次入力される時間差信号を累算する構成を提案し、完全時間領域での積分処理を実現する。

さらに、TDC 回路の一つの応用として、電源雑音検出を行い、雑音を低減する方向に電流注入を制御する方式についても提案を行う。高精度 TDC により、雑音による電源電圧の変動に起因する遅延時間差を検出し、フィードバック制御を実行することを可能とする。

## 3. 研究の方法

本研究では目的達成に向けて下記の 4 課題を設定し、各項目の研究・開発を行う。

(1) 終了検出機能を持つ高時間分解能パルス縮小型時間-デジタル変換回路の研究  
異なる立ち上がり、立ち下がり遅延をもつバッファ回路をパルス信号が通過すると、二つの遅延時間の差によりパルス幅が縮小または拡大する。パルス幅が縮小するように設計されたバッファを多段に接続し、そのバッファ列にパルス信号を入力することでいずれかのバッファを通過したときにパルスが消失する。パルス縮小法はこの現象を利用して入力時間差をデジタル信号に変換する。従来のパルス縮小法では一回の変換毎に入力パルスが完全に消失するまでの時間が必要であり変換速度を制限していた。また、パルスが消失する近辺ではパルスの縮小幅が一定ではなく、TDC の線形性やオフセットといった性能に影響を及ぼしていた。本研究課題ではリング型に接続したバッファ列を用いることでオフセットを予め入力時間差に加える新たな方式を提案し、上記の問題を解決することで高い時間分解能を実現する。

(2) 2-Step 階層構造による高精度・広レンジ時間-デジタル変換器の研究

研究課題(1)にて時間分解能の高い TDC 回路の研究開発を行っているが、上記 TDC を用いて広い入力レンジを確保するためには、面積・消費電力の増大および変換速度の大幅な低下が避けられない。広い周波数レンジを得ながら性能オーバーヘッドを最低限に抑えるため、広レンジだが粗い精度の TDC と(1)の高分解

能であるが狭レンジの TDC を階層的に用いる 2-Step 構造を用いることで、要求される広レンジと高精度を同時に達成する構成を実現する。

(3) プロセスばらつきに強い時間領域アナログ積分回路の研究

プロセスの微細化と親和性の高い信号形式である時間信号処理回路の基礎となる構成として、時間領域アナログ積分回路を実証する。積分器の出力値を同一のバッファリングを回る二つのパルスの時間差として保持することにより二つのパルスの伝搬速度の不一致に起因する出力ドリフトが発生することがなく、従来手法とは異なりそのためのキャリブレーションを必要としない新規構成を提案・実証する。

(4) 時間-デジタル変換器を用いたチップ内電源雑音観測・低減手法の研究

時間-デジタル変換器の応用の一つとして、チップ内電源雑音の検出・低減回路を提案・実証する。電源雑音の影響を受けない様に設計された遅延線と、影響を受けるように設計された遅延線の両者を用い、その遅延差を検出する TDC として構成することで、僅かな電圧変動を逐次検出できる構成を実現する。同 TDC 回路で検出された情報を用いて電源への電荷注入量を調整し、チップ内の共振雑音の低減することにより提案手法の有効性を示す。

4. 研究成果

前述の研究方法に沿ってそれぞれの項目毎に研究を実施し、以下の成果を得た。

(1) 終了検出機能を持つ高時間分解能パルス縮小型時間-デジタル変換回路の研究

パルス縮小型 TDC の回路図の概要を図 2 に示す。パルス縮小型 TDC では 2 つの異なるサイズのインバータを連結したバッファを遅延素子として用いる。このときのバッファ出力の立ち上がり・立ち下がり遅延時間の差は前段の PMOS のトランジスタサイズを後段の PMOS のトランジスタサイズの  $\alpha$  倍として設計することで、調整することが可能である。このとき、立ち上がり遅延時間  $t_r$  が立ち下がり遅延時間  $t_f$  よりも大きいとき、 $T_{LSB} = t_r - t_f$  が、バッファ一段あたりを通過する時に縮小するパルス幅となり、パルス縮小型 TDC 回路の時間分解能となる。

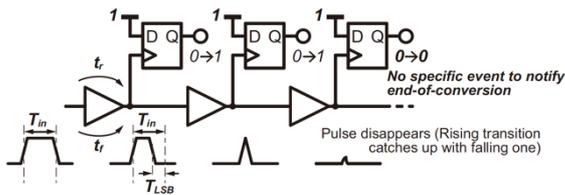


図 2 パルス縮小型 TDC 回路の概念図

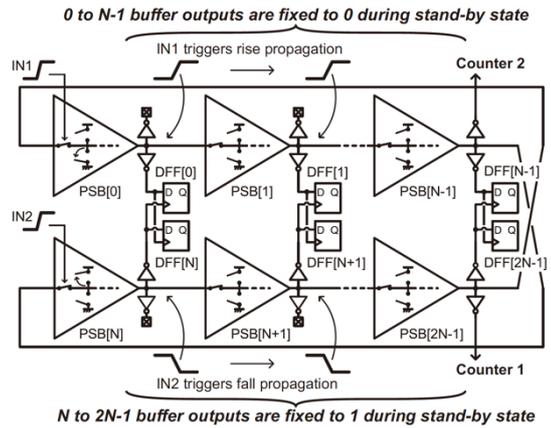


図 3 提案 TDC 回路のブロック図

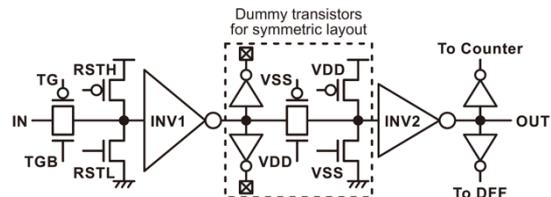


図 4 Pulse-Shrinking Buffer (PSB) 回路

従来のパルス縮小型 TDC では入力のパルス信号が完全に消失したときに変換を終了していた。しかしパルスが消失する近辺でのパルスの縮小幅は一定ではなく、パルス幅が小さくなるにつれてその縮小幅は大きくなっていく。オフセット処理を用いる場合では、縮小幅が変化し始めてからの変換結果を最終的な出力から差し引くことで線形性への影響を取り除いていたが、縮小幅が変化し始めてからの変換にかかる時間と電力が無駄になるだけでなく、オフセット分の変換結果が最終的な結果に反映されないにも関わらず、その変換過程ではジッタが累積されてしまうという問題点があった。提案手法では、縮小値がその範囲では一定となるような十分に大きいオフセット  $T_{offset}$  を入力信号に加え、そのパルス信号を TDC に入力し、パルス幅  $T_{pw}$  が  $T_{offset}$  以下になる瞬間を検出して変換を終了する。パルス信号の幅を常に  $T_{offset}$  以上に保つことによって、パルス幅が小さくなる場所で縮小値が変化する問題を回避すると同時に、終了時のパルス幅検出を実現することで不要なジッタ蓄積等の問題も同時に回避できる。図 3 に提案する TDC 回路のブロック図を示し、図 4 に使用されている Pulse-Shrinking Buffer (PSB) 回路図を示す。提案 TDC 回路は、PSB をリング上に 2N 段接続した回路 (PSB Ring; PSBR) となっている。二つの PSBR への入力信号 IN1、IN2 はそれぞれ 0 段目の立ち上がり信号、N 段目の立ち下がり信号として PSBR に注入される。つまり 2 つの入力信号の時間差  $T_{in}$  は 0 段目の立ち上がり信号と N 段目の立ち下がり信号との時間差に等しい。N 段分の PSB の立ち下がり遅延がパルス信号のオフセット  $T_{offset}$  に対応する。従って 0 段目の PSB から見たとき入力時間差とオフセットとの和  $T_{offset} + T_{in}$  をパルス幅とするパルス

信号が PSBR 上に生成されることになる。PSB は立ち上がり信号よりも立ち下がり信号の伝搬遅延の方が小さくなるように設計されている。その結果、1 段目の立ち上がり信号と N+1 段目の立ち下がり信号の時間差は入力時間差よりも立ち上がり・立ち下がり遅延時間の差だけ縮小される。係で見ると、k 段目の立ち上りリング間の DFF 回路により、PSBR 内を伝搬差売るパルス信号の幅がオフセット以上であるとき、DFF の出力は 0 になり、オフセット以下であるとき 1 になる。DFF の出力が 0 から 1 になる瞬間を検出することによって、パルス幅がオフセット以下になったことを判断でき、変換を終了することができる。

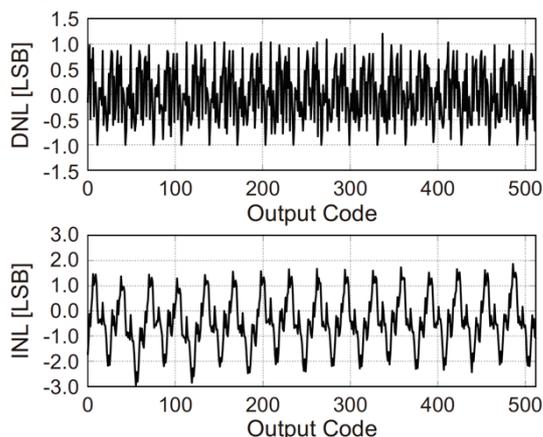


図 5 提案 TDC 回路の DNL/INL 特性

提案手法のチップの実装には CMOS 0.18 $\mu$ m プロセスを用いた。シミュレーションによる TDC 回路の DNL/INL 特性を図 5 に示す。シミュレーション結果と比較して実測での INL は悪化しているが、その原因としては、LSI パッケージに含まれるボンディングワイヤのインダクタンスにより電源に大きな雑音が発生してしまっているためと予想される。対策したチップについては実装済みであり、詳細評価を継続して行っている。

表 1 に従来手法との比較結果を示す。従来手法と比較して、高い分解能で、低ジッタかつ小面積、低消費電力の設計が達成されたことが示されている。

表 1 TDC 性能比較 (実測)

Ref.	[2]	[3]	[4]	[5]	[6]	This Work
Architecture	Vernier Ring	2D Vernier	Vernier Interpol.	3D Vernier	Pulse Shrinking (PS)	PS w/ offset pulse width detection
Tech. [nm]	130	65	350	130	350	180
Resol. [ps]	8	4.8	10	7.0	40	1.8
Precision rms [ps]	< 8	--	17.2	< 20.8	--	< 2.16
Rate [MS/s]	15	50	3	25	0.00001	4.4
Range [bit]	12	7	15	11	9	9
DNL [LSB]	--	< 1	< 0.04	0.8	--	+1.2/-0.7
INL [LSB]	--	3.3	< 2.5	1.5	0.6	+8.6/-8.7 (due to package inductance)
Power [mW]	7.5	1.7	< 80	0.33 (@1MS/s)	0.0017	3.4
Area [mm <sup>2</sup> ]	0.26	0.07	0.3	0.28	0.025	0.07

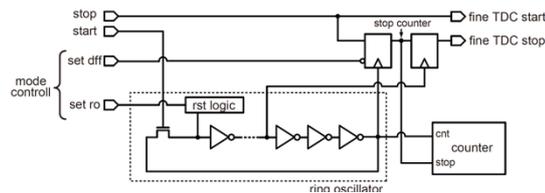


図 6 Coarse TDC 部分

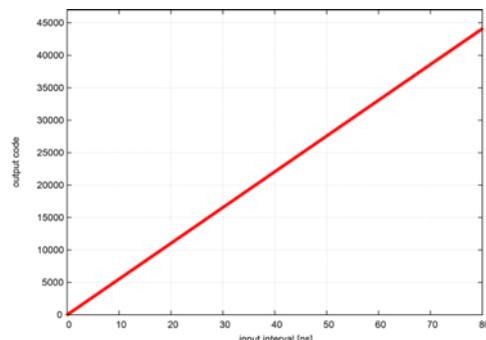


図 7 Coarse-Fine TDC の変換特性

(2) 2-Step 階層構造による高精度・広レンジ 時間-デジタル変換器の研究

前述の高分解能 TDC 回路の入力範囲を拡大するため Coarse-Fine 階層構造を用いる。提案する TDC 構造では、まず入力時間差を Coarse TDC により粗く分割し、その後 Coarse TDC の分解能を下回った余りの時間差を Fine TDC により高分解能で測定する。2 つの TDC の測定結果を組み合わせることで計算し出力を得れば、Coarse TDC の入力範囲を Fine TDC の分解能で測定することができる。ただし、実際の実装においては、Coarse TDC の 1 LSB が Fine TDC の分解能で何ビット分に当たるかを前もって知る必要がある。提案する TDC 回路では、この点は内部キャリブレーションを実装することで解決した。チップの製造後に Coarse TDC の分解能にあたる時間差を Fine TDC で直接測定し、その結果を変換に用いる。

図 6 に Coarse TDC 部分の回路図を示す。Fine TDC には(1)で示した PSBR 型 TDC を用いる。初めに start 信号が立ち上がると、オシレータがオンになり、RO<0>と RO<1>が発振を開始する。このときカウンタは RO<0>の立ち上がりの回数を数える。やがて stop 信号が立ち上がると、まずは Fine TDC の start 信号が入力され、Fine TDC が測定を開始する。続いて、stop 信号が立ち上がってから初めて RO<0>が立ち上がった瞬間を検出され、このタイミングでカウンタが止まり Coarse TDC の出力が確定する。さらにその後で RO<1>が立ち上がると、Fine TDC の stop 信号が入力される。Fine TDC は stop 信号の立ち上がりから stop counter を RO<1>がラッチするまでを測定する。Coarse TDC の測定結果から Fine TDC の測定結果を差し引いたものが入力時間差に線形に対応する。

図 7 に Coarse-Fine 型 TDC の全体の入出力特性のシミュレーション結果を示す。Fine TDC 単体での入力範囲は約 2ns であったが、階層構造を取ることで 80ns 程度までと約 40 倍の

拡大を達成した。また DNL は  $\pm 1\text{-LSB}$  程度、INL は  $\pm 2\text{-LSB}$  程度以内に収まっており、Fine TDC の分解能を維持しながら、入力範囲の大幅な拡大が達成されたことが示されている。チップ試作及び実測による評価が今後の課題として残されている。

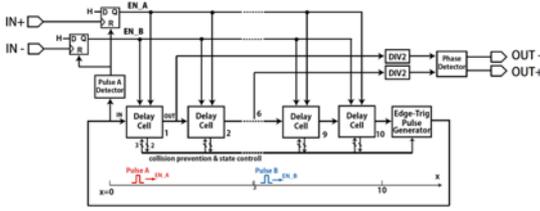


図 8 時間領域積分器のブロック図

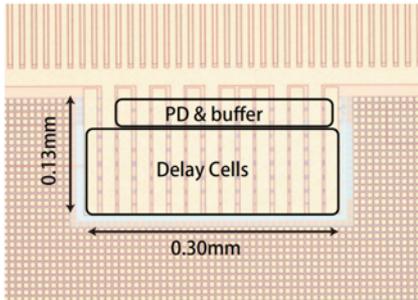


図 9 時間領域積分器のチップ写真

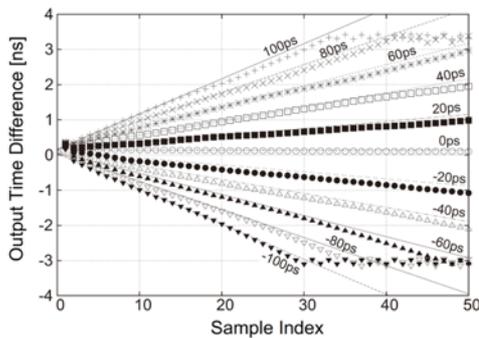


図 10 時間領域積分器の測定結果

(3) プロセスばらつきに強い時間領域アナログ積分回路の研究

プロセスの微細化と親和性が高い時間領域信号であるが、これを利用するには一般的な電圧領域信号のアナログ回路と同じように基本的な演算ができる時間領域信号処理回路が必要不可欠である。時間領域信号に対して定数倍の掛け算を実行する回路である時間差増幅器などはすでに報告されている。本研究課題では、時間領域信号の応用を広げるための礎として、時間領域信号積分器を提案する。

図 8 に提案する時間領域信号積分器のブロック図を示す。積分器は全体で 120 段のゲーテッドインバータによるひとつの長いディレイラインを持っており、このディレイラインはゲーテッドインバータ 12 段ごとにディレイセルという単位で区切られている。また、このディレイラインは 1 つのエッジトリガパルスジェネレータを挟んでひとつのリング状の回路を構成する。提案する時間領域信号積分器では、ゲーテッドインバータによる 1 つの

バッファリング上に回した 2 つのパルスの時間差によって積分値を保持させ、周波数の不一致による積分値のドリフトという問題を原理的に回避している。

図 9 に試作した時間領域信号積分器のチップ写真を示し、図 10 に積分動作の測定結果を示す。入力時間差に応じて適切に積分動作が実現されていることが示されている。

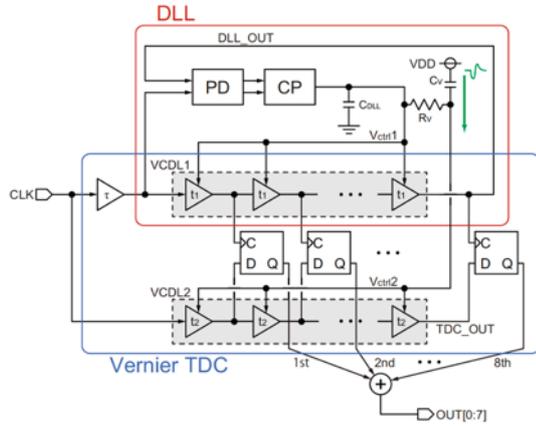


図 11 提案する電圧ドロップ検出回路

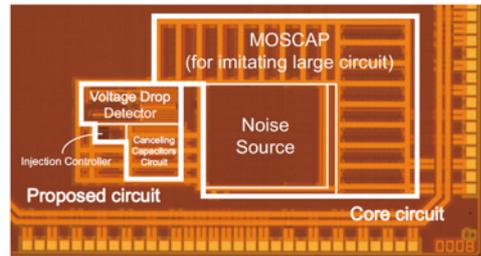


図 12 電圧ドロップ検出回路を用いた電荷注入回路のチップ写真

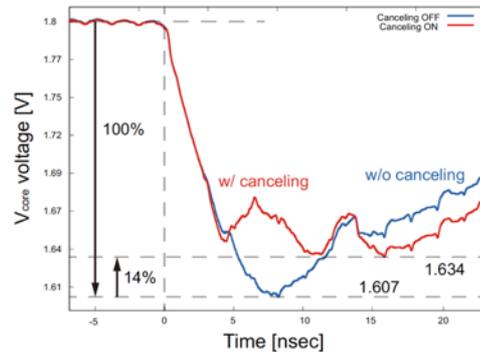


図 13 電荷注入によるノイズ低減測定結果

(4) 時間-デジタル変換器を用いたチップ内電源雑音観測・低減手法の研究

時間-デジタル変換器の応用の一つとして、チップ内電源雑音の検出・低減回路を提案・実証する。図 11 に、Vernier 型 TDC を用いた電源電圧ドロップ検出回路のブロック図を示す。2 つの Voltage-Controlled Delay Line (VCDL) の制御電圧  $V_{ctrl1}$ ・ $V_{ctrl2}$  が抵抗  $R_v$  によって連結されており、共有されていない VCDL2 の制御電圧がノイズの乗る電源電圧と容量結合されている。これによりノイズが発生していない時は  $V_{ctrl1}$  と  $V_{ctrl2}$  の値は等しくなり、Vernier TDC のバウンダリを最右に設定する

ことにより TDC の出力を全て HIGH とする。一方、電源共振ノイズが発生すると、カップリング容量 $C_V$ によってノイズが Vctrl2 に伝播し Vctrl2 を変動させる。Vctrl2 の上昇は VCDL2 の遅延時間を短くし、下降は遅延時間を長くするため、入力クロックがバッファを一段通過する毎にその遅延差が積み重なり広がっていき、TDC により遅延変動が検出できる。

図 12 に、提案する電圧ドロップ検出回路を用いた電荷注入回路全体のチップ写真を示す。全体の動作検証のため、電圧ドロップ検出回路に加え、電荷注入コントローラと雑音キャンセル用キャパシタ回路を備えている。また、実際のチップ動作に近い電源雑音を模擬するための雑音源回路も実装している。

図 13 に電荷注入によるノイズ低減効果を実測により示した結果を示す。提案方式により 14% の雑音ピーク低減を実現しており、単純なオンチップデカップリング容量で同等の効果を実現する場合と比較して面積低減効果では 16% を達成している。

#### 5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 0 件)

[学会発表] (計 5 件)

- [1] Masahiro Kano, Toru Nakura, Tetsuya Iizuka, and Kunihiro Asada, “Resonant Power Supply Noise Reduction Using a Triangular Active Charge Injection,” in *Proceedings of IEEE International Conference on Electronics, Circuits and Systems (ICECS)*, pp. 113 - 116, 2016 年 12 月 11 日～14 日, モンテカルロ市 (モナコ公国) .
- [2] Tetsuya Iizuka, Takehisa Koga, Toru Nakura and Kunihiro Asada, “A Fine-Resolution Pulse-Shrinking Time-to-Digital Converter with Completion Detection Utilizing Built-in Offset Pulse,” in *IEEE Asian Solid-State Circuits Conference (A-SSCC) Proceedings of Technical Papers*, pp. 313 - 316, 2016 年 11 月 7 日～9 日, 富山国際会議場 (富山県富山市) .
- [3] 矢野 智比古, 名倉 徹, 飯塚 哲也, 浅田 邦博, “バッファリングを利用した出力ドリフト補正が不要な時間領域アナログ信号積分器,” 電子情報通信学会 技術研究報告, vol. 115, no. 343, pp. 129 - 134, 2015 年 12 月 17 日～18 日, 京都工芸繊維大学 (京都府京都市) .
- [4] Tomohiko Yano, Toru Nakura, Tetsuya Iizuka and Kunihiro Asada, “A Calibration-Free Time Difference Accumulator Using

Two Pulses Propagating on a Single Buffer Ring,” in *IEEE Asian Solid-State Circuits Conference (A-SSCC) Proceedings of Technical Papers*, pp. 145 - 148, 2015 年 11 月 9 日～11 日, 廈門市 (中国) .

- [5] 古賀 丈尚, 飯塚 哲也, 名倉 徹, 浅田 邦博, “高分解能パルス縮小型時間-デジタル変換器の設計,” 電子情報通信学会 技術研究報告, vol. 115, no. 270, pp. 13 - 18, 2015 年 10 月 26 日～27 日, 作並温泉一の坊 (宮城県仙台市) .

[図書] (計 0 件)

[産業財産権]

○出願状況 (計 1 件)

- [1] 名称: 時間デジタル変換方式および時間デジタル変換装置  
発明者: 飯塚 哲也, 古賀 丈尚, 名倉 徹, 浅田 邦博  
権利者: 東京大学  
種類: 特許  
番号: 特願 2016-007517  
出願年月日: 2016 年 1 月 19 日  
国内外の別: 国内

○取得状況 (計 0 件)

[その他]

なし

#### 6. 研究組織

- (1) 研究代表者  
飯塚 哲也 (IIZUKA TETSUYA)  
東京大学・大規模集積システム設計教育研究センター・准教授  
研究者番号: 10552177
- (2) 研究分担者  
なし
- (3) 連携研究者  
なし
- (4) 研究協力者  
なし