

科学研究費助成事業 研究成果報告書

平成 28 年 6 月 2 日現在

機関番号：14501

研究種目：若手研究(B)

研究期間：2014～2015

課題番号：26820128

研究課題名(和文) ナノ構造体形状への記憶を容量検出により読み出す高密度・恒久保存メモリ

研究課題名(英文) High-Density Permanent Memory by Capacitance Readout of Nano Structure

研究代表者

三浦 典之 (Miura, Noriyuki)

神戸大学・自然科学系先端融合研究環・特命助教

研究者番号：70650555

交付決定額(研究期間全体)：(直接経費) 3,000,000円

研究成果の概要(和文)：安定金属結晶によるナノ構造体の有無に情報を記憶する恒久保存メモリの基本コンセプトと、そのメモリを多層化する高密度記憶素子構造とその製造プロセス方法を考案した。このナノ構造体形状から記憶情報を読み出す容量検出回路方式と超長期間に渡って安定的な読み出し動作を保証するためのデータ符号化方式を考案した。ナノ構造体と読み出し回路を統合するための電磁界解析と回路解析を組み合わせた統合設計手法を構築し、実証デバイスを製造した。加速試験装置を用いた換算時間千年の長期信頼性試験を実施し、正常なメモリ読み出し動作を確認することで、コンセプトと設計手法の妥当性の実証に成功した。

研究成果の概要(英文)：A basic concept of permanent memory based on existence of a stable metal-crystal nano structure was invented together with a multilayer high-density configuration and its fabrication process. A capacitance-readout scheme to retrieve the saved data and a coding scheme to guarantee long-time readout reliability were also invented. An electro-magnetics and circuit mixed-domain design methodology was developed to integrate the nano-structure memory and the read-out circuit. A prototype was designed and fabricated. An equivalently 1,000-years long-term reliability test was conducted by using an acceleration pressure cooker. Validity of the concept and the methodology was successfully proven by the demonstration of reliable memory read-out.

研究分野：集積回路工学

キーワード：デジタルアーカイブ 恒久保存 メモリ ナノ構造体 容量検出 長期信頼性

1. 研究開始当初の背景

近年の電子情報通信機器の目覚ましい発展により、人類が生み出し複製するデジタルデータは、2012年には年間約10ゼタ(Z=10の21乗)バイトにまで爆発的に増加しており、2020年には年間40ゼタバイトにまで達すると予測されている[1]。これらのデジタルデータには、文化財、科学、個人、行政データのように、後世へと継承すべき貴重な情報が膨大に含まれている。しかし、現在のデジタルデータの主要な記憶装置であるハードディスクドライブ(HDD)やソリッドステートドライブ(SSD)の寿命は、数10年程度であり、これらのデジタル情報資産を単独の装置で恒久保存することはできない。記憶装置の多重化と数年単位の定期的なデータ移行(マイグレーション)を繰り返すとしても、保存すべき情報量が膨大なため、莫大なコストが必要となり、経済的にも恒久保存は非常に困難である。今日、貴重かつ膨大なデジタル情報資産は消失の危険性を孕んでおり、これを回避するためには、マイグレーションの不要な1,000年を超える超長寿命の高密度・大容量な恒久保存メモリが必要である。

恒久保存メモリの一つの解決策として、構造体の物理的な形状にデータを保存する構造体メモリが考えられる(図1)。18世紀の終わりに発見されたロゼッタストーン[2]が、2,000年以上の長期間に渡り、花崗岩の構造体上の刻印に人類の情報資産を保存したように、安定結晶物質に刻み込まれた構造体形状による記憶には、恒久保存メモリを実現できる可能性がある。先行研究の一つに、石英ガラスメモリ[3]がある。フェムト秒レーザーを用いて石英ガラス中にマイクロドット型の誘電率変異構造を形成することでメモリを保存する。マイクロドットは、安定石英結晶中に完全密封されて保護されるため、保存データの超長期信頼性が保証できる。しかしながら、メモリの密度は、限定的である。一つの石英ディスク内に100層のマイクロドットレイヤを形成しても、そのメモリ密度は、0.01テラ(T=10の12乗)bit/inch²と現在のHDDよりも2桁も低い。さらにメモリの読み出しには、レーザーと光学顕微鏡を用いた光干渉断層法という光学撮像方法が必要であり、データ読み出し速度と読み出しビット誤り率(BER)が制限される。

研究代表者らは、過去に半導体集積回路製造技術を用いた完全密封型の恒久保存メモリを考案した[4]。デジタルロゼッタストーン(DRS)と名付けたこの恒久保存メモリは、デジタルデータをマスクROMに保存する。これは、シリコンウェハ上のトランジスタの有無にデータを保存する一種の構造体メモリである。このマスクROMをSiNとSiO₂のような安定結晶膜で完全密封することで、酸素や水分による腐食を防止し、1,000年を超える超長期メモリ寿命が実現できる。半導体メモリがコアなので、電力を供給する必要があ

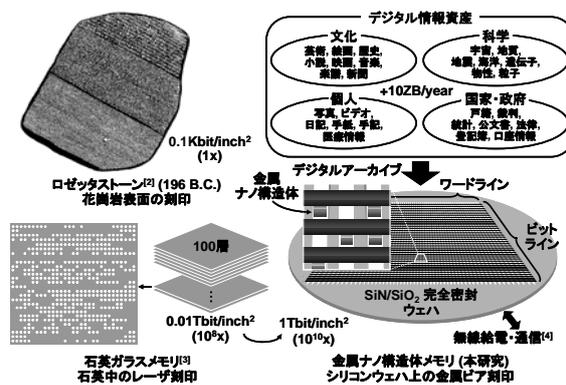


図1 恒久保存構造体メモリのコンセプト図

り、また読み出しデータを外部に出力するためのデータ通信路も必要である。誘導結合を用いて無線で電力とデータの伝達経路を形成することで、完全密封状態でメモリ寿命を保ちつつ、電気的な読み出しにより高速(>6Gb/s)、高信頼(BER<10⁻¹⁴)の恒久保存メモリを実現することができた[5]。

半導体恒久保存メモリにおける残された課題は、さらなるメモリ密度の増加である。マスクROMを用いたDRS方式では、各メモリセルに一つトランジスタが必要である。また、トランジスタは、シリコンウェハ基板の表面に形成されるものなので、多層化が難しくメモリ密度の増加が難しい。そこでメモリセルにトランジスタを用いず金属結晶構造体のみを用いる多層化が可能なナノ構造体メモリを考案した(図1)。

2. 研究の目的

本研究では、人類のデジタル情報資産を後世へと継承する恒久保存メモリの実現を目指して、高密度な恒久記憶素子構造とその記憶読み出し回路技術を確認する。具体的には、(1)金属ナノ構造体の凹凸形状を用いた高密度な記憶素子構造の検討および物理特性モデルの構築、(2)高感度の容量検出回路によるナノ構造体凹凸形状からの記憶読み出し回路の開発、(3)記憶読み出し精度を高める保存データ符号化方式の確立に取り組む。プロトタイプを試作して要素技術の実現性を実証するとともに、加速試験を行い、(4)超長期信頼性予測するための電磁界と回路の統合シミュレーション手法を確認し、恒久保存メモリの設計理論の構築を目指す。

3. 研究の方法

本研究では、前述の研究目的を2年間で達成することを目指す。平成26年度は、高密度ナノ構造体記憶素子構造を検討し、電磁界解析シミュレータを用いて凹凸形状による相互容量変化を正確に抽出する解析手法を構築する。先行開発したタッチセンサ用の相互容量検出回路[6]を進展させ、高感度の容量検出型読み出し回路を、検出感度を高める符号化方式とともに開発する。プロトタイプシリコンチップを設計し製造までを完了す

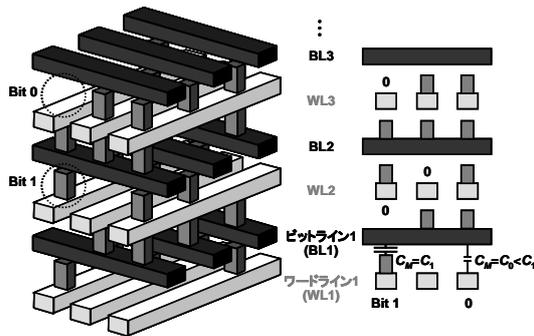


図2 交点型多層メモリセル構造

る。平成 27 年度は、プロトタイプチップを用いた加速試験を行い開発技術の実現性を実証する。実測結果を解析することで、超長期間経過後のメモリ故障の主要因を推定する。故障モデルを構築し、電磁界と回路を統合した超長期信頼性予測シミュレーション手法を確立する。シミュレーションを基礎に、ナノ構造体物理形状、および微細製造プロセスを用いた際のメモリ高密度化のスケラビリティについて展望を描く。

4. 研究成果

図 1 に検討した金属ナノ構造体恒久保存メモリのコンセプトを示す。メモリは、CMOS 半導体ウェハ上に高密度に形成された金属ナノ構造体の凹凸形状を利用した恒久保存メモリコアと誘導結合型の DRS と同様の無線給電・通信チャネルを有する。ウェハは、SiN/SiO₂ による安定結晶膜によって完全密封されており、これにより外部から浸透する酸素や水分からメモリコアと回路の腐食と酸化を防止してメモリの恒久保存を達成する。図 2 は、メモリセル構造の詳細を図示している。各メモリビットは、IC 金属配線(ワードライン WL とビットライン BL)の交点に形成されるメタルビアの有無(すなわち金属ナノ構造体の凹凸)によって 0 と 1 のデジタルビット情報を保存する。ビアは、半導体 CMOS プロセスの中でも最も小さい物理サイズとなる構造であり、最先端の微細プロセスですでに nm サイズにスケラリングされている。つまり金属ビアをメモリセルに選択することで高密度な構造体メモリの実現が可能となる。一つの金属ビアの有無が 1 ビットの保存メモリに相当するため、 $4F^2$ (F はプロセス最少加工寸法の 1/2 のサイズ)のメモリセルが実現できる。さらにこのメモリセル構造は、多層化が容易でさらなる高密度化が可能である。特に近年の CMOS プロセスでは、配線層数は、10 層を超えており、最少加工寸法のビアが配置できるローカル配線層も 6 層以上ある場合もある。通常金属ビアと異なり、このメモリ用のビアは、WL/BL 金属配線間を接続せず、片端が非接続になった構造である。直流電流(DC)パスが存在しないため、同一 WL 上のメモリセル間の信号の混信(Sneak Path)問題は存在しない。メモリデータは、WL と BL 間の相互容量 C_M を電氣的に計測す

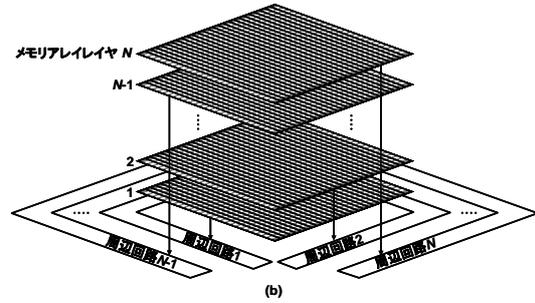
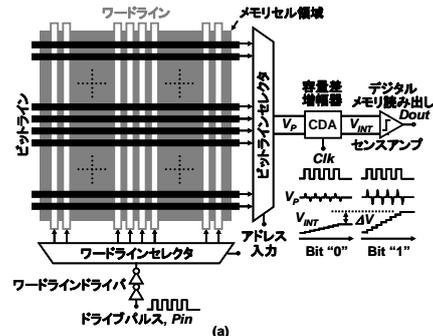


図3 (a) メモリアーキテクチャ (b) 多層構造

ることによって読み出される(図 2)。金属ビアが存在することによって、 C_M は、 C_0 から C_1 へと大きくなる。この C_M の変化を WL と BL の各交点で検出することでデータを読み出すことができる。

図 3 (a) に、メモリアーキテクチャのブロック図を示す。メモリの多層化は、単純のメモリセルアレイとその周辺回路を多重化することによって実現できる(図 3 (b))。メモリ読み出し回路は、相互容量センサである。容量タッチセンサ[6]に類似の回路を用いた。長期信頼性を確保するための設計手法とノイズ耐性評価を行い、得られた成果を雑誌論文①②、学会発表①②にて発表した。メモリ読み出し回路は、WL ドライバと容量差増幅器によって構成される。WL ドライバは、シンプルな CMOS インバータ回路で選択された WL をクロック様矩形波電圧 Pin で駆動する。相互容量 C_M を介して、矩形波の立ち上がり立ち下りに時に正負のパルス状電圧 V_p が選択された BL 上に誘起される。非選択のその他の WL と BL は、スイッチ経由ですべてグラウンドに接続され、ノイズシールドとして動作することで読み出し時の信号品質を改善する。容量差増幅器(CDA: capacitance difference amplifier)は、 V_p パルス信号を積分し、 C_M の差異を電圧差 ΔV に変換増幅する。次段のセンスアンプにて ΔV 電圧からデジタルデータを復元する。CDA は、 V_p 信号を同期したクロック Clk のタイミングで積分する。この同期積分方式により複数のパルスを積分することで、無相関の環境ノイズはフィルタリングすることができ、読み出し信頼性を高めることができる。この積分型の読み出し方式は、低速ではあるが、[6]で提案されているような並列アクセスにより高速なメモリ読み出しが可能である。またメモリ読み出し回路と無線 DRS インタフェース間の干渉は、[5]で提

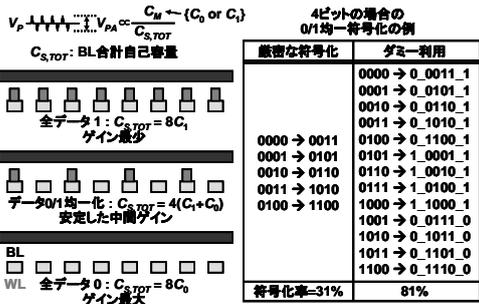


図4 データ0/1均一符号化方式

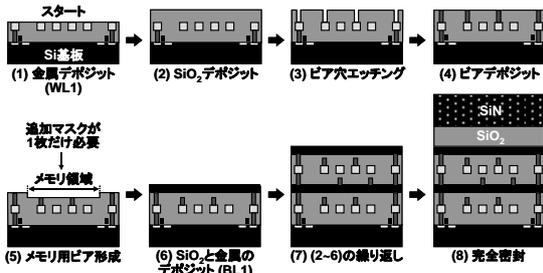
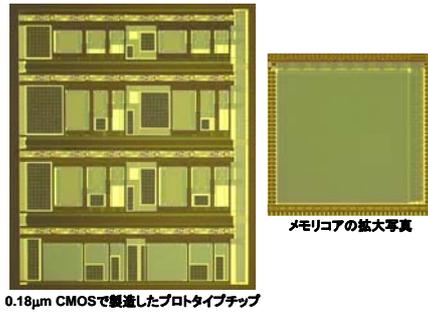


図5 プロセスフロー

案されている時分割アクセス方式により解決できる。

もう一つの技術的課題は、読み出し回路の超長期信頼性にある。長期間の高信頼動作を保証するために、メモリビットの0/1データ均一符号化方式を考案した。図4にBLとWLの1バイト構成の場合の断面図を示す。CDA入力での受信パルス電圧 V_P の振幅は、BLの合計自己容量値 $C_{S,TOR}$ と C_M の比 $C_M/C_{S,TOR}$ に比例する。このとき電圧ゲインを一定に保ち、長期信頼性を確保するためには、ビットライン上の保存メモリビットの0と1の配分を均等にする必要がある。しかしながら、厳密な0/1データ均一符号化を実施すると、有効な符号列が著しく制限されてしまう。例えば図4に示した4ビットの場合では、全16通りの符号中わずか5通りの符号しか利用できないため、符号化率が31%まで低下する。両端の処理のためいずれにしる必要となる2ビットのダミーWLを利用することで、有効な符号を増加させることができる。ダミービットを利用することにより、4ビット場合で符号化率を81%まで改善することができる。例えば32や64ビット長のより長いビットライン構成の場合は、1ないし2ビット程度の多少の不均一な符号は許容できるので、先のダミー利用と組み合わせることで、80%程度の符号化率を維持することができる。

上述のナノ構造体メモリおよび読み出し回路を製造するプロセスフローについても検討を行った。提案プロセスは、標準CMOSプロセスに準拠している。図5は、そのフローチャートを示している。プロセスのオーバーヘッドとしては、1枚の追加マスクがStep(5)にて必要になる。追加マスクでメモリ領域を指定し、メモリ領域の金属ビアのみわずかにオーバーエッチングすることでメモリ用



0.18μm CMOSで製造したプロトタイプチップ

図6 プロトタイプ顕微鏡写真

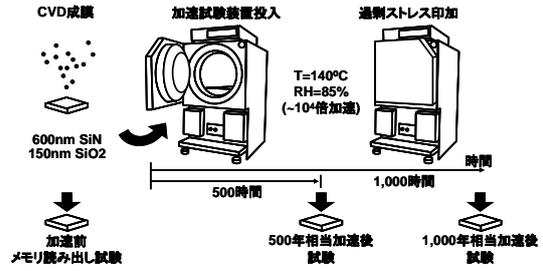


図7 1,000年相当の超長期信頼性加速試験フロー

に加工する。この追加マスクは、全多層メモリ間で共有可能である。各層のメモリビットのプログラム(書き込み)には、個別のマスクが必要である。このマスクコストは、[4,5]のDRS型の半導体メモリでも必要なコストである。電子ビーム(EB)直接描画によりビアのプログラミングは、マスクコスト低減のための一つの選択肢である。また、BLやWLは繰り返しの共通レイアウトである。一部のBLやWL用の一部のマスクセットは共有可能となりこれもマスクコスト低減に寄与する。

プロトタイプチップを0.18μm CMOSプロセスで製造した。図6にチップ写真を示す。提案メモリと読み出し回路の超長期信頼性を評価するために、加速試験を行った。図7に、その試験フローを示す。圧力・温度の加速試験装置を用いて、温度140°C、相対湿度(RH)85%の過剰な環境ストレスをメモリに意図的に与えた。ペックの提案した半導体の信頼性モデル[7]によると、上記条件で半導体デバイス寿命 L の 10^4 倍の加速試験ができる。 L は、次式に比例する。

$$L \propto RH^n \exp(E_A/kT), \quad (1)$$

E_A, k, T は、それぞれアレニウス活性化エネルギー、ボルツマン定数、温度である。1,000年相当の加速試験は、1ヶ月間の加速試験装置投入で実現できる。

まずはじめに、加速前のプロトタイプで機能動作確認を行った。図8は、CDA(V_P パルス積分器)の積分出力波形のスナップショットである。ビット0と1の読み出し時に100mV近くの ΔV が確保されており、正常なメモリ読み出しが可能であることが確認できた。図9(a)は、メモリアレイでの測定した ΔV 分布を示している。保存ビット0と1で、

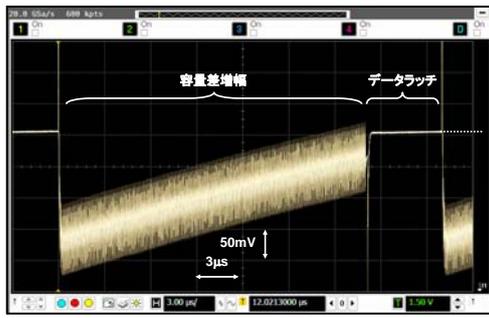


図8 読み出し電圧波形スナップショット(a) Bit 0読み出し時

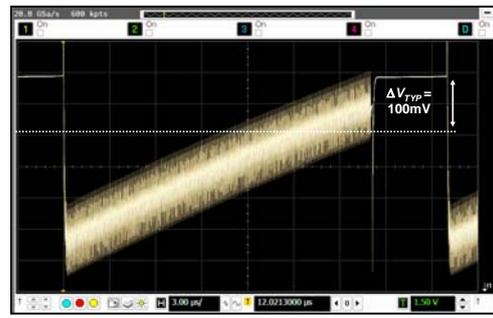


図8 読み出し電圧波形スナップショット(b) Bit 1読み出し時

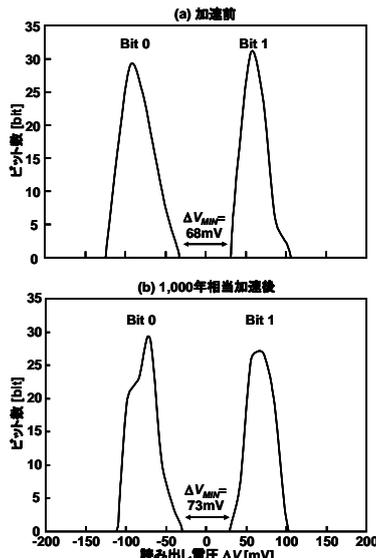


図9 読み出し電圧分布 (a) 加速前 (b) 加速後

明確に分布が分離していることが確認できた。0と1のビット間でのワーストケースの ΔV の差 ΔV_{MIN} は、68mV以上あり、後段のセンスアンプでの安定的なメモリ読み出しが可能である。次に、500年、1,000年相当加速試験後のプロトタイプで ΔV 分布を測定した。両者の ΔV 分布において大きな性能劣化は、観測されなかった(図9(b))。このことから、提案のナノ構造体メモリの基本コンセプト実証できたと考えている。

上記プロトタイプによる実測結果を解析して、電磁界解析ツールのパラメータを最適化し、ナノ構造体金属ビアにより得られる相互容量 C_M の抽出精度を改善し、回路シミュレーションと組み合わせた統合シミュレーション手法を構築した。これを用いて、微細化した28nm CMOSプロセスを用いた場合の恒久保存メモリのスケラビリティのシミュレーション検討を行った。図10に、ワーストケース電圧差 ΔV_{MIN} のビアとBL配線間ギャップ依存性をシミュレーションにより求め、プロットした。ギャップをビア高さの10%以下に制御した加工ができれば、100mV以上の ΔV_{MIN} を確保でき、メモリの安定読み出し動作が可能となることをシミュレーションにより確認した。表Iは、石英ガラスメモリ[3]との性能比較をまとめたものである。微細CMOS技術と提案多層メモリ構造によ

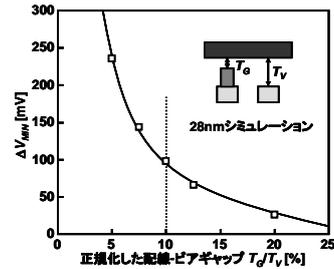


図10 ΔV の最小値の配線-ビアギャップ依存性

表I メモリ性能比較

	[3] R. Imai, et al.	本研究
メモリメディア	石英ガラス中のマイクロドット	シリコンウェハ上のナノ金属ビア
メモリ書き込み	フェムト秒レーザーによる加工	CMOSプロセスに準拠したリソグラフィ
メモリ読み出し	光学的断層撮像法	電子的容量検出
メモリ容量	0.01Tbit/inch ² (100層)	0.4Tbit/inch ² (28nmで6層)

り、40倍の高密度恒久保存メモリ実現の見通しを立てた。

以上の研究成果を論文にまとめて、IEEE主催の半導体デバイスと回路設計の主要な国際会議である European Solid-State Device Conference/European Solid-State Circuits Conference (ESSDERC/ESSCIRC) 2016に投稿した。現在、審査中である。

[1] J. Gantz and D. Reinsel, "The Digital Universe in 2020: Big Data, Bigger Digital Shadows, and Biggest Growth in the Far East," *IDC iView*, pp.1-16, Dec. 2012.
 [2] *Courrier de l'Egypte*, no. 37, pp. 3, 1799.
 [3] R. Imai, et al., "100-Layer Recording in Fused Silica for Semi-Permanent Data Storage," *Japanese Journal of Applied Physics*, no. 54, pp. 09MC02, Aug. 2015.
 [4] Y. Yuan, et al., "Digital Rosetta Stone: A Sealed Permanent Memory with Inductive-Coupling Power and Data Link," *Symp. on VLSI Cir. Dig. Tech. Papers*, pp. 26-27, June 2009.
 [5] Y. Yuan, et al., "Simultaneous 6Gb/s Data and 10mW Power Transmission Using Nested Clover Coils for Non-Contact Memory Card," *Symp. on VLSI Cir. Dig. Tech. Papers*, pp. 199-200, June 2010.
 [6] N. Miura, et al., "A 1mm-Pitch 80x80-

Channel 322Hz-Frame-Rate Touch Sensor with Two-Step Dual-Mode Capacitance Scan," *ISSCC Dig. Tech. Papers*, pp. 216-217, Feb. 2014.

[7] D. S. Peck, "Comprehensive Model for Humidity Testing Correlation," *Proc. of Intl' Rel Phys Symp*, pp.44-49, Apr. 1986.

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 2 件)

- ① Noriyuki Miura, Shiro Dosho, Hiroyuki Tezuka, Takuji Miki, Daisuke Fujimoto, Takuya Kiriya, Makoto Nagata, "A 1mm Pitch 80 x 80 Channel 322 Hz Frame-Rate Multitouch Distribution Sensor With Two-Step Dual-Mode Capacitance Scan," *IEEE Journal of Solid-State Circuits (JSSC)*, 査読有, vol. 50, no. 11, pp. 2741-2749, Nov. 2015.
DOI: 10.1109/JSSC.2015.2480094

- ② 三浦 典之、道正 志郎、藤本 大介、桐山 卓弥、手塚 宏行、三木 拓司、永田 真、"二段階デュアルモード容量スキャン方式を用いた 1mm-Pitch 80x80-Channel 32Hz-Frame-Rate タッチセンサの設計"、電子情報通信学会技術研究報告、査読無、114 巻、120 号、7-13 ページ、2014 年 6 月

[学会発表] (計 2 件)

- ① 桐山 卓弥、三浦 典之、永田 真、"高解像度・高速タッチセンサのノイズ耐性評価とノイズ低減手法の検討"、電子情報通信学会 アナログ RF 研究会、2016.3.1、国民宿舎みやじま杜の宿(広島県)
- ② 三浦 典之、道正 志郎、藤本 大介、桐山 卓弥、手塚 宏行、三木 拓司、永田 真、"二段階デュアルモード容量スキャン方式を用いた 1mm-Pitch 80x80-Channel 32Hz-Frame-Rate タッチセンサの設計"、電子情報通信学会 集積回路研究会、2014.7.3、大社文化プレイスうらら館(島根県)

[産業財産権]

○出願状況 (計 1 件)

名称：記憶媒体、データ符号化方法、及びデータ読出回路

発明者：三浦 典之、永田 真、渡邊 強

権利者：同上

種類：特許

番号：2015-150215

出願年月日：平成 27 年 7 月 30 日

国内外の別：国内

6. 研究組織

(1)研究代表者

三浦 典之 (Miura, Noriyuki)

神戸大学・自然科学系先端融合研究環・
特命助教

研究者番号：70650555