

科学研究費助成事業 研究成果報告書

平成 29 年 5 月 31 日現在

機関番号：32612

研究種目：若手研究(B)

研究期間：2014～2016

課題番号：26870574

研究課題名(和文)多機能金属細線によるナノ電子デバイス温度分布の研究

研究課題名(英文)Analysis of Temperature Distribution in Nanoscale Electron Devices

研究代表者

高橋 綱己(TAKAHASHI, Tsunaki)

慶應義塾大学・理工学部(矢上)・訪問助教

研究者番号：60724838

交付決定額(研究期間全体)：(直接経費) 3,100,000円

研究成果の概要(和文)：ナノスケール半導体電子デバイスにおける、動作時温度分布の測定・解析および温度上昇が性能に与える影響の評価を行った。その結果、熱特性の最適化によって次世代立体構造トランジスタの消費電力を性能を低下させることなく低減できることを示した。また、ナノスケールの電子デバイスでは、従来の熱特性評価手法では温度を正しく見積もれないことをナノワイヤ熱物性の測定から実験的に明らかにした。

研究成果の概要(英文)：In this research, the temperature distributions of operated nanoscale electron devices and the impacts of its temperature increase on device performances were investigated. From electrical and thermal device simulations, a low-power device design strategy for nanoscale 3D transistors was proposed by optimizing thermal characteristics. Furthermore, from experimental evaluations of thermal conductivity of silicon nanowires, it was clarified that conventional thermal evaluation methods might contain some errors in estimations of operation temperatures in nanoscale semiconductor electron devices.

研究分野：電子デバイス

キーワード：ナノ電子デバイス 自己加熱効果 アナログ特性 フォノン輸送 ナノワイヤ SOI MOSFET FinFET

1. 研究開始当初の背景

ナノスケール半導体電子デバイスの熱特性は次世代集積回路の低消費電力化や熱電変換素子の高効率化などの観点から近年大きな注目を集めている。一般に、半導体の熱伝導率はサイズの縮小と共に減少する。シリコンの熱伝導率はサイズが 100 nm 以下では半分以下になるため、ナノスケール素子の熱特性はバルク素子と大きく異なる。低消費電力化と信頼性向上の観点から平均温度と最高温度の両方が重要となるため、ナノ電子デバイスの熱設計には素子内温度分布の解析が必要となる。しかし、ナノ電子デバイス中の熱の発生や温度の分布は未解明な部分が多い。

2. 研究の目的

本研究の目的は、ナノ構造シリコンにおける熱伝導率および発熱過程を調べることで、ナノ電子デバイス内部の温度分布を明らかにすることである。熱伝導率測定はナノワイヤおよびナノフィルム構造について行い、電子デバイス内温度分布については電気・熱特性連成解析も援用して解明に取り組む。

3. 研究の方法

(1) 先端立体構造トランジスタの電気・熱特性連成解析

電気・熱特性連成解析を用いて、先端立体構造トランジスタ (FinFET) におけるアナログ・デジタル回路動作性能に素子のジュール発熱 (自己加熱効果) が与える影響を調べた。

(2) ナノスケールトランジスタ動作温度の実験的評価

4 端子ゲート抵抗法を用いて、ナノスケール薄膜 SOI MOSFET (図 1) およびバルク MOSFET の動作温度を測定した。さらに、電気・熱特性連成解析により素子内温度分布を計算し、実験結果と比較した。

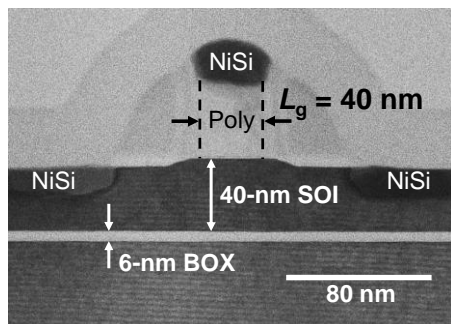


図 1: BOX 膜厚 6 nm の極薄膜 BOX SOI MOSFET の断面透過型電子顕微鏡写真。

(3) シリコンナノワイヤの熱伝導率測定とフォノン輸送解析

ワイヤ構造における 3 ω 法によって、シリコンナノワイヤの熱伝導率を測定した。さまざまなワイヤ長に対して熱伝導率を抽出し、理

論計算との比較を行った。

4. 研究成果

(1) 先端立体構造トランジスタの電気・熱特性連成解析

はじめに、図 2 に示す立体構造トランジスタにおいて熱特性を熱抵抗高熱伝導率 BOX (Al_2O_3) SOI FinFET の温度上昇はバルク FinFET の 20~30%程度に低減できること、 SiO_2 BOX 構造の場合も BOX 膜厚を 50 nm 以下にすることで素子温度をバルク FinFET 以下にできることを確認した。

アナログ特性については、遮断周波数に注目して解析を行った。バルク FinFET で実現できる最も高い遮断周波数と同等の値を、薄膜 SiO_2 BOX および高熱伝導率 BOX SOI FinFET では半分以下の消費電力で実現できることが明らかになった。

デジタル特性については I/O 動作に注目して解析を行った。I/O 動作時の温度上昇とリーク電流の解析から、熱設計を最適化することで性能を犠牲にせずに温度上昇を 1/4 以下に、リーク電流を 1/5 以下にできることが明らかになった。

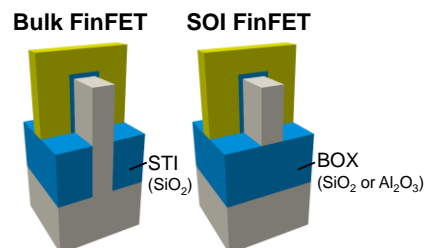


図 2: 立体構造トランジスタ (FinFET)

(2) ナノスケールトランジスタ動作温度の実験的評価

これまでバルク MOSFET の自己加熱効果は無視できると考えられてきた。しかし本研究で正確に動作温度を測定することで、短チャネル領域ではバルク MOSFET においても温度上昇が無視できないことを初めて明らかにした。この温度上昇は、高不純物濃度のウェル領域におけるシリコン熱伝導率の低下に起因すると考えられる。さらに、バルク MOSFET における自己加熱効果の度合い (熱抵抗) は基板全体の温度に強く依存することを見出し、従来の自己加熱効果モデルがバルク MOSFET には適用できないことを示した。

SOI MOSFET においては、BOX 薄膜化による素子温度の低減が、BOX 層がナノスケールに薄膜化されても、なお有効であることを明らかにした (図 3)。6 nm の極薄膜 BOX 素子の動作温度はバルク MOSFET の動作温度に近づき、自己加熱効果の温度依存性を考慮すると、回路動作時の上昇した基板温度においてはその差はさらに小さくなることを明らかにした。

得られた結果に基づき、極薄膜 BOX/SOI (UTBB) 素子では、BOX 下部の不純物濃度が電気・熱特性両面の観点から重要であることを示した。さらに、素子内部温度分布の計算を行い、実験値と近い温度がチャンネル内部においても得られていることを確認した (図 4)。

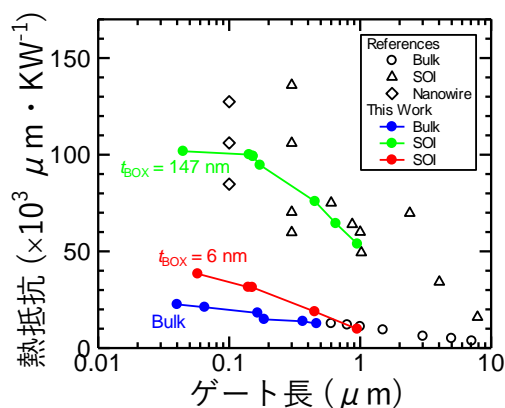


図 3: 本研究で実験的に得た熱抵抗と既報の値の比較。

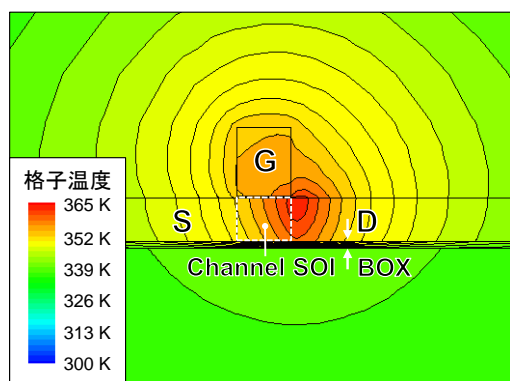


図 4: 薄膜 BOX SOI MOSFET 素子内部温度の計算結果。

(3) シリコンナノワイヤの熱伝導率測定とフォノン輸送解析

近年、ナノスケールの半導体では熱キャリアであるフォノンが散乱されず輸送 (バリスティック輸送) しており、これまで熱輸送解析に一般的に用いられてきたフーリエ則では温度を正しく見積もれないことが見出された。このような状況の下、本研究ではシリコンナノワイヤの熱物性にバリスティック輸送が与える影響を調べた。

熱伝導率のワイヤ長依存性から、ある長さ以下のナノワイヤでは熱伝導率が著しく低下する現象が観測された。理論計算による検討を行ったところ、この熱伝導率の減少量は既報のフォノンのバリスティック輸送モデルからは説明できないことが分かった。これは、電子-フォノン散乱で生成されたフォノンが熱輸送を担う、ナノ電子デバイスで特有の現象であると考えられる。この結果は、ナノ半

導体の熱物性測定に一般的に用いられるサーマルブリッジ法やサーモリフレクタンス法では、自己加熱効果で発熱するナノ電子デバイスの温度を正確に得られないことを示唆する重要な成果である。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 2 件)

1. G. Meng, F. Zhuge, K. Nagashima, A. Nakao, M. Kanai, Y. He, M. Boudot, T. Takahashi, K. Uchida, and T. Yanagida, "Nanoscale thermal management of single SnO₂ nanowire: pico-joule energy consumed molecule sensor," ACS Sensors, 1, pp. 997-1002, 2016. DOI: 10.1021/acssensors.6b00364 査読有
2. T. Takahashi, T. Matsuki, T. Shinada, Y. Inoue, and K. Uchida, "Direct evaluation of self-heating effects in bulk and ultra-thin box SOI MOSFETs using four-terminal gate resistance technique," IEEE J. Electron Device Soc., 4, pp. 365-373, 2016. DOI: 10.1109/JEDS.2016.2568261 査読有

[学会発表] (計 5 件)

1. K. Uchida and T. Takahashi, "Thermal-aware CMOS: Challenges for future technology and design evolution," European Solid-State Device Research Conference (ESSDER), pp. A2L-E-3, Lausanne (Switzerland), 2016/9/13. 査読無 (招待講演)
2. K. Uchida and T. Takahashi, "Thermal-aware device design of nanoscale electronic devices for more moore and more-than-moore applications," The 11th International Nanotechnology Conference on Communication and Cooperation, Fukuoka (Japan), 2015/5/11-2015/5/13. 査読無 (招待講演)
3. 高橋綱己, 内田建, "自己加熱効果の抑制による FinFET 低消費電力化の検討," 第 62 回応用物理学会春季学術講演会, 12p-A29-13, 東海大学(神奈川県・平塚市), 2015/3/12. 査読無
4. 高橋綱己, 内田建, "高熱伝導率 BOX SOI FinFET のアナログおよび I/O 動作特性評価," 第 75 回応用物理学会秋季学術講演会, 19p-A15-11, 北海道大学(北海道・札幌市), 2014/9/9. 査読無
5. T. Takahashi, T. Matsuki, T. Shinada,

Y. Inoue, and K. Uchida,
"Comprehensive investigation of
self-heating effect (she) in
nanoscale planar and fin fets:
Impacts of device parameters on she
and analog performance
optimization," International
Conference on Solid State Devices and
Materials, pp. 834-835, Tsukuba
(Japan), 2014/9/9.
査読無 (招待講演)

[図書] (計 1 件)

1. T. Takahashi and K. Uchida, "Self-heating effects in nanoscale 3D MOSFETs," in Nanoscale silicon devices, CRC Press, pp. 83-103, 2015.

6. 研究組織

(1) 研究代表者

高橋 綱己 (TAKAHASHI, Tsunaki)
慶應義塾大学・理工学部・訪問助教
研究者番号： 60724838

(2) 研究協力者

内田 建 (UCHIDA, Ken)
慶應義塾大学・理工学部・教授
研究者番号： 30446900