

**科学研究費助成事業 研究成果報告書**

平成 29 年 6 月 26 日現在

機関番号：82636

研究種目：若手研究(B)

研究期間：2014～2016

課題番号：26870910

研究課題名(和文)次世代無線通信用の高周波・相補型高電子移動度トランジスタの開発

研究課題名(英文) Research and development of complimentary high electron mobility transistor for next-generation information and communication technology

研究代表者

原 紳介 (Hara, Shinsuke)

国立研究開発法人情報通信研究機構・未来ICT研究所フロンティア創造総合研究室・主任研究員

研究者番号：30434038

交付決定額(研究期間全体)：(直接経費) 3,100,000円

研究成果の概要(和文)：次世代の情報通信技術の基盤構築を目的とし、格子定数6.1 ÅのIII-V族化合物半導体材料を利用した相補型高電子移動度トランジスタの開発研究を行った。格子不整合の結晶成長において発生・伝搬し、特性悪化の要因となる積層欠陥の大幅な抑制を実現した。同一基板上でn-、p-型動作可能なデバイス構造をシミュレーションにより検証し、電子・ホール走行層を含む量子井戸構造の成長条件を確立、選択エッチング技術により電気特性を評価した。TLM法によりオーミック電極材料の検討し、簡易デバイスを作製、トランジスタ静特性評価を行った。今後、コンタクト抵抗・リーク電流低減の課題を解決し、相補型回路の試作を展開する。

研究成果の概要(英文)：Research of complimentary high electron mobility transistor (c-HEMT) composed of III-V compound semiconductors with the lattice parameter of 6.1 angstrom has been performed for next-generation information and communication technology. The significant reduction of the stacking faults that made the device characteristics worsen was achieved. The device structure of c-HEMT was designed by technology CAD. The crystal structure with the quantum wells was grown successfully with no lattice relaxation and less stacking faults, and each electrical characteristics of electron and hole were measured by etching the top epitaxy layers selectively. The metal materials of the ohmic electrode was investigated using the TLM methods, and the static characteristic of the HEMTs were evaluated.

研究分野：ナノ電子デバイス、結晶成長、表面科学、回路設計

キーワード：電子デバイス ヘテロ構造 結晶成長

### 1. 研究開始当初の背景

近年の情報通信技術( ICT )の発展により、ユビキタスネットワーク社会が急速に多様な形で実現しつつある。この更なる発展に向けて、無線技術分野において電磁波利用の進んでいないミリ・テラヘルツ周波数帯領域 ( 30 GHz ~ 3 THz ) の利用が期待されており、容易に無線システムとして利用するための基盤技術の開発が必要となっている。この基盤技術の一環として、超高周波帯域で動作する次世代半導体デバイスの開発が求められている。

高周波デバイスはガリウムヒ素 ( GaAs ) やインジウムガリウムヒ素 ( InGaAs )、インジウムヒ素 ( InAs ) など高いキャリア輸送特性を有するナローバンドギャップの III-V 族化合物半導体をチャネルに利用した HEMT が広く開発・研究されている。HEMT は不純物の少ない半導体ヘテロ接合内で誘起された高移動度の二次元電子ガス ( 2DEG ) をチャネルとした電界効果トランジスタのことで [1]、近年、結晶成長・微細化・プロセス技術の向上と共に高周波特性を表す電流利得遮断周波数  $f_t$  は向上し続けている。現在では InGaAs/InAs/InGaAs チャネル ( 5 nm ) HEMT において  $f_t = 710$  GHz が報告され、1 THz 動作に最も近いデバイスとして期待されている [2]。また他にも、さらに輸送特性の高いアンチモン ( Sb ) 系化合物半導体 ( インジウムアンチモン ( InSb ) など ) の利用も検討されており、第 3 世代としての HEMT として開発研究が進んでいる [3] ( 図 1 )。

上記のように無線通信用高周波デバイスの開発は高周波動作化を主目的として展開してきた。ただ、多様な形で広がる ICT 社会の発展に対応するためには、光通信、デジタル IC などと融合・集積可能な超高周波デバイスの開発が今後重要になると考えられる。

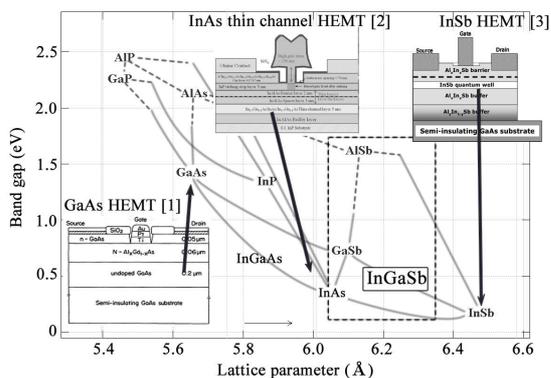


図 1 III-V 族化合物半導体の格子定数とバンドギャップの関係と各 HEMT 構造 ( 破線枠内 : Sb 系 c-HEMT 開発にあたり利用を検討する半導体材料 )

### 2. 研究の目的

本研究課題は、光通信、デジタル回路などと融合・集積可能な無線通信用高周波デバイスの開発を目的とし、n-、p-型動作する相補

型 HEMT ( c-HEMT ) の開発研究を行った。

### 3. 研究の方法

HEMT はナノメートルオーダーの量子井戸 ( Quantum Well: QW ) ヘテロ構造により構成され、変調ドープ層の有無によって変化するバリア層のバンド構造を利用することで選択的に形成する。しかし同一基板上で n-、p-型動作する c-HEMT を実現するためには、両輸送特性の高い材料を走行層として選択しなければならない。このため、本研究では、格子定数 6.1Å の III-V 族化合物半導体材料を利用した ( 図 1 枠線 )、この系の材料には、バンドギャップが広くバリア障壁として利用可能なアルミアンチモン ( AlSb ) やホール輸送特性の高いガリウムアンチモン ( GaSb ) といった Sb 系材料と共に、電子輸送特性の優れたインジウムヒ素 ( InAs ) が含まれる。さらにこの混晶系も利用可能なことから、バンドエンジニアリングにより c-HEMT が実現できると予想された。この開発研究を行うにあたり、以下の研究項目を遂行した。

#### ( 1 ) エピタキシー成長、特性評価

HEMT 構造は、分子線エピタキシー ( MBE ) 法により作製した。エピウェハーは、X 線回折法 ( XRD )、原子間力顕微鏡 ( AFM )、断面透過電子顕微鏡 ( TEM )、ホール効果測定などによる結晶性・電気的特性の評価を行った。この評価結果にもとに、成長構造の最適化と、また研究項目 ( 2 ) のデバイス構造設計の再検討を行った。

#### ( 2 ) デバイス構造の設計、特性予測

デバイス特性は、ヘテロ構造の膜厚や材料組成により大きく影響を受けることから、デバイスシミュレータ Technology CAD ( TCAD ) を活用してデバイス構造の設計と特性の予測を行った。より大きいバンド不連続が得られるバリア・チャネル層 ( 構成材料と組成比 ) の検証、格子不整合による歪印加の影響調査、変調ドープ層導入による影響の調査などを実施した。この構造最適化結果を、項目 ( 1 ) のエピタキシー成長の設計指針とした。

#### ( 3 ) n-、p-型 HEMT 作製プロセス検討

研究項目 ( 1 ) において成長したエピウェハーを利用して、n-、p-型動作する HEMT 作製のプロセスを検討した。フォトレジスト塗布・ベーク、露光・現像、酸化保護膜、電極作製など各プロセス工程における影響を調査し、最適な手法・材料を検討した。c-HEMT は n-、p-型のキャリアの走行層が同一基板上に存在し、制御分離する必要があることから、選択性エッチング技術の検証を行った。試作したデバイスは静的 ( DC ) 特性を評価した。

#### 4. 研究成果

計画を進めるにあたり、電子・ホール走行層を共通化したシングルチャネル構造(図2(a))、電子・ホール走行層を分離したダブルチャネル構造を検討した(図2(b))。この構造では、電子およびホール移動度の高いInGaSbをチャネル材料として、また電子走行層にInAs、ホール走行層にInGaSbをチャネル材料として利用するHEMT構造になる。後述の項目(1)において、本実験条件ではInGaSb層が良好な電子輸送特性を示さないことがわかった。本研究の目的を満たさないことが危惧され、以後、ダブルチャネル構造の検討を進めた。

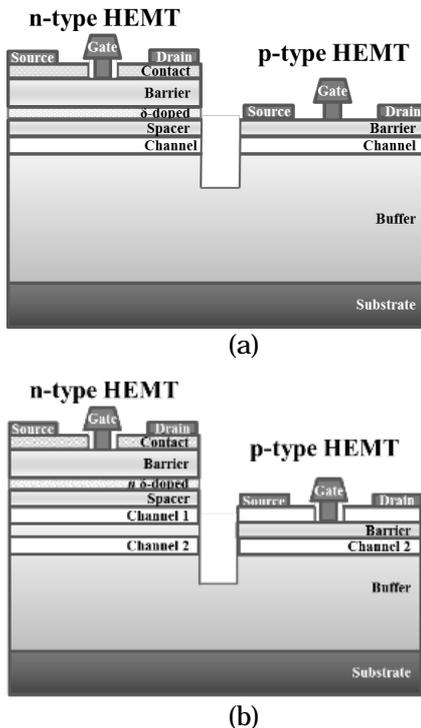


図2 c-HEMTの構造概念図( (a)シングルチャネル構造、(b)ダブルチャネル構造)

##### (1) バッファ層のエピタキシー成長条件の検証

c-HEMT 作製にあたり、ヘテロ構造は格子定数 6.1Å の III-V 族化合物半導体材料を検討した。成長基板は半絶縁性 GaAs 基板を用いることから、成長界面には約 9% の格子不整合が生じる。この不整合により発生する積層欠陥は、成長表面まで伝搬し、輸送特性の悪化やプロセス工程時における不均一エッチングなど影響を及ぼす。このため、初めに格子不整合を緩和するためのバッファ層構造の結晶性評価を行った。

評価対象としたエピ構造を図3に示す。バッファ層は低温 AlSb 層と GaSb 層、AlGaSb 層より構成され[4]、最上層に InAs キャップ層を成長した。成長温度 Tx を 490 ~ 510 °C に変化させ、XRD 及び AFM により AlGaSb 層の結晶性と表面平坦性を評価した。

この結果を図4に記す。XRD 結果からは各条件において違いはほとんど見られなかったが、AFM 結果より Tx = 510 °C において平坦性が最も良くなることが分かった。図5にその AFM 観察像を示す。490 °C では積層欠陥(双晶)に起因する線状の表面欠陥が見られるが、一方 510 °C ではこの欠陥は見られなかった。この原因として、低温 AlSb 層における積層欠陥の発生抑制と共に、AlGaSb 層内での積層欠陥のバンチングによる伝搬抑制が考えられた。この結果より、積層欠陥による影響を最大限抑制する成長条件を確立した。

InAs	10 nm	380 °C
Al <sub>0.8</sub> Ga <sub>0.2</sub> Sb	500 nm	Tx °C
GaSb	250 nm	Tx °C
AlSb	5 nm	Tx °C
SI-GaAs substrate		

図3 バッファ層評価用のエピ構造

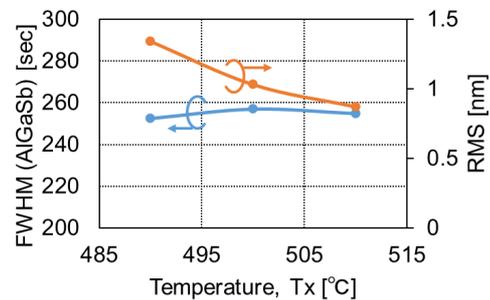


図4 XRD AlGaSb(004)ピークの FWHM と二乗平均平方根高さ (RMS) の成長温度依存性

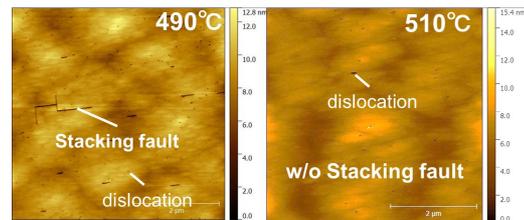


図5 バッファ層構造の AFM 観察像

##### (2) InGaSb ヘテロエピタキシャル薄膜の成長条件検証

InGaSb は電子・ホール輸送特性に優れており、HEMT のチャネル層として利用が期待できた。その成長条件の検証を行った。

図6に検証した InGaSb ヘテロエピタキシャル薄膜を示す。バッファ層は図3の構成と同じ構成であり、In 組成比 0.28 の InGaSb 層を成長温度、III/V フラックス比を変化させて成長した。

図7に370 °C、III/V比20で成長したのAFM観察像を示す。表面には多数の欠陥穴(Void)が観察され、その深さは12 nmほどであった。これはInAsキャップ層とInGaSb層を足し合わせた膜厚に該当しており、この欠陥において、InGaSb層が成長できていないことが示唆された。図8にTEM観察像を示す。Sb系化合物半導体構造は一般的に閃亜鉛鉱結晶構造を形成するはずであるが、この観察像の結果、GaAs基板とその成長界面よりウルツ鉱型結晶が基板から約54°、(111)面に沿って局所的に形成していることが明らかになった。このウルツ鉱型結晶は多数の積層欠陥が接合することで形成され、またこの欠

InAs	3 nm	380
In <sub>0.28</sub> Ga <sub>0.72</sub> Sb	10 nm	Ty
Al <sub>0.8</sub> Ga <sub>0.2</sub> Sb	500 nm	500
GaSb	250 nm	500
AlSb	10 nm	500
SI-GaAs substrate		

図6 InGaSbヘテロエピタキシャル薄膜評価用エピ構造

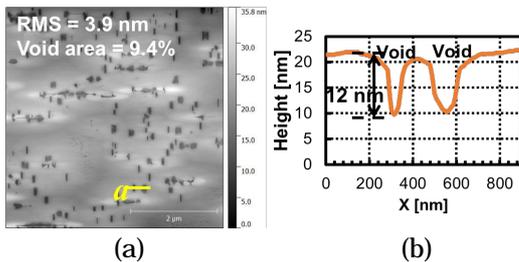


図7 (a)AFM観察像および(b)ラインプロファイル

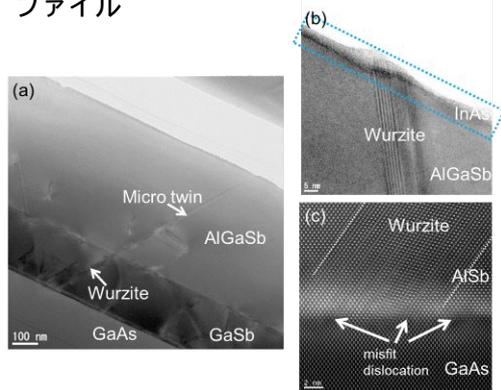


図8 TEM観察結果(a)低倍像、(b) AlSb/GaAs界面、(c)InAs表面

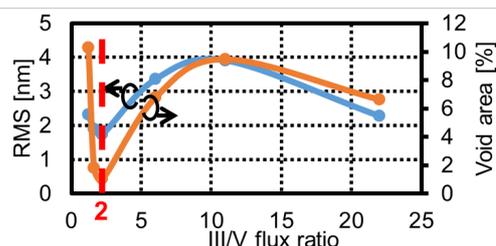


図9 RMSと欠陥穴領域のV/III比依存性

陥が表面まで伝搬し、InGaSb層の成長を抑制、欠陥穴を形成することが分かった。抑制される原因としては、ウルツ鉱欠陥におけるIn、もしくはGa原子の吸着確率が極端に高く、金属液滴が形成され、InGaSb層の成長を抑制してしまうためであると推測された。図9に表面平坦性に関するV/III比依存性を示す。結果、III/V比 $\cong 2$ の条件において、欠陥穴の発生を抑制できることが分かった。

この結果をもとに、InGaSb層の電子輸送特性評価用のQW構造を作製、評価した。しかしホール効果測定の結果、電子移動度は $1000 \text{ cm}^2/\text{Vs}$ ほどしか得られなかった。これは、InGaSb層の結晶性が依然良くないことと、同層内で強い圧縮歪が印可されていることによる輸送特性の劣化が原因と考えられた。このため、先述の電子走行層にInAsを利用するダブルチャンネル構造を検討対象とした。

### (3) デバイス構造の設計、特性予測

前章(2)の結果をもとに、InAsとInGaSbを利用したダブルチャンネル構造のデバイス構造の設計、特性予測を行った。

検討したデバイス構造を図10に示す。AlGaSbバッファ層の上に5 nmのpドープAlSb層を形成し、20 nmのAlGaSb層を挟んでホール走行層のInGaSb層を形成する。10 nmのAlInSb層を挟んで、電子走行層のInAsを形成する。さらに $\delta$ ドープ層(GaSb)を含むAlInSbをスペーサー・バリア層として形成し、n型キャリアを一様ドープしたInAs層をキャップ層として形成する。この構造において、n+InAsキャップ層とAlInSbバリア・スペーサー層を選択的に削ることにことにより、nキャリア部分が取り除かれることになる(図10(b))。

シュレディンガー・ポアソン方程式ソルバーによるバンド構造およびキャリア濃度分布の特性予測の結果、n型デバイス構造ではInAs層に $2.9 \times 10^{12} \text{ cm}^{-2}$ の電子が、p型ではInGaSb層に $2.2 \times 10^{12} \text{ cm}^{-2}$ のホールが溜まることが分かった。この結果より、キャップ層とバリア・スペーサー層を選択的にエッチングすることで、同一基板上でn-、p-型動作するHEMTが実現できると予想された。ただし、n型HEMT構造において、InGaSb層にホールも溜まってしまうことから、バッファリークの影響も懸念された。

さらにTCADによるドリフト-拡散輸送モデルを利用したデバイスシミュレーションを実行した。n-、p-型デバイス共にゲート長 $L_g = 100 \text{ nm}$ 、ソースドレイン間距離 $L_{sd} = 2.5 \mu\text{m}$ のデバイス構造の特性予測を行った。DC特性の予測結果として $I_d$ - $V_d$ 特性を図11に示す。結果、バッファリークはあるものの、デバイスとして動作することが確認できた。またRF特性予測結果より、n型HEMTの電流利得遮断周波数( $f_i$ )と最大発振周波数( $f_{max}$ )は80、110 GHz、p型HEMTで $f_i = 18 \text{ GHz}$ 、 $f_{max} = 45 \text{ GHz}$ が予測された。更なる特

性向上のためバッファリークを低減しつつ、バリア層の薄層化が必要であり、また閾値制御のためは高誘電率 (High-k) ゲート絶縁膜の導入が不可欠であることが示され、今後の課題として残った。

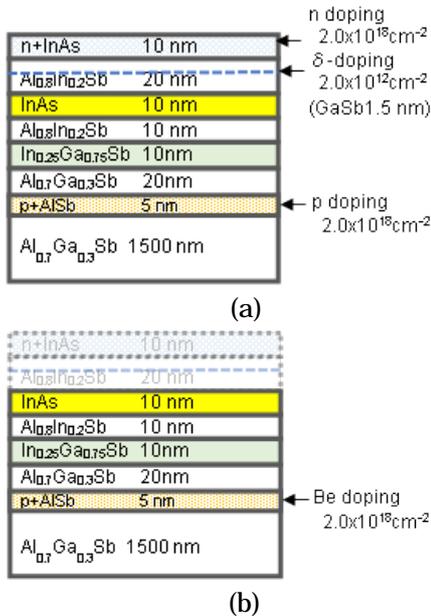


図 10 (a) n-型、(b) p-型 HEMT 用のエピ構造

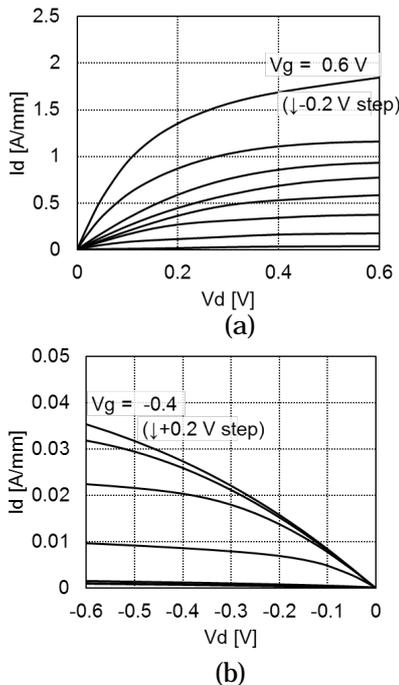


図 11 (a) n-型、(b) p-型 HEMT の Id-Vd 特性予測

#### (4) c-HEMT 構造のエピタキシー成長及び特性評価

先述のデバイス構造の特性予測結果をもとに、InAs と InGaSb をチャネル構造にもつ c-HEMT 構造 (図 10 (a)) のエピタキシー成長を行い、特性を評価した。図 12 に XRD と AFM 観察結果を示す。AlGaSb(004)ピークの FWHM と AFM 観察結果より、良好な結晶

性と平坦性が実現できたことが分かった。また、XRD 逆格子マッピングの結果より、AlGaSb バッファ層より上層のヘテロ構造において、格子緩和せずエピ成長できていることが分かった。図 13 に AlGaSb(111)回折点における極点図測定の結果を示す。積層欠陥が多数存在する試料では、 $\psi=16^\circ$ において積層欠陥起因のスポットが観察されるが[5]、今回成長した試料ではそれに起因するスポットは見られず、AlGaSb{111}由来のスポットしか観察されなかった。この結果は、格子不整合系の Sb 系化合物半導体 HEMT 構造において、積層欠陥を抑制したエピタキシー成長できたことを示唆している。

同試料を用いて、Van der Pauw 法によるホール効果測定により電気特性を評価した。電子・ホール走行層を分離するため、n+InAs、InAs 層はクエン酸過水を用いて選択エッチングした[6]。この結果、InAs 電子走行層と InGaSb ホール走行層において、それぞれ移動度  $\mu=18000$ 、 $476 \text{ cm}^2/\text{Vs}$ 、 $N_s=-2.2 \times 10^{12}$ 、 $+2.0 \times 10^{12} \text{ cm}^{-2}$  が得られた。この結果により、今回の選択エッチングにより、各キャリア走行層を選択的に分離できるが分かった。

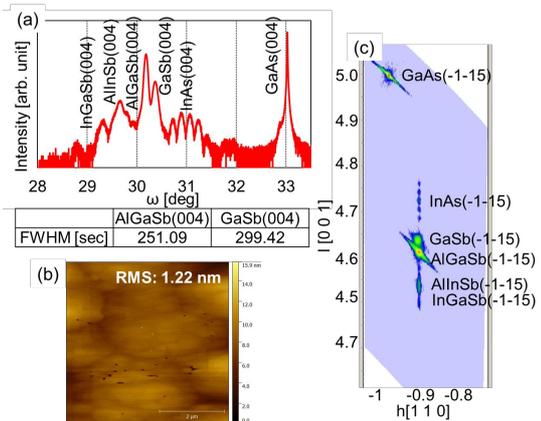


図 12 (a)XRD、(b)AFM 観察結果と(c) (-1-15)回折点の XRD 逆格子マッピング

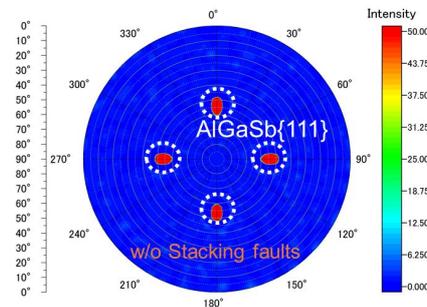


図 13 AlGaSb(111)回折点における極点図測定の結果

#### (5) n-, p-型 HEMT 作製プロセス オーミック電極の検討

n-, p-型 HEMT 作製にあたり、オーミック電極の検証を TLM 法により行った。測定用パターンは素子分離と電極形成用パターンを含むフォトリソグラフィ工程により作製した。n 型は As grown (基板未処理の状態) から (図 10(a))、また p 型はクエン酸過水と MF319 によるバリア層除去したのちに (図 10(b))、パターン形成を行った。素子分離はリン酸過水 ( $H_3PO_4 : H_2O : H_2O_2 = 2 : 50 : 2.5$ ) を用いた。オーミック電極は第一電極材料として、n 型は Ti、Ni、Pd を、また p 型は Ni、Pd を検証対象とし、各金属材料を 20 nm 蒸着後、Pt(20 nm)、Au(100 nm) を蒸着して形成した。

TLM 測定によるコンタクト抵抗のアニール温度依存性と 170 °C アニールの時間依存性を図 14、15 に示す。結果、n 型では Pd/Pt/Au を 170 °C にて 5 min、アニール処理を、p 型では Ni/Pt/Au を 170 °C にて 5 min アニール処理することにより、それぞれ 0.34、17.3  $\Omega mm$  のコンタクト抵抗が得られた。しかしながら p 型は n 型に比べて数十倍高いコンタクト抵抗を保持している。これは、デバイス構造上、電極を undope の InAs 層上に形成しなければならないからである。コンタクト抵抗の低減のため、p 型ドープ層をエピタキシー成長により導入するか、形成プロセス時に p 型キャリアをイオン打ち込みするなど、対策が必要になることが分かった。

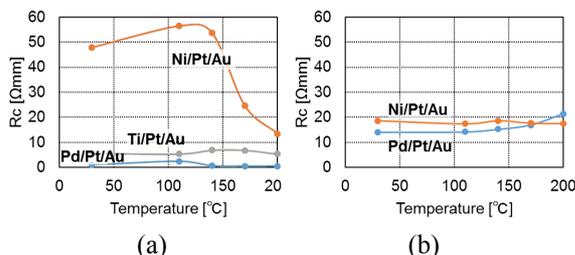


図 14 TLM 測定によるコンタクト抵抗のアニール温度依存性 (a)n-型、(b)p-型電極、アニール時間 1.0 min )

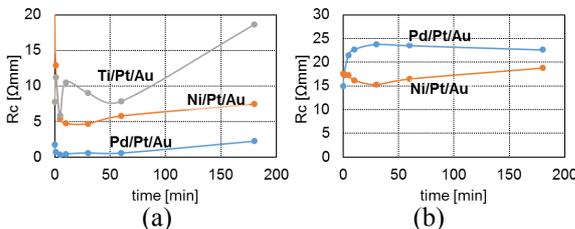


図 15 TLM 測定によるコンタクト抵抗の 170 °C アニール時間の依存性 (a)n-型、(b)p-型電極)

#### (6) n-, p-型 HEMT DC 特性評価

TLM 測定用パターンを利用し、n-, p-型 HEMT の DC 特性評価を行った。TLM 測定で利用した電極間に細線パターンを作成し、パターン内の InAs キャップ層をクエン酸過水で除去後、ショットキーゲート電極として Ti(5 nm)/Pt(5 nm)/Au(100 nm) を蒸着した。

図 16 に  $L_g = 30 \mu m$ 、 $L_{sd} = 50 \mu m$  の n-, p-

型 HEMT の  $I_d$ - $V_d$  測定結果を示す。結果、n-型 HEMT ではバッファリークの影響が特性予測より顕著に表れており、また p-型ではゲートリークが顕著に見られた。今後、各リークの低減可能なデバイス構造とプロセス工程を検証し、RF 特性の評価、n-, p-型を組み合わせた相補型回路試作を展開する。

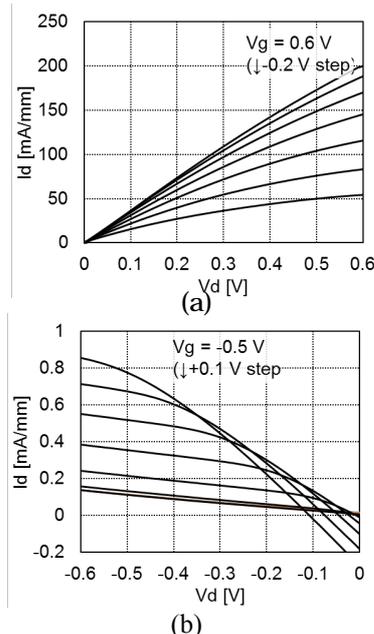


図 16 (a) n-型、(b) p-型 HEMT の  $I_d$ - $V_d$  測定結果 ( $L_g = 30 \mu m$ 、 $L_{sd} = 50 \mu m$ )

#### < 引用文献 >

- [1] T. Mimura, et al., Jpn. J. Appl. Phys. **20** (1981) L317.
- [2] E.-Y. Chang, et al., Appl. Phys. Express **6** (2013) 034001.
- [3] S. Datta, et al., IEEE IEDM Tech. Digest (2005) 763.
- [4] K. Akahane, et al., Jpn. J. Appl. Phys. **44** (2005) L15.
- [5] O. Skibitzki, et al., J. Appl. Phys. **111** (2012) 073515.
- [6] A. R. Clawson, Mater. Sci. Eng. **31** (2001) 1.

#### 5. 主な発表論文等

[学会発表](計 1 件)

原紳介、渡邊一世、竹鶴達哉、辻大介、藤川紗千恵、藤代博記、赤羽浩一、笠松章史、  
“InGaSb ヘテロエピタキシャル薄膜の膜質評価”、2015 年秋季 第 76 回応用物理学会学術講演会、2015 年 9 月 13 日、名古屋国際会議場 (愛知県・名古屋市)

#### 6. 研究組織

(1) 研究代表者

原 紳介 (HARA, Shinsuke)

国立研究開発法人情報通信研究機構・未来 ICT 研究所フロンティア創造総合研究室・主任研究員

研究者番号：30434038