

科学研究費助成事業 研究成果報告書

平成 28 年 6 月 21 日現在

機関番号：14303

研究種目：研究活動スタート支援

研究期間：2014～2015

課題番号：26889037

研究課題名(和文) SOIを用いた電力・遅延オーバーヘッドの少ない耐ソフトエラーフリップフロップの提案

研究課題名(英文) Low Power/delay Radiation-hardened Flip-flop in a FD-SOI process

研究代表者

古田 潤 (furuta, jun)

京都工芸繊維大学・グリーンイノベーションセンター・特任助教

研究者番号：30735767

交付決定額(研究期間全体)：(直接経費) 2,100,000円

研究成果の概要(和文)：65nmのFD-SOIプロセスを用いて設計した非冗長フリップフロップの放射線起因のエラーの測定を中性子を照射する加速試験により行った。提案回路であるSLCCFFは通常のFFよりも耐性が高く、特に0.4Vと低い動作電圧では約30倍のソフトエラー耐性を持つことを確認した。この値は従来の放射線耐性回路であるstacked FFと等しい値である。SLCCFFは動作速度の点で従来回路よりも優れている。

研究成果の概要(英文)：We propose SLCCFF which is a radiation hardened non-redundant flip-flop for an SOI process. The SLCCFF has the stacked structure to prevent soft errors on SOI processes while maintaining smaller delay and power overhead than conventional stacked FFs. Energy delay product of SLCCFF is 86% of the stacked FF. We fabricate test chip in a 65 nm thin BOX FD-SOI process and measured soft error rates of SLCCFF, stacked FF and standard DFF by neutron irradiation and particles. Experimental results show that the SLCCFF is about 27x stronger than the standard DFF at 0.4V power supply in the SOTB process. It is about 1080x stronger compared with the standard DFF in the bulk process.

研究分野：ソフトエラー

キーワード：ソフトエラー 中性子 重イオン フリップフロップ FD-SOI

1. 研究開始当初の背景

LSI 製造技術の進歩により、LSI に集積されるトランジスタ数は指数関数的に増加し、1 チップあたりのソフトエラー率は増加している [1]。トランジスタの微細化により放射線の影響範囲が相対的に拡大し、複数のトランジスタが同時に放射線の影響を受けるようになってきている。多ビットエラーの発生率が上昇し、単純な多重化回路ではソフトエラー耐性を向上することが困難となった。

2. 研究の目的

本研究では SOI プロセスの特性を利用して、放射線起因ソフトエラーに耐性の高いフリップフロップ構造を提案することを目的に研究を行う。SOI プロセスのトランジスタでは、放射線によって生じ、トランジスタの出力に収集される電荷量が少なくなる特性を持つ。その特性をデバイスシミュレーションを用いて精査し、特性を考慮したソフトエラー耐性の高い構造を検討する。加速試験やシミュレーション結果により、消費電力や遅延時間の増加を数%に抑えつつ、10 倍以上のソフトエラー耐性を達成するフリップフロップの構造を示す。

3. 研究の方法

本研究では以下の3つを行い、研究目的を達成する。

1. SOI トランジスタに収集される電荷量と LET の関係をデバイスシミュレーションにより評価する。同時にボディ部分の電位変動により生じる寄生バイポーラ効果の影響を評価し、バイポーラ効果を低減する手法/構造を検討する。
2. FF でソフトエラーが生じるのに必要な電荷量 Q_{crit} を回路シミュレーションを用いて評価する。 Q_{crit} を増加させる回路構造を検討し、ソフトエラー耐性の高い FF を提案する。
3. SOI プロセスを用いて提案する FF を設計し、ソフトエラー耐性が高いことを加速試験により確認する。比較対象として、バルクプロセスで設計した場合や、速度/消費電力重視で設計した FF の測定も行う。

4. 研究成果

(1)耐ソフトエラー耐性回路の提案

従来回路であるスタック構造のフリップフロップ(stacked FF)[1]を改良した SLCC FF を提案した(図 1)。Stacked FF はスタック構造と呼ばれる電荷収集を低減する構造を用いることでソフトエラー耐性を高めている。一方でスタック構造では入力容量の増加や出力電流の低下により動作速度の悪化が顕著であった。提案回路ではスタック構造の接続方法を変え、内部のノードをトランスミッションゲートに接続することで耐性を高く保ったまま、動作速度を向上させる構造とした(表 1)。

表 1. 回路性能の比較

	エネルギー	遅延	面積
FF	1.00	1.00	1.00
Stacked FF	2.13	2.00	1.12
SLCCFF	1.89	1.67	1.24

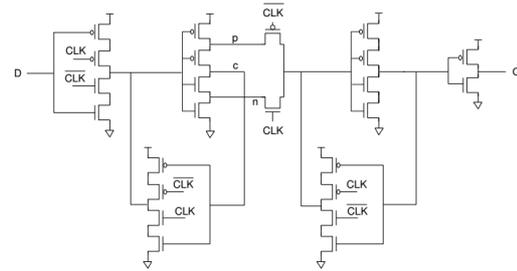


図 1. 提案する FF の構造

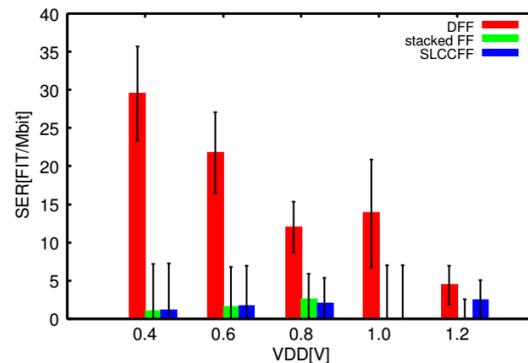


図 2. 中性子による評価結果

中性子による加速試験を行い、FF のソフトエラー耐性を評価した結果の 1 つを図 2 に示す。ソフトエラー耐性を持たない通常の FF では転圧が下がるほどエラー率が増加する。一方で提案回路は耐性が一定で、0.4V の場合では FF の約 30 倍の耐性を持つことを確認した。

(2) 重イオンによる多重化回路の評価

多重化回路を複数設計したチップに重イオンを用いた加速試験を行った(図 3)。設計した多重化回路である BCDMRFF と通常の FF である TGFF のエラー率比較結果を図 4 に示す。

バルクプロセスでは多重化回路でもエラーが発生しており、TGFF と比較して約 1/10 のエラー率 (cross section) である。一方で FD-SOI プロセスでは多重化回路である BCDMRFF でエラーなしとなった。粒子の LET が中性子よりも高い重イオンでは多重化回路にするよりも FD-SOI プロセスにした方がソフトエラーが低減できる結果となった。これは多ビットエラーによって多重化回路がエラーとなっているからと推測される

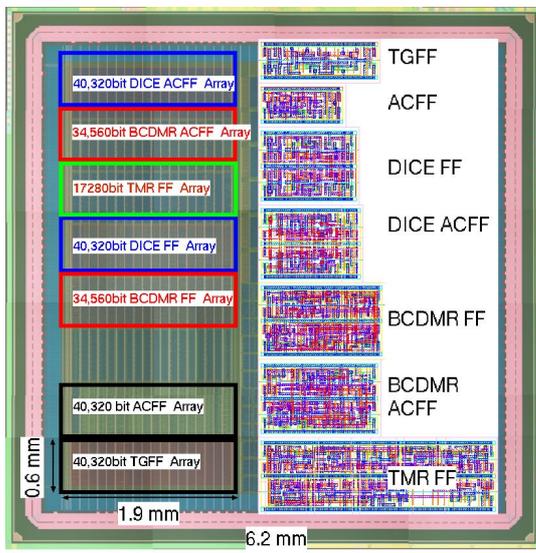


図3 設計したチップ

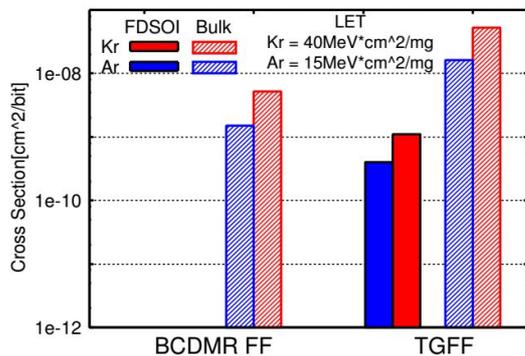


図4 重イオンによる評価結果

<引用文献>

[1] A. Makihara, M. Midorikawa, T. Yamaguchi, Y. Iide, T. Yokose, Y. Tsuchiya, T. Arimitsu, H. Asai, H. Shindou, S. Kuboyama, and S. Matsuda, "Hardness-by-design approach for 0.15 μm fully depleted CMOS/SOI digital logic devices with enhanced SEU/SET immunity," *IEEE Trans. Nucl. Sci.*, vol. 52, no. 6, pp. 2524 – 2530, Dec. 2005.

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計 1件)

Jun Furuta, Junki Yamaguchi, Kazutoshi Kobayashi, "A Radiation-Hardened Non-redundant Flip-Flop, Stacked Leveling Critical Charge Flip-Flop in a 65 nm Thin BOX FD-SOI Process", *IEEE Transactions on Nuclear Science*, 査読有, 採録決定済

[学会発表](計 7件)

1) Masashi Hifumi, Eiji Sonezaki, Jun Furuta, and Kazutoshi Kobayashi,

"Radiation Hardness Evaluations of FFs on 28nm and 65nm Thin BOX FD-SOI Processes by Heavy-Ion Irradiation", *International Workshop on Radiation Effects on Semiconductor Devices for Space Applications*, pp. 93-96, 2015/11

2) Junki Yamaguchi, Jun Furuta, and Kazutoshi Kobayashi, "A Radiation-Hardened Non-redundant Flip-Flop, Stacked Leveling Critical Charge Flip-Flop in a 65 nm Thin BOX FD-SOI Process", *The conference on Radiation and its Effects on Components and Systems*, 2015/09

3) 「28 nm UTBB FD-SOI プロセスにおけるデバイスシミュレーションによるソフトエラー耐性の評価」, 梅原成宏, 張魁元, 一二三潤, 古田潤, 小林和淑, DA シンポジウム, pp. 41-46, 2015

4) 「28 nm UTBB FD-SOI プロセスにおける線照射による低電圧動作時の FF のソフトエラー耐性評価」, 一二三潤, 曾根崎詠二, 山口潤己, 古田潤, 小林和淑, DA シンポジウム, pp. 47-52, 2015

5) 「65nm 薄膜 FD-SOI とバルクプロセスにおけるアンテナダイオード起因ソフトエラーの実測と評価」, 曾根崎詠二, 古田潤, 小林和淑, DA シンポジウム, pp. 59-64, 2015

6) 「PHITS-TCAD シミュレーションによる完全空乏型 SOI プロセスにおける BOX 層の厚さと基板バイアスによるソフトエラー耐性の評価」, 張魁元, 神田翔平, 山口潤己, 古田潤, 小林和淑, DA シンポジウム, pp. 35-40, 2015

7) 「65nmFD-SOI プロセスにおける非冗長化耐ソフトエラーフリップフロップのエラー耐性評価」, 山口潤己, 古田潤, 小林和淑, DA シンポジウム, pp. 53-58, 2015

[図書](計 0件)

[産業財産権]

○出願状況(計 1件)

名称: 入出力回路、及びフリップフロップ回路

発明者: 小林和淑, 古田潤, 山口潤己

権利者: 小林和淑, 古田潤, 山口潤己

種類: 特許

番号: 2-15-160642

出願年月日: 2015年8月17日

国内外の別: 国内

○取得状況(計 0件)

名称：
発明者：
権利者：
種類：
番号：
取得年月日：
国内外の別：

〔その他〕
ホームページ等

6. 研究組織

(1) 研究代表者

古田 潤 (FURUTA, Jun)
京都工芸繊維大学グリーンイノベーション
センター・特任助教
研究者番号：30735767

(2) 研究分担者

()

研究者番号：

(3) 連携研究者

()

研究者番号：