

科学研究費助成事業 研究成果報告書

平成 27 年 6 月 12 日現在

機関番号：12601

研究種目：新学術領域研究（研究領域提案型）

研究期間：2010～2014

課題番号：22104002

研究課題名（和文）超高速・超低消費電力物質科学シミュレーション方式の研究開発

研究課題名（英文）Research and development on very high-speed and low power simulation systems for material science

研究代表者

稲葉 真理 (Inaba, Mary)

東京大学・情報理工学（系）研究科・准教授

研究者番号：60282711

交付決定額（研究期間全体）：（直接経費） 32,500,000 円

研究成果の概要（和文）：本プロジェクトでは、演算アクセラレータ、ネットワークアクセラレータおよびメモリアクセラレータ機能を備えるプロセッサシステムを FPGA (field programmable gate array) を用いて実現、材料科学などのための超低消費電力超高速シミュレーションを実現した。別な側面の重要な貢献として、東京大学大学院情報理工学系研究科コンピュータ科学専攻と理学系研究科物理学専攻にまたがる大学院生教育プロジェクト「計算科学教育コース」が2014年秋学期より開始された。この教育コースこそ、まさに「新しい領域」上の初めの一步であり、これからも大切に育てていきたい本プロジェクトの成果と言える。

研究成果の概要（英文）：We performed studies on High-speed ultra-low-power simulation methodology. The main goal is to establish technologies for high-speed computation, high-speed network and high-speed memory systems to accelerate simulations in material science area. Our focus is the use of FPGA (field programmable gate array). We constructed two computation accelerator, two network accelerator and several other FPGA board to perform network and memory emulation. As results of these studies, we have established basic architecture for the FPGA based platform for simulation in wide application area including material science. Another important contribution is establishing a new educational unit, "Computing Science Educational Course" as a joint activity between the department of computer science, graduate school of information science and technology and the department of physics, graduate school of science at the University of Tokyo. This educational course is a result of collaboration in this project.

研究分野：ネットワーク

キーワード：ネットワーク アーキテクチャ アクセラレータ メモリシステム 自動チューニング

1. 研究開始当初の背景

本研究は、将来の超高速・超低消費電力シミュレーションプラットフォームを目標とした基盤的要素技術の開発を実現し、計算流体力学、有限要素法など、すでに確立した分野と比較して著しく困難である、物質科学における第一原理に基づいたシミュレーションの高速化、大規模化を実現することを大局的研究目的とする。これらの困難の最大原因は、物質科学シミュレーションが FFT、密行列計算、疎行列計算、多体相互作用計算など多くの計算要素を複雑に組み合わせて実現していることにある。この性質から、従来用いられてきたベクトル演算器や SIMD アクセラレータでは計算の加速が困難であった。将来の Exa Flops, Zetta Flops スケールの物質科学シミュレーションを実現することを目的として、汎用性を保ったまま、Intel 等の汎用プロセッサ・クラスタを用いたシミュレーションより 2 桁以上の演算速度当たりの消費電力、設置面積とコストの削減の実現を具体的目標とする。

2. 研究の目的

「超高速・超低消費電力物質科学シミュレーション方式の研究開発」では、計算流体力学、有限要素法など、すでに確立した分野と比較して著しく困難である、物質科学における第一原理に基づいたシミュレーションの高速化、大規模化を実現することを大局的研究目的とする。これらの困難の最大原因は、物質科学シミュレーションが FFT、密行列計算、疎行列計算、多体相互作用計算など多くの計算要素を複雑に組み合わせて実現していることにある。この性質から、従来用いられてきたベクトル演算器や SIMD アクセラレータでは計算全体の加速が困難であった。将来の Exa Flops, Zetta Flops スケールの物質科学シミュレーションを実現するために、汎用性を保ったまま Intel 等の汎用プロセッサ・クラスタを用いたシミュレーションより 2 桁以上の演算速度当たりの消費電力、設置面積とコストの削減することを具体的目標とする。本研究項目では、上記目標を、物理レベルから直接的にハードウェアに写像し、オーバーヘッドを極限まで低下させた計算機構を求め、それを実現するためのソフトウェア層を構築することを目的とする。

3. 研究の方法

研究対象とするハードウェアは、計算の全側面である演算、ネットワーク通信およびメモリ操作を加速するための演算アクセラレータ、ネットワークアクセラレータおよびメモリアクセラレータを備えたプロセッサシステムであり、物質科学シミュレーションを直接 3 種のアクセラレータ上にマップすることにより、超低消費電力性と超高速シミュレーションを実現する。

将来の物質科学シミュレーションシステムでは、これら 3 種のアクセラレータをハードウェアで構築することを前提として、3 種のアクセラレータのブレッドボードと、アクセラレータを活用し高効率でシミュレーションを実現するためのソフトウェアを研究期間中に開発する。

具体的には、FPGA を用いて 3 種のアクセラレータのブレッドボードモデルを作成する。作成する FPGA ブレッドボードを対象として、物理モデルとハードウェアが直結する新しいシミュレーション実現方式を追求する。提案する方式では、物理⇒モデル化⇒数値アルゴリズム⇒演算・通信・メモリハードウェアを直結し、必要な回路だけを選択的に使用する技術を開発するために、(1) 最適化コンパイラ、(2) 最適化ハードウェアコンパイラ、(3) 実行時最適化・回路選択ソフトウェアおよび (4) 大規模 FPGA を用いた演算・ネットワーク・メモリアクセラレータの研究開発を実施する。

4. 研究成果

(1) 超低消費電力シミュレーションを実現するためのベースとなるアーキテクチャ技術と消費電力の関係性をすべて実測により求めた。将来の超高性能スーパーコンピュータのアーキテクチャの候補として、(1) 高性能汎用プロセッサ (例えば Intel 社製 x86 プロセッサ) のマルチコア化、(2) 低消費電力汎用プロセッサ (例えば ARM, Intel ATOM) のマルチコア化、および (3) 数値計算用アクセラレータ (GRAPE-DR や GPGPU のようなもの) の併用による応用指向プロセッサが想定される。しかしながら、どのアーキテクチャが最適であるかについては、現時点における性能のみから議論されることが多い。本研究細目では、過去から現在までの多数のプロセッサを同一の標準的ベンチマークプロ

グラムを利用し、プログラム実行中の電力を実際に計測することにより、様々な設計のアーキテクチャの性能向上、省電力性能向上の絶対値と、時間経過による性能向上トレンドを求めた。下図は、測定結果の一部を示す。約 100 システムについて、Dhrystone ベンチマークを実行し、その時の消費電力をシステム全体電力として計測した。図 1、図 2 は Dhrystone MIPS 値 (VAX 11/780 を 1 とする)、および 1W あたりの Dhrystone MIPS 値を示している。この図から、コアあたりの性能向上は飽和することなく現時点では続いていること、省電力性能も飽和することなく上昇していること、最も省電力性の高いプロセッサは、組み込み用の低電力プロセッサではなく、コアあたりの演算性能が最も高いプロセッサ (たとえば Core i であることが明確に示されている。[1]) なお、発表文献において示しているように、Dhrystone 値と標準的なベンチマークである SPEC CPUint2006 の間には非常に高い相関性があり、より実行が容易な Dhrystone ベンチマークの整数性能を測定することで、高信頼の性能トレンドを示すことが出来ることがわかった。

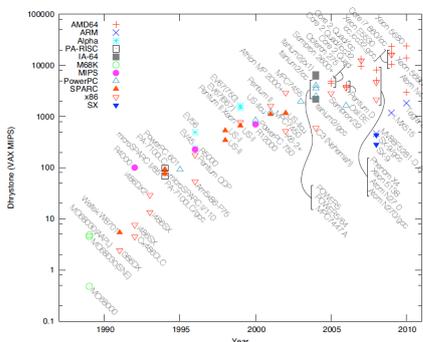


Fig. 1 Dhrystone benchmark

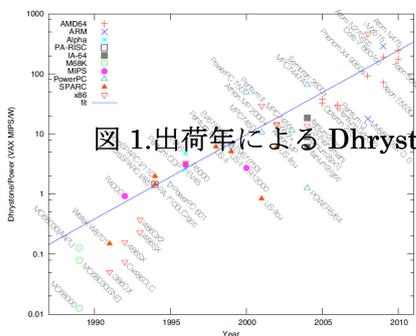
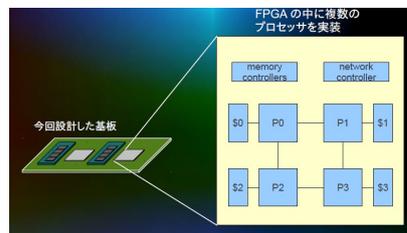


Fig. 3 Dhrystone/power; Dhrystone performance divided by the power consumption in running state. Not all systems in Fig. 1 is on this figure.

(2) 将来の Exa Flops, Zetta Flops スケールの物質科学シミュレーションを実現するための基礎技術として、汎用性を保ったまま Intel

等の汎用プロセッサ・クラスタを用いたシミュレーションより 2 桁以上の演算速度当たりの消費電力、設置面積とコストの削減すること、高生産性言語を数値シミュレーションで実用に耐えるレベルまで高速化することを目標とした FPGA ベース演算アクセラレータの研究開発を実施し、複数の FPGA ベース演算アクセラレータを直接 SATA 規格リンクにより結合するプロトタイプシステムを構築した。

研究開発においては、複数のプロセッサコアを FPGA 内に実現し、それを SATA バスを利用する様々なトポロジーの相互結合網で結合することにより超低消費電力シミュレーションを実現するためのベースとなるアーキテクチャの評価を行った。評価の結果、マルチチップ FPGA によるアクセラレータ構築に用いる相互結合網は、通常用いられるメッシュ結合、リング結合、トーラス結合よりも、大域のデータ通信が効率的であるシャッフルエクステンジ網を用いるほうが効率的であることがしめされた。



(3) 従来、プログラムを書きやすいが実行速度が非常に遅いため数値シミュレーションでは用いられなかった高生産言語、Ruby の高速化を目的として静的データフロー析に基づく Ruby の最適化の研究開発を実施した。

開発した Ruby 最適化 Static コンパイラでは、

- ・クラス再定義・メソッド再定義等に対する投機的な検査命令の挿入
- ・データフロー解析で変数・メソッド定義使用グラフ(VDUG,MDUG)構築
- ・副作用の伝播を考慮した抽象解釈アルゴリズム
- ・型解析によるメソッドの静的バインディング

グ・インライン化

・整数範囲解析による多倍長⇔固定長変換コスト除去

・生存解析によるメモリアロケーション除去

・反復的な部分実行アルゴリズム

・クラス定義・メソッド定義のアップデート⇔解析・部分実行

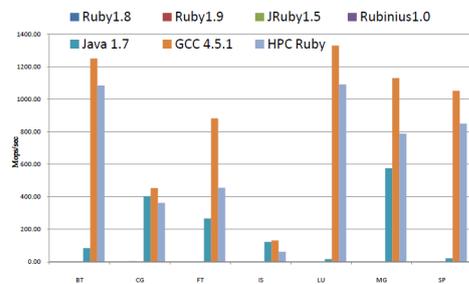
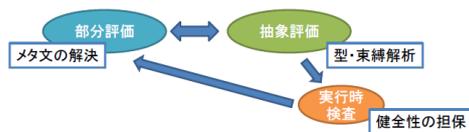
・クラス・メソッドの再定義に対応し、Rails等を静的に解析可能化

・部分実行不可能命令により発生する副作用を解析・分類

・不要な投機的検査の除去

を組み込み、著しい高速化を実現した。

図3にNAS Parallel Benchmarks 3.0を用いた評価結果を示す。評価結果においては、HPC RubyはC言語の平均80%の性能を得ることができ、Java言語と比較すると、より高速性があることが判った。今後、動的なシミュレーションプログラムにおいて、Rubyにより記述することの優位性を示していきたい。



<引用文献>

[1] H. Tomari, K. Hiraki : Preservation of Historical Computer Systems : Computer Zoo、Information Processing, 55(2), 168-175, 2014

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 5 件)

[1] V. Suppakitpaisarn, M. Edahiro, and H. Imai, “Optimal Elliptic Curve Scalar Multiplication Using Double-Base Chains”, International

Journal of Digital Information and Wireless Communications (IJDIWC), Vol. 2, pp115-134(2012).

[2] 笹田耕一, ト部昌平, 松本行弘, 平木敬, 「Ruby 用マルチ仮想マシンによる並列処理の実現」, 情報処理学会論文誌 (PRO), vol.5, no.2, pp.25-42, Mar. 2012

[3] Y. Ishii, M. Inaba, K. Hiraki, “Access Map Pattern Matching for High Performance Data Cache Prefetch”, The Journal of Instruction Level Parallelism, Vol.13, (ISSN 1942-9525), pp.1-24, (2011)

[4] H. Tomari, K. Hiraki, “Retrospective Study of Performance and Power Consumption of Computer Systems”, 情報処理学会論文誌コンピュータシステム(ACS), vol.4, no.4, pp.1-11, Oct. 2011

[5] 須田礼仁, “自動チューニングのための数理基盤技術”, 応用数理, Vol.20, No.3, pp.5-14, Sep. 2010.

[学会発表] (計 27 件, 国際会議査読あり 52 件のうち)

[1] Hongzhi, Chen, R. Suda, "A Noise-Reducing Collective Communication Algorithms", 2015 Conference on Advanced Topics and Auto Tuning in High-Performance Scientific Computing (ATAT HPSC 2015), National Taiwan University, Feb. 27-28 (27), (2015).

[2] H. Hiraishi and Hiroshi Imai, “BDD Operations for Quantum Graph States”. Lecture Notes in Computer Science, Vol.8507, pp.216-229, Springer (2014)

[3] H. Hiraishi, Hiroshi Imai, Y. Iwata and B. Lin, “BDD Representations for Quantum Graph State and Ising Model”, Asian Quantum Information Science Conference 2014 (AQIS 2014), Kyoto, (2014)

[4] J. Baffier, V. Suppakitpaisarn, H. Hiraishi, and Hiroshi Imai, “Parametric Multiroute Flow and its Application to Robust Network with k

Edge Failures”, 3rd ISCO, Lecture Notes in Computer Science Vol.8596, pp.26-37, Springer (2014)

[5] V. Suppakitpaisarn and Hiroshi Imai, “Worst Case Computation Time for Minimal Joint Hamming Weight Numeral System”. Proceedings of the for 2014 International Symposium on Information Theory and Its Applications (ISITA 2014), pp.138-142, Melbourne, Australia, (2014)

[6] T. Akiba, T. Ikuta, Hiroshi Imai, “Reduction techniques for Prize Collecting Steiner Tree”, The Japanese-Swiss Workshop on Combinatorics and Computational Geometry, 東京大学 (2014)

[7] T. Sonobe, S. Kondoh and M. Inaba, “Community Branching for Parallel Portfolio SAT Solvers”. The International Conferences on Theory and Applications of Satisfiability Testing (SAT2014) pp. 188-196 (2014)

[8] R. Odaira, Jose G. Castanos, and H. Tomari, “Eliminating global interpreter locks in ruby through hardware transactional memory”, In Proceedings of the 19th ACM SIGPLAN symposium on Principles and practice of parallel programming (PPoPP '14), pp 131-142, DOI=10.1145/2555243.2555247, (2013).

[9] R. Suda, “Toward Tunable Multi-Scheme Parallelization”, SIAM Computational Science and Engineering(2013).

[10] V. S Nittoor and R. Suda, “Search for Optimal Graphs”, Poster Presentation at Extremal Combinatorics Conference at Illinois(2013).

[11] N. Fu, A. Hashikura, and Hiroshi Imai, “Proximity and Motion Planning on 1-Rigid Planar Periodic Graphs”, Transactions on Computational Science, (LNCS Vol.8110), pp.72–91, (2013).

[12] R. Suda, L. Cheng, T. Katagiri, “A Mathematical Method for Online Autotuning of Power and Energy Consumption with Corrected

Temperature Effects”, Procedia Computer Science, Vol 18, pp 1302-1311, ISSN 1877-0509, (2013).

[13] K. Hiraki, M. Inaba, A. Kato, “Efficient utilization of 40/100 Gbps long-distance network by a single TCP stream”, TERENA NETWORKING CONFERENCE (TNC2013), (2013).

[14] N. Fu, A. Hashikura, H. Imai, “Proximity and Motion Planning on 1-Rigid Planar Periodic Graphs”, Transactions on Computational Science, LNCS Vol.8110, pp.72–91, (2013).

[15] R. Suda, Luo Cheng, T. Katagiri, “A Mathematical Method for Online Autotuning of Power and Energy Consumption with Corrected Temperature Effects”, Procedia Computer Science, Volume 18, pp 1302-1311, ISSN 1877-0509, (2013).

[16] Y. Ishii, M. Inaba, K. Hiraki, “Unified Memory Optimizing Architecture: Memory Subsystem Control with a Unified Predictor”, 26th International Conference on Supercomputing (ICS2012), to appear, Venice, Italy, Jun.25-29, (2012)

[17] Y. Ishii, K. Hosokawa, M. Inaba, and Kei Hiraki, “High Performance Memory Access Scheduling using Compute-Phase Prediction and Writeback-Refresh Overlap”. 3rd JILP Workshop on Computer Architecture Competitions (JWAC-3): Memory Scheduling Championship (MSC)(2012).

[18] T. Sonobe, M. Inaba, “Counter Implication Restart for Parallel SAT Solvers”, Learning and Intelligent Optimization Conference (LION6), Paris, France, Jun.16-20, (2012)

[19] T. Motoya and R. Suda, “Conjugate Gradient Methods Relieved for Inner Product Communication Latencies”, International workshop on HPC, Krylov Subspace method and its applications(2012).

- [20] T. Satoh, F. Le Gall, Hiroshi Imai, “Quantum network coding for quantum repeaters”, The 7th Conference on Theory of Quantum Computation, Communication, and Cryptography, pp84 (poster no.20)(2012).
- [21] N. Fu, A. Hashikura and Hiroshi Imai, “Geometrical treatment of periodic graphs with coordinate system using axis-fiber and an application to a motion planning”, The 9th International Symposium on Voronoi Diagrams in Science and Engineering (2012).
- [22] H. Imai, and V. Suppakitpaisarn, “Evaluating Optimized Computation in Double-Base Chain for Efficient Elliptic Curve Cryptography”, C.Chuengsatiansup, 15th Japan-Korea Joint Workshop on Algorithms and Computation(2012).
- [23] T. Satoh, F. Le Gall, and Hiroshi Imai, “Quantum network coding for quantum repeaters”, Phys. Rev. A 86, 032331 (2012)
- [24] J. Fukawa, F. Le Gall, and Hiroshi Imai, “Quantum Coloring Games via Symmetric SAT Games”, Proceedings of the 11th Asian Quantum Information Science Conference, pp43-44(2012).
- [25] N. Fu, Y. Hirakuri, Hiroshi Imai, and A. Motoyama, “Quantum states associated with 2D periodic graph”, Asian Quantum Information Science Conference, Paper ID: 99 (2012).
- [26] V. Suppakitpaisarn, M. Edahiro, and Hiroshi Imai, “Fastest Multi-Scalar Multiplication Based on Optimal Double-Base Chains”, World Congress on Internet Security (WorldCIS-2012) (2012).
- [27] V. Suppakitpaisarn, M. Edahiro, and Hiroshi Imai, “Fast Elliptic Curve Cryptography Using Optimal Double-Base Chains”, the International Conference on Informatics & Application (ICIA2012), 227, pp190-204, (2012).

国内（査読あり）（計 11 件）
口頭発表（査読無し）（計 47 件）

〔図書〕（計 1 件）

[1] "Software Automatic Tuning: Concepts and State-of-the-Art Results", Springer, Editors: Ken Naono, Keita Teranishi, John Cavazos and Reiji Suda, (2010)

6. 研究組織

(1)研究代表者

稲葉 真理 (INABA, Mari)

東京大学・大学院情報理工学系研究科・准教授

研究者番号：60282711

(2)研究分担者

今井 浩 (IMAI, Hiroshi)

東京大学・大学院情報理工学系研究科・教授
研究者番号：80183010

須田 礼仁 (SUDA, Reiji)

東京大学・大学院情報理工学系研究科・教授
研究者番号：40251392

(3)連携研究者

()

研究者番号：