

平成 30 年 5 月 16 日現在

機関番号：11301

研究種目：基盤研究(A) (一般)

研究期間：2015～2017

課題番号：15H02307

研究課題名(和文) ダイナミック・ナノリフロー法によるLSI超微細配線の形成と機構解明

研究課題名(英文) Formation behavior and mechanism of advanced LSI interconnections by dynamic nano-reflow method

研究代表者

小池 淳一 (Koike, Junichi)

東北大学・未来科学技術共同研究センター・教授

研究者番号：10261588

交付決定額(研究期間全体)：(直接経費) 34,700,000円

研究成果の概要(和文)：LSIデバイスは微細化することによって高性能化を実現してきたが、多層配線が細くなり過ぎて形成できないという課題があった。本研究では、高温で銅合金をスパッタ成膜するダイナミックナノリフロー法によって幅が15nmの超微細配線(M2配線とビア)を形成する条件を見出した。この方法によれば成膜中に合金元素が絶縁層界面に偏析して蒸着物の濡れ性を向上する。また、配線形成の可否を決める因子は、配線形成初期の表面曲率勾配と加熱・冷却中の熱応力勾配であり、それぞれの因子による駆動力を定量的に評価したところ同等の効果であることが明らかになった。得られた知見をもとにリフロー挙動をシミュレーションすることができた。

研究成果の概要(英文)：Performance of LSI devices has been continuously improved by shrinking device components. Recent devices encounter a problem of forming very narrow multilayer interconnections. In this project, we found the conditions to form 15 nm wide interconnections (M2 lines and vias) by a dynamic nano-reflow method of depositing Cu alloy at elevated temperatures. With this method, an alloying element was segregated at Cu/insulator interface and enhanced the wettability of the deposited metals. We also found that controlling parameters are surface curvature gradient in the initial deposition stage and thermal stress gradient during heating and cooling. The effects of each driving force are nearly the same magnitude. Based on the obtained results, we could simulate reflow behavior.

研究分野：材料科学

キーワード：半導体 配線 リフロー 微細化

1. 研究開始当初の背景

シリコン半導体からなる LSI はあらゆる電子製品に利用されており、LSI デバイスの構成要素を微細化することによって高性能化を実現してきた。微細化によるデバイス性能の進展を妨げる主要因は多層配線が細くなり過ぎて形成できないことにある。多層配線はトランジスタを外部回路と接続するものであり、絶縁層に形成した配線形状の溝に拡散バリア層を形成したのちに、スパッタ蒸着法と電界メッキ法を併用して Cu を埋め込んで形成する。しかし、バリア層は本質的に Cu と濡れの悪い材料を選択するため、微細な配線溝に Cu を埋め込むことが困難となる。国際半導体ロードマップでは、10 年後のデバイス (配線幅 10nm 以下) における多層配線形成法は「解が無い」ものとされており、デバイスの技術的進展を妨げる切実な課題となっている。

この課題を解決する方法として、ステップカバレッジに優れた成膜法である化学気相成長法が候補にあがる。しかし、原料となる前駆体に含まれるフッ素や酸素が配線内に取り込まれ、界面偏析による濡れの劣化や電気抵抗の上昇をもたらすため、実用化には至っていない。一方で、我々は本研究に先立ったダイナミック・ナノ・リフロー (DN リフロー) 法によって 28nm の配線を形成することに成功した。この方法は、Cu 合金を高温でスパッタするという簡便な方法であるものの、Cu に添加した合金元素を絶縁層界面に偏析・反応させて濡れ性を向上し、Cu のリフロー埋め込みを可能にするだけでなく、バリア層の自己形成を同時に実現した世界初の結果である。一方で 28nm 以下の配線の埋込性、およびビアへの埋込性については技術的課題として残ったままである。また、学術的観点からは、DN リフローメカニズムの定量的理解が欠落している。さらに DN リフローによって形成した配線の電気特性は不明である。

2. 研究の目的

上記背景を鑑みて、本研究は次の 2 課題の解決を主要目的と定めた。

(1) DN リフローメカニズムを定量的に理解する。

(2) DN リフローによって形成した配線の電気特性評価と特性向上に向けた指針を確立する。

3. 研究の方法

DN リフロー挙動の研究に用いた基板は、p 型 Si ウェハ上に $k=2.75$ の low-k 絶縁層と第一層 Cu 配線 (M1) が従来法で形成され、その上部の low-k 層にビア孔と第二相 Cu 配線 (M2) のための配線溝が形成されたものであった。配線溝の開口幅は、最大が 120nm、最小が 15nm とした。ビア孔および配線溝の側壁には Co/TaN のバリア層を 5nm の厚さに形成したサンプルと、バリア層がない 2 種類

のサンプルを用いた。DN リフローは、基板を種々の温度に加熱し Cu と Mn を同時にスパッタ成膜して行った。比較試料として Cu だけのスパッタ成膜も行った。成膜時に変更した主要な因子は、基板温度、成膜速度、表面処理条件、Mn 濃度とした。

DN リフロー後の組織観察は、FIB (集束イオンビーム顕微鏡) を用いて断面試料を作製し、TEM (透過型電子顕微鏡) を用いてビアと M2 配線の埋め込み状態を観察した。DN リフローで形成した M2 配線の電気抵抗の測定については、サーペント形状の配線を作製し、オーバーパード部を CMP (化学機械的研磨) 法によって除去したサンプルを作製し、直流四探針法で測定した。

DN リフローメカニズムを理解するために、成膜途上における種々の配線形状を考慮し、表面曲率勾配を駆動力した場合のリフロー速度、および応力勾配を駆動力とした場合のリフロー速度を定量的に評価し比較した。得られた結果をもとに、DN リフローを実現するための最適プロセス条件を検討した。

4. 研究成果

(1) DN リフロー挙動

図 1、2 は Cu-5at.%Mn 合金を最適条件下で成膜したときの断面 TEM 写真である。基板には Co/TaN バリア層が形成されていないものを用いた。配線の長手方向を LD、幅方向を TD、膜厚方向を ND とすると、図 1 は TD-ND 方向を含む断面であり、図 2 は LD-ND 方向を含む断面である。どちらの方向から観察しても、ビアと配線溝への良好な埋め込み状態が実現できた。Cu-Mn 合金を用いる限り、Co/TaN バリア層があっても同様の結果が得られた。一方で、図 3 に示すように、同じ条件下で Cu を成膜すると、配線溝に Cu が埋め込まれない。成膜条件やバリア層の有無に拘らず、埋込はできなかった。

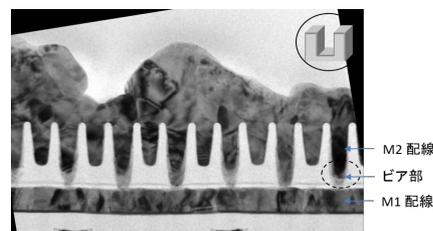


図 1 DN リフロー後の TD-ND 断面

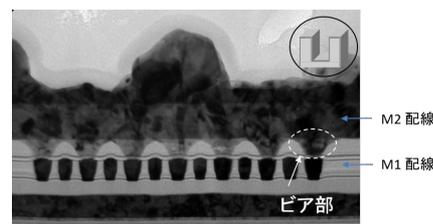


図 2 DN リフロー後の LD-TD 断面

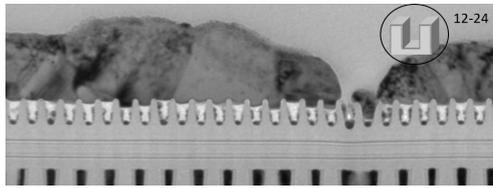


図3 CuのDNリフロー試行結果

次に、埋込性と界面エネルギーとの関係を知るために、Cu薄膜とCu-Mn合金薄膜を、Co/TaN/low-k基板とlow-k基板へ10nmの厚さに成膜し、種々の温度に加熱した後のRMS（表面粗さ）を測定した。その結果を図4に示す。Cu/low-kの場合は300以上で顕著な凝集が生じた。この場合にCoを界面に成膜することで濡れ性はやや改善し、400以上で凝集が見られるようになった。一方でCu-Mn合金薄膜の場合は、Coがあると500以上で凝集が生じるが、Coが無いと500でも殆ど凝集しない。これらの結果が示すように、Cu-Mn合金は高温での成膜中にMnがlow-k界面に偏析して界面エネルギーを低減することによって濡れ性が向上し、凝集することなく成膜が可能であるといえる。

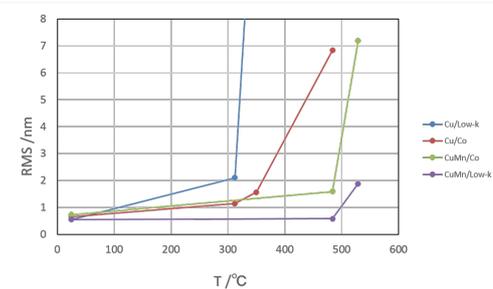


図4 Cu、Cu-Mn 薄膜（厚さ10nm）の熱処理後のRMS

(2) DNリフロー配線の電気抵抗

Co/TaNバリア層（厚さ5nm）がある基板と無い基板にCu-5at.%Mn合金をDNリフローで埋め込み、サーペンタイン形状の配線の電気抵抗測定に供した。配線溝の最小線幅は15nmであったが、Cu-Mn合金の埋め込み後はlow-kが収縮変形し、線幅が20nmに増加した。この20nmの線幅を有する配線の側壁の組織を図5に示す。従来から我々が報告している拡散バリア層が自己形成されており、その厚さは2.5nmである。このバリア層は配線溝内部に形成されるのではなく、low-k層側に形成されていることが明らかになっており、配線抵抗の観点から配線溝の全体積を有効に利用できる利点がある。

図6に電気抵抗の線幅依存性を示す。20nmにおける抵抗値はバリア層が存在しないことで約40%低減できることが明らかになった。抵抗率に換算し、線幅依存性をSteinhogglのコンバインドモデルを用いてフィッティングすると、10nmの線幅で8 μcm が得られる。

この値は、半導体ロードマップの2023年の期待値を十分に下回るものであり、Cu-Mn合金によってDNリフローとバリア層自己形成が実現できることの優位性を示している。

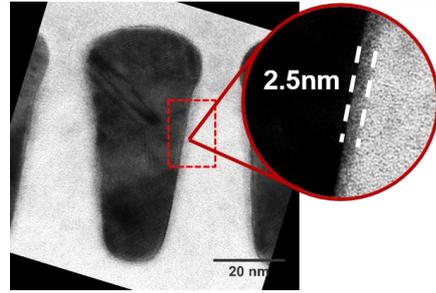


図5 20nm配線の断面TEM組織

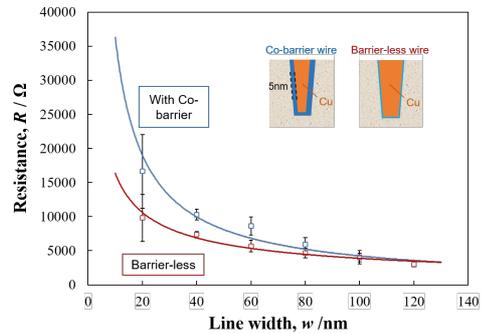


図6 電気抵抗の線幅依存性

(3) リフローの駆動力とリフロー速度

DNリフローの駆動力を評価するにあたっては、これまでの他者による報告や我々のグループおよび共同研究者による経験をもとに、成膜初期組織の可能性を全て考慮した。それぞれの初期組織において熱応力分布と表面曲率による圧力分布を計算して駆動力を評価した。図7は有限要素法を用いて熱応力分布を計算した例を示す。この条件における熱応力勾配は40/30 MPa/nmであり、配線溝内部の銅を押し出す駆動力となる。図8は表面曲率による圧力勾配を計算した例を示す。この条件では75/30 MPa/nmであり、配線溝内部に銅を埋め込む駆動力となる。このように条件によっては二つの駆動力がほぼ同じ大きさで逆方向に銅を拡散させる場合がある。

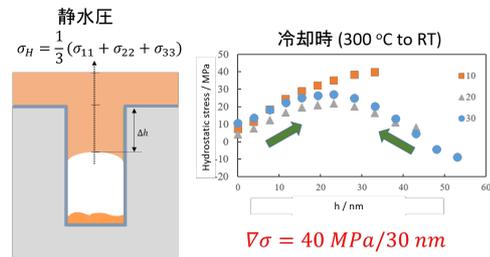


図7 半分埋め込まれた初期形状における熱応力分布

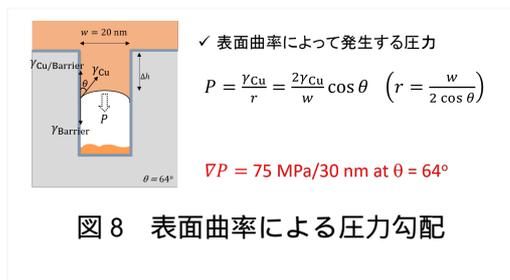


図 8 表面曲率による圧力勾配

種々の初期形状において計算を行い、加熱時と冷却時に表面曲率 () による駆動力と熱応力 () による駆動力の大小関係と銅の拡散方向をまとめたのが表 1 である。これらの結果より、初期形状がコンフォーマルであり、急速加熱、徐冷却をすることで埋め込みが可能となることが分かった。一方で、初期形状が半分埋め込み状態の場合は、どのようにしても埋め込みが困難であることが分かった。ここで得られた指針は半導体メーカーにおける膨大なデータと比較され、よく一致する傾向が得られた。

	Conformal		Half-filled Concave		Half-filled Convex	
	κ	σ	κ	σ	κ	σ
Heat	↓ Quick	↑	↓ Slow	↓	↑	↑
Cool	↓ Slow	↓	↓ Quick	↑	↑	↓

	Elliptic void		Circular void	
	κ	σ	κ	σ
Heat		Quick ↑		Quick ↑
Cool		Slow ↓		Slow ↓

表 1 種々の初期形状における加熱・冷却時の銅の移動方向

5. 主な発表論文等

〔雑誌論文〕(計 15 件)

Maryamsadat Hosseini, Daisuke Ando, Yuji Sutou, Junichi Koike, Co and CoTiX for contact plug and barrier layer in integrated circuits, *Microelectronic Engineering*, 査読有, 2018, Vol. 189, pp. 78-84
DOI: 10.1016/j.mee.2017.12.017

M. Hosseini and J. Koike, Amorphous CoTiX as a liner/diffusion barrier material for advanced copper metallization, *Journal of Alloys and Compounds*, 査読有, 2017, Vol. 721, pp. 134-142
DOI: 10.1016/j.jallcom.2017.05.335

K.-H. Kim, J. Koike, J.-W. Yoon, and S. Yoo, Effect of plasma surface finish on wettability and mechanical properties of SAC305 solder joints, *Journal of*

Electronic Materials, 査読有, 2016, Vol. 45, pp. 6184-6191
DOI: 10.1007/s11664-016-4908-4

N. M. Phuong, Y. Sutou, and J. Koike, Diffusion barrier property of MnSi_xO_y layer formed by chemical vapor deposition for Cu advanced interconnect application, *Thin Solid Film*, 査読有, 2015, Vol. 580, pp. 56-60
DOI: 10.1016/j.tsf.2015.03.007

他 11 件

〔学会発表〕(計 23 件)

J. Koike, M. Hosseini, D. Ando and Y. Sutou, New contact metallization scheme for FinFET and beyond, *IEEE Electron Device Technology Meeting* (招待講演) 2018 年

J. Koike, M. Hosseini, H. T. Hai, D. Ando and Y. Sutou, Material innovation for MOL, BEOL, and 3D integration, *IEEE International Electron Device Meeting* (招待講演) 2017 年

J. Koike, M. Hosseini, D. Ando and Y. Sutou, Co-Ti alloy for a barrier and contact materials in advanced MOL, *Advanced Metallization Conference* (招待講演) 2017 年

J. Koike, A new amorphous alloy having liner/barrier function for sub-10 nm technology node of LSI interconnection, *ENGE 2016* (招待講演) 2016 年

他 19 件

〔産業財産権〕

出願状況 (計 3 件)

名称: SEMICONDUCTOR DEVICES INCLUDING COBALT ALLOYS AND FABRICATION
発明者: 小池淳一、Reza Arghavani
権利者: 東北大学
種類: 特許
番号: KR10-2018-0035967
出願年月日: 2018 年 3 月 28 日
国内外の別: 国外

名称: SEMICONDUCTOR DEVICES INCLUDING COBALT ALLOYS AND FABRICATION
発明者: 小池淳一、Reza Arghavani
権利者: 東北大学
種類: 特許
番号: TW107108173

出願年月日：2018年3月9日
国内外の別： 国外

名称：SEMICONDUCTOR DEVICES INCLUDING
COBALT ALLOYS AND FABRICATION
発明者：小池淳一、Reza Arghavani
権利者：東北大学
種類：特許
番号：US15/825,833
出願年月日：2017年11月29日
国内外の別： 国外

〔その他〕
ホームページ等
<http://www.koike-lab.jp/>

6. 研究組織

(1) 研究代表者

小池 淳一 (KOIKE JUNICHI)
東北大学・未来科学技術共同研究センター・
教授
研究者番号：10261588

(2) 研究分担者

須藤 祐司 (SUTOU YUJI)
東北大学・大学院工学研究科・准教授
研究者番号：50615820

安藤 大輔 (ANDO DAISUKE)
東北大学・大学院工学研究科・助教
研究者番号：80375196