

令和 2 年 7 月 9 日現在

機関番号：34315

研究種目：基盤研究(B) (一般)

研究期間：2015～2019

課題番号：15H02679

研究課題名(和文) 誤動作する確率のある次世代素子を積極的に活用するハードウェア設計理論

研究課題名(英文) Hardware Design Methodology to Utilize Next-Generation Device That May Not Work Properly

研究代表者

山下 茂 (YAMASHITA, Shigeru)

立命館大学・情報理工学部・教授

研究者番号：30362833

交付決定額(研究期間全体)：(直接経費) 14,040,000円

研究成果の概要(和文)：信頼性が低い素子を利用して設計する回路は、ある入力に対して間違った出力を行うが、そのエラーが許容できる場合は利用できる。そこで、Approximate Computingの考え方をを用いて、どのような場合にエラーが許容できるかについての多くの研究成果を得た。例えば、手書き文字認識CNNに近似乗算器を適用する場合に、その画像識別率、乗算器の回路面積、遅延時間のトレードオフからより良い近似乗算器の設計探索を行う手法を提案した。また、エラーを許容するStochastic Computingに関して、ハードウェア量を減らしながら計算エラーもできるだけ減らすことができる設計手法を考案した。

研究成果の学術的意義や社会的意義

信頼性は低い超小型・超低消費電力などの特性を持つ次世代の素子が将来的に利用できるようになった時には、それを十分に使いこなす設計技術が必要である。具体的には、ばらつきがある素子を利用するために、誤動作する可能性がある回路をそのエラーを許容しながらどのように利用するかという設計指針が必要となる。そのために、本研究により得られたApproximate ComputingやStochastic Computingの分野における様々な設計指針が有用となると期待できる。

研究成果の概要(英文)：When we design a circuit with unreliable devices, the circuit may output wrong values for certain input patterns. Even so, when such errors can be ignored, we can still use such circuits. Thus, we studied many aspects of Approximate Computing to find various results concerning how we can tolerate some errors. For example, we found an efficient way to design approximate multipliers that have a good trade-off between an image discrimination rate and hardware costs (area and speed) when we develop hardware CNNs for recognizing handwritten characters. Moreover, we also develop an design method for Stochastic Computing such that we can decrease the hardware cost while we keep the calculation errors low.

研究分野：LSI設計

キーワード：Approximate Computing Stochastic Computing 設計理論

## 様式 C - 19、F - 19 - 1、Z - 19 (共通)

### 1. 研究開始当初の背景

近年のナノテクノロジーの進展は目覚ましいものがあり、現在の LSI に主に用いられている CMOS 技術以外にも、単電子トランジスタ、バイオトランジスタ、原子スイッチなど、全く別の原理で動作しながらも CMOS の場合と同様の論理動作をする様々な素子が登場している。これらの中には従来の CMOS ベースのトランジスタに比べ、超小型・超低消費電力などの望ましい特性を持つことが期待されるものの、CMOS による素子のように高い確率で所望の動作をすることが原理的に不可能なものも多い。また、CMOS ベースのトランジスタもそのサイズが古典論ではなく量子論が適用される領域になってきたため、いくら製造技術が発達しようと原理的にコントロール不可能なトランジスタの特性が顕在化するようになってきている。例えば、トランジスタの動作特性のばらつきが原理的に大きくなるため、将来的には最も遅いトランジスタの動作はそれほど早くなれない可能性がある。そのため、今後さらに小型化されたトランジスタや新しい特性をもつ新素材の素子が製造できるようになっても、動作速度の遅いトランジスタや故障したトランジスタが存在しても回路全体が正しく動作するように十分な設計マージンを取って設計する従来の手法では、製造技術の発展による新素子の恩恵を完全には享受できないと考えられる。

上述した問題意識から、多くの研究者が、誤動作する可能性のある素子を用いても完全に動作するハードウェアを設計するという問題に取り組んできた。そこでは、「少ないコスト(トランジスタ数など)の増加で、正しく動作するハードウェアが製造される確率(歩留り)を向上させる」設計手法の確立を目指している。しかし、それらの研究の中で、誤動作する確率がある程度高い素子を仮定すると、完全に正しく動作する回路を設計するにはどうしてもコストの多大な増加が避けられない場合があることも分かってきた。そのため、信頼性は低い超小型・超低消費電力などの特性を持つ次世代の素子が開発されたとしても、それを十分に使いこなす設計技術が確立されていると言い難い状態であった。

### 2. 研究の目的

「誤動作する可能性のある素子を使っていかに完全に正しく動作するハードウェアモジュールを設計するか」という従来の考え方から、「誤動作する可能性のあるハードウェアモジュールでもいかに有効に利用するか」という割り切った考え方に切り替えることにより、「完全には動作することが期待できない次世代・新素材の素子」を積極的に使うハードウェアの設計技術の確立ができるのではないかと Approximate Computing の分野では考えられている。本研究構想でも、Approximate Computing の分野の考え方に基づいて回路を合成し、完全には動作することが期待できない次世代・新素材の素子を利用したハードウェアの設計に利用できるように設計手法の確立を目的とした。

本研究の進展により、従来の設計手法では十分に使いこなすことができない次世代・新素材の素子の利用技術が確立できれば、今後発展するナノテクノロジーの技術の恩恵を真に享受できるハードウェア設計が可能となる。それにより、将来的には、次世代・新素材の素子を利用した、現在の方式よりも小型化・低消費電力、つまり環境に優しいハードウェアの開発につながるという波及効果が期待できる。

### 3. 研究の方法

実際の情報処理システムでは、Approximate Computing の分野で研究されているように回路がある程度誤動作しても全体としては問題がない部分がある場合でも、完全に動作すべき部分があるのは明らかである。本研究構想では、まず情報処理システムをこれら 2 つの部分に分けて、完全に動作すべき部分は、研究代表者と分担者の現在までの研究成果を基本とする従来の高信頼化設計手法により合成することを考えている。ただし、ある程度の誤動作が許される部分の効率的な設計には、Approximate Computing の分野で考えられている「エラーを許容できる演算」を、できるだけ少ないコストで実現するための具体的な設計・利用に関する新たな方法論の構築を目指して、Approximate Computing の事例を積み上げて、Approximate Computing によるハードウェア設計手法の確立を目指した。

研究を進めるうちに、ある程度エラーを許容する Approximate Computing の考え方と同様に、ある程度エラーを許容する Stochastic Computing の設計手法も、ばらつきのある素子を用いた回路設計に有用であることが分かり、Stochastic Computing についても、その設計手法に関しての様々な研究を行うことにした。

### 4. 研究成果

信頼性の低い素子で回路を設計するための要素技術に関して得られた研究成果を Approximate Computing と Stochastic Computing の設計技術の分野に分けて以下にまとめる。

#### (1) Approximate Computing 分野での研究成果

乗算を近似的に計算するハードウェアの新たな方式を提案し、具体的な画像処理のアプリケーションでその有用性を確認した。また、配列型乗算器の演算誤差と回路規模のトレードオフを全自動で調べることができる枠組みを実現した。

Approximate Computing 配列型乗算器の演算の最大誤差が最小となるように、部分積を0または1に固定する手法を開発した。その結果、最大誤差を従来の約半分に抑えることができた。また、最大誤差の解析に要する時間も大幅に短縮することができた。また、既存の Approximate Computing 加算器をアプリケーションに応じて柔軟にカスタマイズする方法について検討・評価した。キャリー発生確率に応じてキャリー予測回路を拡張あるいは削減することで、面積削減および出力精度改善を両立できることを確認した。

Approximate Computing の考え方の従来とは違う利用方法を検討した。具体的には、従来までの考え方と違い、Approximate Computing の考え方を利用して、経年劣化などによる遅延故障に対処する方法を提案した。一つの例として、配列型乗算器に遅延故障が発生した際の対処法について提案した。まず、遅延故障が発生した配列型乗算器の入力の下位ビットを削減する。そして、各ビットの値をそれぞれ削減した分だけ下位ビットにずらして入力し、削減した分だけ上位ビットの値を0に変更する。かつ、乗算器の出力の上位ビットを削減し、削減した分だけ下位に0を追加することで、遅延故障による誤差を削減する。8ビットの乗算に対して提案手法を用いた場合、平均誤差と最大誤差ともに遅延故障が発生した配列型乗算器を用いた場合の100分の1程度に誤差を抑えられた。また、平滑化フィルタ処理を用いてソフトウェア検証を行い、提案手法の Approximate Computing 乗算器の有用性を示した。

近似乗算器を応用する研究として、入力データのビット幅が異なる様々な乗算器を手書き文字認識 CNN に適用することで手書き文字 CNN に求められる乗算器の精度を探索した。また、 $2 \times 2$  ビット乗算器のさらなる近似により、より小さい回路面積で、より短い遅延時間で高い画像識別率を維持する手書き文字認識 CNN を実現した。そして、 $3 \times 2$  ビット乗算器のさらなる近似により、より小さい回路面積で、より短い遅延時間で正しい乗算器を用いた CNN と同等の画像識別率を実現した。この研究により、近似乗算器の一つの応用例が明らかとなった。

Approximate Computing の応用として近似データ再利用を用いてアクセラレータを設計する手法についても研究を行った。考案した手法は、従来のアクセラレータ設計とは異なり、パラメータ調整だけで様々なアプリケーションに流用可能な柔軟性を持つという特徴を持つ。画像圧縮プログラムを例に、パラメータ調整によっては従来手法を上回る効率を達成できることを示した。

近似乗算器を応用する研究として、昨年度までの研究を更に改良して、近似乗算器の設計探索を行った。具体的には、手書き文字認識 CNN に近似乗算器を適用しその画像識別率、乗算器の回路面積、遅延時間のトレードオフからより良い近似乗算器の設計探索を行った。実験の結果、過去の研究で設計したどの乗算器よりも効率の良い近似乗算器を実現させることができた。

Approximate Computing と関連する研究として、メディアアプリケーションを対象に、ループの前イタレーションの計算結果を再利用するプロセッサ開発を行った。予備実験により、汎用性と面積・エネルギー効率を両立可能であることを確認した。

## (2) Stochastic Computing 分野での研究成果

Stochastic Computing において所望の確率で1となる乱数を効率的に生成する手法を新たに考案した。考案した手法では、入力して与えなければならない初期の乱数の数を理論的に最小な数とすることができるため、従来手法よりも乱数生成の回路の規模が小さくなることがわかった。

Stochastic Computing において相関の発生によって生じる誤差の大小に作用する要因を分析して、出力の誤差を抑え Stochastic Computing の計算で用いる SNG を共有することで SNG の数を削減した Stochastic Computing 回路を実現する手法を考案した。実験の結果、提案手法を用いることで、ランダムに SNG を削減した場合に比べて、誤差を平均約0.327倍に抑えつつ、SNG を削減できることを確認した。

一般に Stochastic Computing では、Stochastic Number の相関の強さが大きいほど結果に生じる誤差も大きくなることを考慮して、乱数生成器のコストを減少させつつ Stochastic Number の相関を弱める新たな手法を提案した。具体的には、一般的な Stochastic Computing の回路設計手法の制御入力数を削減することで、乱数生成器を共有することにより誤差を削減する手法を提案し、その効果の検証を行った。実験の結果、演算結果に対して、既存の手法では平均で約15%誤差が生じていたのが、提案手法により約8%に削減されることを確認した。

Stochastic Computing の実現のために一番大きなコストと考えられている Stochastic Number の削減手法に関して、昨年度の研究をさらに進めて以下の結果を得た。GMCS (Generating Many Constant SNs from Few SNs) と呼ばれる Stochastic Number の削減手法と RRRD (Register based Re-arrangement circuit using a Random bit stream duplicator) と呼ばれる乱数の生成手法を組み合わせる様々な手法の中から、考えられるすべての手法について、いくつかの算術関数の演算誤差とハードウェアオーバーヘッドについての詳細な比較を行い、最も適した手法が何であるのかを明らかにした。

重みの異なる 2 つの Stochastic Number を使い、1 つの数値を表現することで、1 つ 1 つの Stochastic Number のビット長を短縮し演算に必要なサイクル数を短縮する手法を提案した。また、その手法向けの演算手法についても提案した。演算の平均絶対誤差の算出、回路面積の検証、画像処理によるソフトウェア検証を行い、従来の Stochastic Number を用いた場合と比べて、回路面積は 2 倍程度に増加するが、同程度の誤差で演算でき、計算サイクル数はビット数に応じて大幅に改善できることを明らかにして、提案手法の有用性を示した。

Stochastic Computing において、Stochastic Number は通常 LFSR (Linear-Feedback Shift Register) と比較器が使用される。LFSR のビット長を短くするとハードウェアコストは下がるが、演算精度が下がる。そこで、LFSR のビット長を減らしたものを複数回使って演算精度を保つ手法を考案した。演算精度を原理的には保つことができるが、回路内の複数の Stochastic Number 間の相関が上がるために、演算エラーは増える可能性がある。しかし、いろいろな組み合わせを検証した結果、LFSR のビット長を減らしても、場合によっては許容できるエラーで演算できる場合があることを明らかにした。

## 5. 主な発表論文等

〔雑誌論文〕 計19件（うち査読付論文 19件 / うち国際共著 4件 / うちオープンアクセス 1件）

1. 著者名 Yudai Sakamoto, Shigeru Yamashita,	4. 巻 Vol. E103-D, No.02
2. 論文標題 Efficient Methods to Generate Constant SNs with Considering Trade-off between Error and Overhead and Its Evaluation	5. 発行年 2020年
3. 雑誌名 IEICE Transactions on Information and Systems	6. 最初と最後の頁 321 ~ 328
掲載論文のDOI (デジタルオブジェクト識別子) 10.1587/transinf.2018EDP7435	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 Chin-Heng Liu, Chia-Chun Lin, Yung-Chih Chen, Chia-Cheng Wu, Chun-Yao Wang, Sigeru Yamashita	4. 巻 vol. 38, no. 12
2. 論文標題 Threshold Function Identification by Redundancy Removal and Comprehensive Weight Assignments	5. 発行年 2019年
3. 雑誌名 IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems	6. 最初と最後の頁 2284 ~ 2297
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/TCAD.2018.2878181	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する
1. 著者名 Yuko Hara-Azumi, Naoki Takeuchi, Kazuaki Hara, Masashi Aono	4. 巻 vol. 59, no. 4
2. 論文標題 Digital Bio-Inspired Satisfiability Solver Leveraging Fluctuations	5. 発行年 2020年
3. 雑誌名 Japanese Journal of Applied Physics	6. 最初と最後の頁 1 ~ 10
掲載論文のDOI (デジタルオブジェクト識別子) 10.35848/1347-4065/ab7ade	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -
1. 著者名 Kana Shimada, Takuma Hikida, Hiroki Nishikawa, Ittetsu Taniguchi, Hiroyuki Tomiyama	4. 巻 ISOCC2019
2. 論文標題 Scheduling of Malleable Tasks with DMA-based Communication	5. 発行年 2019年
3. 雑誌名 International SoC Design Conference	6. 最初と最後の頁 48 ~ 49
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Ryohei Nozaki, Hiroki Nishikawa, Ittetsu Taniguchi, Hiroyuki Tomiyama	4. 巻 ISOCC2019
2. 論文標題 Function-Level Module Sharing in High-Level Synthesis	5. 発行年 2019年
3. 雑誌名 International SoC Design Conference	6. 最初と最後の頁 50 ~ 51
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Kenta Shirane, Takahiro Yamamoto, Ittetsu Taniguchi, Yuko Hara-Azumi, Shigeru Yamashita, Hiroyuki Tomiyama	4. 巻 ISOCC2019
2. 論文標題 Maximum Error-Aware Design of Approximate Array Multipliers	5. 発行年 2019年
3. 雑誌名 International SoC Design Conference	6. 最初と最後の頁 73 ~ 74
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Kenta Shirane, Takahiro Yamamoto, Hiroyuki Tomiyama	4. 巻 SASIM19
2. 論文標題 A Case Study on Design of Approximate Multipliers for MNIST CNN	5. 発行年 2019年
3. 雑誌名 Workshop on Synthesis And System Integration of Mixed Information Technologies	6. 最初と最後の頁 251 ~ 255
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Yukino Watanabe, Shigeru Yamashita	4. 巻 SASIM19
2. 論文標題 A New Approach to Express Stochastic Numbers	5. 発行年 2019年
3. 雑誌名 Workshop on Synthesis And System Integration of Mixed Information Technologies	6. 最初と最後の頁 95 ~ 98
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Kazuki Morita, Wakaki Hattori, Shigeru Yamashita	4. 巻 SASIMI19
2. 論文標題 A Layout Design Method of QCA without Fixing Data Flow	5. 発行年 2019年
3. 雑誌名 Workshop on Synthesis And System Integration of Mixed Information Technologies	6. 最初と最後の頁 256 ~ 261
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Yudai Sakamoto, Shigeru Yamashita	4. 巻 SASIMI19
2. 論文標題 Effect of Reducing the Bit Length of LFSRs for SC	5. 発行年 2019年
3. 雑誌名 Workshop on Synthesis And System Integration of Mixed Information Technologies	6. 最初と最後の頁 280 ~ 285
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Ritsuko Muguruma, Shigeru Yamashita	4. 巻 Vol. E100.A No. 8
2. 論文標題 Stochastic Number Generation with the Minimum Inputs	5. 発行年 2017年
3. 雑誌名 IEICE Transactions on Fundamentals of Electronics	6. 最初と最後の頁 1661-1671
掲載論文のDOI (デジタルオブジェクト識別子) 10.1587/transfun.E100.A.1661	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Kodai Abe, Kentaro Haneda, Shigeru Yamashita	4. 巻 SASIMI2018
2. 論文標題 On Optimization Methods for Decision Diagrams to Represent Probabilities	5. 発行年 2018年
3. 雑誌名 Proc. Workshop on Synthesis And System Integration of Mixed Information Technologies	6. 最初と最後の頁 106-111
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Takahiro Yamamoto, Ittetsu Taniguchi, Hiroyuki Tomiyama, Shigeru Yamashita, Yuko Hara-Azumi	4. 巻 Vol. E100.A No. 7
2. 論文標題 A Systematic Methodology for Design and Worst-Case Error Analysis of Approximate Array Multipliers	5. 発行年 2017年
3. 雑誌名 IEICE Transactions on Fundamentals of Electronics	6. 最初と最後の頁 1496-1499
掲載論文のDOI (デジタルオブジェクト識別子) 10.1587/transfun.E100.A.1496	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Takahiro Yamamoto, Ittetsu Taniguchi, Hiroyuki Tomiyama, Shigeru Yamashita, Yuko Hara-Azumi	4. 巻 2016
2. 論文標題 A Systematic Methodology for Design and Analysis of Approximate Array Multipliers	5. 発行年 2016年
3. 雑誌名 Asia Pacific Conference on Circuits and Systems	6. 最初と最後の頁 352-354
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/APCCAS.2016.7803973	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Kodai Abe, Shigeru Yamashita	4. 巻 SASIMI 2016
2. 論文標題 A Decision Diagram to Analyze Probabilistic Behavior of Circuits	5. 発行年 2016年
3. 雑誌名 Proc. Workshop on Synthesis And System Integration of Mixed Information Technologies	6. 最初と最後の頁 R2-6
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 P. Balasubramanian, S. Yamashita,	4. 巻 5(1)
2. 論文標題 Area/Latency Optimized Early Output Asynchronous Full Adders and RelativeTimed Ripple Carry Adders	5. 発行年 2016年
3. 雑誌名 SpringerPlus	6. 最初と最後の頁 1-26
掲載論文のDOI (デジタルオブジェクト識別子) DOI: 10.1186/s40064-016-2074-z	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する



1. 著者名 Trung Anh Dinh, Shigeru Yamashita, Tsung-Yi Ho	4. 巻 vol.34, no.4
2. 論文標題 An Optimal Pin-Count Design With Logic Optimization for Digital Microfluidic Biochips	5. 発行年 2015年
3. 雑誌名 IEEE Transactions on Computer-Aided Design of Integrated Circuits and System	6. 最初と最後の頁 629-641
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/TCAD.2015.2394502	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する

1. 著者名 Jason H. Anderson, Yuko Hara-Azumi, Shigeru Yamashita	4. 巻 2016
2. 論文標題 Effect of LFSR Seeding, Scrambling and Feedback Polynomial on Stochastic Computing Accuracy Accuracyeffect of LFSR Seeding, Scrambling and Feedback Polynomial on Stochastic Computing Accuracy	5. 発行年 2016年
3. 雑誌名 Design, Automation & Test in Europe (DATE)	6. 最初と最後の頁 1550-1555
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する

1. 著者名 Ritsuko Muguruma and Shigeru Yamashita	4. 巻 2016
2. 論文標題 Stochastic Number Generation with Few Inputs	5. 発行年 2016年
3. 雑誌名 29th International Conference on VLSI Design	6. 最初と最後の頁 128-133
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/VLSID.2016.83	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

〔学会発表〕 計28件 (うち招待講演 5件 / うち国際学会 13件)

1. 発表者名 Yudai Sakamoto, Shigeru Yamashita
2. 発表標題 Reducing the Overhead of Stochastic Number Generators Without Increasing Error
3. 学会等名 32nd International Conference on VLSI Design and 18th International Conference on Embedded Systems (VLSID 2019) (国際学会)
4. 発表年 2019年

1. 発表者名 坂本雄大, 山下茂
2. 発表標題 演算誤差と回路面積のトレードオフを考慮したStochastic Numberの生成手法
3. 学会等名 デザインガイア2018
4. 発表年 2018年

1. 発表者名 渡邊結希乃, 山下茂
2. 発表標題 Approximate Computingを利用した配列型乗算器の遅延故障への対処法
3. 学会等名 2018年度情報処理学会関西支部支部大会
4. 発表年 2018年

1. 発表者名 坂本雄大, 山下茂
2. 発表標題 SCの定数生成におけるエラー率を考慮した面積コスト削減手法
3. 学会等名 2018年度情報処理学会関西支部支部大会
4. 発表年 2018年

1. 発表者名 Takahiro Yamamoto, Kenta Shirane, Ittetsu Taniguchi, Hiroyuki Tomiyama, Shigeru Yamashita, Yuko Hara-Azumi
2. 発表標題 A Systematic Approach to Design of Approximate Array Multipliers
3. 学会等名 2018 Taiwan and Japan Conference on Circuits and Systems (TJCAS'18) (国際学会)
4. 発表年 2018年

1. 発表者名 原祐子
2. 発表標題 近似データ再利用に基づく組込みシステムのアクセラレータ設計
3. 学会等名 2018年電子情報通信学会ソサイエティ大会（招待講演）
4. 発表年 2018年

1. 発表者名 白根健太, 山元貴普, 谷口一徹, 富山宏之
2. 発表標題 近似乗算器の手書き文字認識CNNへの適用事例
3. 学会等名 電子情報通信学会VLD研究会
4. 発表年 2019年

1. 発表者名 Takahiro Yamamoto, Hiroyuki Tomiyama, Ittetsu Taniguchi, Shigeru Yamashita, Yuko Hara-Azumi
2. 発表標題 Systematic Design of Approximate Array Multipliers with Different Accuracy
3. 学会等名 International Workshop on Highly Efficient Neural Networks Design (国際学会)
4. 発表年 2017年

1. 発表者名 Fransiscus Marcel Satria and Yuko Hara-Azumi
2. 発表標題 Efficient Data Clustering by Architectural Perforation
3. 学会等名 Multidisciplinary International Student Workshop (国際学会)
4. 発表年 2017年

1. 発表者名 Nguyen Hoang Ngoc Anh and Yuko Hara-Azumi
2. 発表標題 Exploration of Hardware-Implementation-Aware Amoeba-SAT Solver
3. 学会等名 Multidisciplinary International Student Workshop (国際学会)
4. 発表年 2017年

1. 発表者名 Kazuaki Hara and Yuko Hara-Azumi
2. 発表標題 A Scalable FPGA Implementation of Amoeba-SAT Solver
3. 学会等名 Multidisciplinary International Student Workshop (国際学会)
4. 発表年 2017年

1. 発表者名 Yuko Hara-Azumi, Hisashi Osawa, and Tanvir Ahmed
2. 発表標題 Architectural Approach on Approximate Computing for Media Processing
3. 学会等名 International Symposium on Nonlinear Theory and Its Applications (NOLTA) (招待講演) (国際学会)
4. 発表年 2016年

1. 発表者名 大澤 永始, Tanvir Ahmed, 原 祐子
2. 発表標題 Approximate Computingに基づいたデータ再利用型組込みプロセッサ
3. 学会等名 LSIとシステムのワークショップ
4. 発表年 2016年

1. 発表者名 山元貴普, 谷口一徹, 富山宏之, 山下茂, 原祐子
2. 発表標題 配列型近似乗算器の設計と解析
3. 学会等名 回路とシステムワークショップ
4. 発表年 2016年

1. 発表者名 渡邊 朗弘, 山下 茂
2. 発表標題 Stochastic Computingにおける相関の許容によるSNGの削減
3. 学会等名 ETNET2017
4. 発表年 2017年

1. 発表者名 壺阪 幸輝, 山下 茂
2. 発表標題 Stochastic Computingにおけるマルチプレクサの制御入力として複雑な式を用いる回路設計
3. 学会等名 ETNET2017
4. 発表年 2017年

1. 発表者名 北川 大樹, 山下 茂
2. 発表標題 試料生成における汚染問題を考慮したDMFB合成手法
3. 学会等名 ETNET2017
4. 発表年 2017年

1. 発表者名 Shigeru Yamashita
2. 発表標題 Pin-Count Reduction Techniques for Logic Integrated Digital Microfluidic Biochips
3. 学会等名 29th International Conference on VLSI Design (招待講演) (国際学会)
4. 発表年 2016年

1. 発表者名 Yohei Onishi, Ittetsu Taniguchi, Hiroyuki Tomiyama
2. 発表標題 Revisiting Function Inlining in FPGA High-Level Synthesi
3. 学会等名 International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC) (国際学会)
4. 発表年 2015年

1. 発表者名 山元貴普, 谷口一徹, 富山宏之, 山下茂, 原祐子
2. 発表標題 配列型近似乗算器の設計と解析
3. 学会等名 回路とシステムワークショップ
4. 発表年 2016年

1. 発表者名 Yuko Hara-Azumi
2. 発表標題 Partially-Programmable Circuit: New Flexible Method for Fault-Tolerance Improvement and Its Application
3. 学会等名 Electronic System Level Synthesis Conference (ESLsyn) (招待講演) (国際学会)
4. 発表年 2015年

1. 発表者名 Tanvir Ahmed, Yuko Hara-Azumi
2. 発表標題 Timing Speculation-Aware Instruction Set Extension for Resource-Constrained Embedded Systems
3. 学会等名 Application-specific Systems, Architectures and Processors (ASAP) (国際学会)
4. 発表年 2015年

1. 発表者名 Yuko Hara-Azumi, Tanvir Ahmed, Takuya Azumi, Nikil D. Dutt
2. 発表標題 Instruction-Set Extension of Embedded Microprocessor for Timing Speculation
3. 学会等名 International Conference on Integrated Circuits, Design, and Verification (ICDV) (招待講演) (国際学会)
4. 発表年 2015年

1. 発表者名 Kazuki Zenba, Tanvir Ahmed, Yuko Hara-Azumi
2. 発表標題 Fast and Simple Netlist-level Fault-Injection Framework on FPGA
3. 学会等名 IEEE Symposium on Low-Power and High-Speed Chips, COOL Chips XIX (国際学会)
4. 発表年 2016年

1. 発表者名 壺阪 幸輝、山下 茂
2. 発表標題 Stochastic Computingに用いる定数を近似する回路の合成手法
3. 学会等名 2015 年度情報処理学会関西支部 支部大会
4. 発表年 2015年

1. 発表者名 春日井 貴通, 山下 茂, 原 祐子
2. 発表標題 Partially-Programmable Circuit を用いた遅延故障の回避手法
3. 学会等名 ETNET2016
4. 発表年 2016年

1. 発表者名 松本 涼平, 山下 茂, 竹内 尚輝
2. 発表標題 RQFPゲートを用いた超低消費電力AQFP論理回路の設計手法
3. 学会等名 ETNET2016
4. 発表年 2016年

1. 発表者名 後藤 敏宏, 山下 茂
2. 発表標題 Approximate Computing を用いた乗算器の実装および検証
3. 学会等名 ETNET2016
4. 発表年 2016年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
研究 分担 者	原 祐子  (Hara Yuko)  (20640999)	東京工業大学・工学院・准教授    (12608)	



## 6. 研究組織（つづき）

	氏名 (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
研究 分 担 者	富山 宏之  (Tomiya Hiroyuki)  (80362292)	立命館大学・理工学部・教授       (34315)	