

科学研究費助成事業 研究成果報告書

令和元年6月4日現在

機関番号：34315

研究種目：基盤研究(B) (一般)

研究期間：2015～2018

課題番号：15H02680

研究課題名(和文) OpenCLプログラムからのハードウェア合成

研究課題名(英文) Hardware Synthesis from OpenCL Programs

研究代表者

富山 宏之 (Tomiyama, Hiroyuki)

立命館大学・理工学部・教授

研究者番号：80362292

交付決定額(研究期間全体)：(直接経費) 12,300,000円

研究成果の概要(和文)：本研究では、OpenCL言語により記述された並列アプリケーションを効率的に実行するマルチコア/メニーコア・アーキテクチャを開発した。開発したアーキテクチャは、コアの構成、クラスタ数、クラスタ当たりのコア数、メモリ構成などを、アプリケーションに応じてカスタマイズすることが可能である。開発したアーキテクチャを実際にFPGAに実装し、複数の並列プログラムを実行させることにより性能を評価した。さらに、並列タスクのマルチコア/メニーコアへのマッピング/スケジューリング技術等を開発した。

研究成果の学術的意義や社会的意義

近年、CPUコア単体の性能は頭打ちになっており、汎用計算機だけでなく組み込みシステムにおいても、複数または多数のCPUコアを搭載したマルチコア/メニーコア・アーキテクチャが普及している。本研究の社会的な意義は、高性能で安価なマルチコア/メニーコア組み込みシステムを短期間で設計することを可能とすることである。一方、学術的には、可変な並列度を持つタスクのスケジューリングに関して、理論的な基礎を確立した。

研究成果の概要(英文)：We have developed multi/manycore architectures which efficiently execute parallel applications written in OpenCL. The developed architectures are customizable for the given applications. We have implemented the architectures on FPGA boards and evaluated their performance by actually executing a set of applications on the FPGA boards. We have also developed techniques for mapping and scheduling parallel tasks on multi/manycore architectures.

研究分野：組み込みシステム

キーワード：LSI設計技術 並列処理 設計自動化

様式 C-19、F-19-1、Z-19、CK-19（共通）

1. 研究開始当初の背景

半導体製造技術の進歩により、1個のSoC (System-on-Chip) に集積可能なトランジスタ数は年々向上している。一方、設計者が設計可能な回路規模（設計生産性）も向上しているものの、その向上率は製造可能な回路規模の向上率に追いついていない。そこで、SoC の設計生産性のさらなる向上が求められている。SoC の設計生産性の向上に寄与する技術の一つに高位合成と呼ばれる技術がある。高位合成とは、C 言語などのプログラミング言語で書かれたソフトウェアからハードウェア回路を自動合成する技術である。高位合成は産業界でも本格的に普及が進んでいるものの、既存の高位合成技術では、並列性の高い高性能な回路を自動合成することは困難である。その理由のひとつとして、入力言語が C 言語（または C++ 言語）であることが挙げられる。元来、C 言語は逐次プログラミング言語であり、並列性という概念がない。そのため C 言語は、並列に動作する回路を記述することに適していない。C 言語で書かれたプログラムから自動的に並列性を抽出する研究は過去に数多く行われてきたが、粗粒度の並列性を自動的に抽出することは未だに困難な問題である。

2. 研究の目的

本研究では、OpenCL 言語により書かれた並列プログラムから高性能なハードウェア回路を自動的に生成することを目的としている。OpenCL は特定のハードウェア・プラットフォームに依存しない言語であるが、現状としては、GPGPU (General-Purpose Computing on Graphics Processing Units) 用の並列プログラミング言語として広く普及している。OpenCL 言語では、データ並列性やタスク並列性を明示的に記述することが可能である。本研究では、C 言語による逐次プログラムではなく、OpenCL による並列プログラムをハードウェア設計の起点とすることにより、高性能なハードウェア回路を合成することを目指す。

3. 研究の方法

研究代表者（富山）は、過去に、「FPGA 向け動作合成技術（科研費、平成 22～23 年度）」、「低消費電力メニーコア用アーキテクチャとコンパイラ技術（NEDO、平成 22～24 年度）」などの研究プロジェクトを実施してきた。前者のプロジェクトでは、FPGA を対象としてカスタム回路を合成する高位合成技術を開発した。後者のプロジェクトでは、メニーコア・アーキテクチャを対象として、OpenCL フレームワークや、タスクのマッピング/スケジューリング技術を開発した。本研究では、これらの過去の研究を融合、発展させる形で研究を進めた。

本研究は、(a) 超多数の同種のスレッドを効率的に実行するデータパス・アーキテクチャ、(b) プログラムに応じて上記データパス構成を自動的に最適化する技術、(c) 並列動作する異種のタスクに対してハードウェア資源を分配する技術の 3 つのテーマに分けて実施した。テーマ (a) と (b) については、1 年目に方向転換を行った。当初計画では高位合成により専用データパスを自動生成することを本流のテーマのひとつとして予定していたが、汎用のソフトプロセッサをベースとして、それをカスタマイズし、複数搭載することにより、与えられた OpenCL プログラムを効率的に実行する専用アーキテクチャを設計することとした。また、この変更に伴い、2 年目以降はテーマ (a) と (b) を融合し、一体的に進めることとした。

4. 研究成果

(1) 本研究のベースとなるアーキテクチャとして、最大 33 コアからなるメニーコア・アーキテクチャを設計し、FPGA 上に実装した（雑誌論文⑦、学会発表③⑫⑬⑳）。このアーキテクチャは、1 個のホストコアと、最大 32 個のスレーブコアから構成される。スレーブコアは 4 つのクラスタに分割されて配置されている。ホストコア上では Linux が動作し、その上で OpenCL ホストコードが実行される。一方、スレーブコア上では OpenCL カーネルコードが実行される。開発したメニーコア・アーキテクチャ上で、効率的にプログラムを実行する OpenCL フレームワークも開発した。実行するプログラムに並列性が乏しい場合には、すべてのスレーブコアを用いて実行することは、性能の低下を招くことがある。開発した OpenCL フレームワークでは、一部のコアだけを使用する場合に、同一クラスタ内のコアを使用する方法と、異なるクラスタから均等にコアを使用する方法の 2 通りを実装した。プログラムに応じてコアの使用方法を使い分けることにより、プログラムの効率的な実行が可能となる。

(2) 上記 (1) で開発したアーキテクチャは、設計時のカスタマイズが可能である。具体的には、各コアの浮動小数点ユニット、キャッシュサイズ、ローカルメモリのサイズ、クラスタ数、クラスタあたりのコア数、共有メモリのサイズ、共有メモリの配置場所などを容易に変更することが可能である。本研究では、これらのアーキテクチャ設計空間を体系的に探索する手法を開発した（学会発表③⑳）。学会発表③では、メモリアーキテクチャやクラスタ構成を探索する手法を、学会発表⑳では、コア数、キャッシュサイズ、浮動小数点ユニットなどの構成を探索する手法を開発した。また、設計探索の際に有用となるシミュレータを開発した（学会発表㉕）。

(3) 近年、ハード CPU コアが搭載された FPGA が普及している。このような FPGA は、FPGA-SoC と呼ばれる。本研究では、FPGA-SoC を対象として、非均質なマルチコア・アーキテクチャと、そのアーキテクチャ向けの OpenCL フレームワークを開発した（雑誌論文⑧、学会発表⑭㉑）。

開発したアーキテクチャは、2個のハードコアと、2~4個のソフトコアから構成される。開発した OpenCL フレームワークは、3種類の実行モードを備えている。すなわち、「OpenCL ホストコードをハードコアで実行し、OpenCL カーネルコードをソフトコアで実行するモード」「ソフトコアは使用せず、OpenCL ホストコードと OpenCL カーネルコードの両方をハードコアで実行するモード」「OpenCL ホストコードをハードコアで実行し、OpenCL カーネルコードをハードコアとソフトコアの両方で実行するモード」の3種類である。

(4) 本来 OpenCL はプラットフォーム依存であり、マルチコア CPU、GPU、DSP、FPGA など、様々なプラットフォーム上で動作するが、GPU プログラミング向けに使用されることが多い。GPU 向けに書かれた OpenCL プログラムは、数億以上のスレッド (ワークアイテム) から構成されることも珍しくない。超多数のスレッドから構成される OpenCL プログラムをマルチコア上で動作させた場合、期待ほどの性能が得られないことが多い。そこで本研究では、超多数のスレッドからなる OpenCL プログラムを、均質なマルチコア上で効率的に実行することが可能な OpenCL フレームワークを開発した (学会発表②④⑦⑲)。開発した OpenCL フレームワークは、3種類の実行モードを備えている。すなわち、「すべての OpenCL スレッドを同時に生成して実行するモード」「OpenCL スレッドを少しずつ生成して実行するモード」「OpenCL スレッドを少数のスレッドに併合して実行するモード」の3種類である。OpenCL スレッド数が少ない場合には1番目または2番目のモードで実行し、OpenCL スレッド数が非常に多い場合には3番目のモードで実行する。

(5) 並列に動作する異なる複数のタスクに対して、効率的にコアを割り当てるタスクマッピング手法を開発した (雑誌論文⑩⑬、学会発表②⑥)。開発した手法は、各タスクに割り当てるコアの数を最適に決定する。総コア数の制約のもとで、高い並列性を有するタスクには多数のコアを割り当て、並列性の乏しいタスクには少数のコアを割り当てることで、システム全体のスループットを最大化する。

(6) 依存関係のある複数の並列タスクを、マルチコア/メニーコア上で効率的に実行するスケジューリング手法を開発した (雑誌論文①④⑤⑫、学会発表⑧⑬⑱)。従来のタスクスケジューリングは、異なるタスクを異なるコア上で並列に動作させることにより、高性能化を狙っている。しかし、各タスクは1つのコア上で実行されることを想定している。本研究では、各タスクが複数のコア上で実行され得ることを想定し、様々なスケジューリング・アルゴリズム (分枝限定法、遺伝的アルゴリズム、リストスケジューリングなど) を開発した。

(7) 上記(6)のスケジューリング手法は、各タスクが複数のコアで実行されることを許しているが、各タスクに割り当てられるコア数は既定であることを想定していた。そこで、上記(6)の研究を拡張し、スケジューリングと同時に、各タスクのコア数も決定するスケジューリング手法を開発した (雑誌論文②⑥⑪、学会発表①④⑤⑳)。

(8) 上記(7)の研究を拡張し、スケジューリングと同時に、コアの構成も最適化する手法を開発した (雑誌論文③、学会発表⑥)。高性能だが高電力なコア (ビッグコア) と、低性能だが低電力なコア (リトルコア) の2種類のコアからなる非均質マルチコア/メニーコアを対象として、性能要求を満たす範囲内で消費電力が最小となるように、ビッグコアとリトルコアの数を決定する。

(9) プロセッサベースのアーキテクチャだけでなく、専用ハードウェアを高位合成する研究も実施した (学会発表⑦⑩⑪⑯⑳)。また、高効率な専用ハードウェアを実現するための近似計算乗算器の開発も行った (雑誌論文⑨、学会発表⑨⑮⑰)。

(10) 上述の通り、本研究では非常に多くの成果を挙げた。4年間で、13編の雑誌論文を公表し (採録決定を含む)、30件の国際会議発表を行った。また、国際会議発表のうち、3件は Best Paper Award を受賞し、1件は Student Presentation Award を受賞した。

5. 主な発表論文等

[雑誌論文] (計13件)

- ① Yang Liu, Lin Meng, Ittetsu Taniguchi, Hiroyuki Tomiyama, "A Branch-and-Bound Approach to Scheduling of Data-Parallel Tasks on Multicore Architectures," Accepted for publication in International Journal of Embedded Systems, Inderscience Publishers, 2019. 査読あり・採録決定。
- ② Kana Shimada, Ittetsu Taniguchi, Hiroyuki Tomiyama, "ILP-based Scheduling for Malleable Fork-Join Tasks," Accepted for publication in ACM SIGBED Review, 2019. 査読あり・採録決定。
- ③ Hiroki Nishikawa, Kana Shimada, Ittetsu Taniguchi and Hiroyuki Tomiyama, "Energy-Aware Scheduling of Malleable Fork-Join Tasks under a Deadline Constraint

- on Heterogeneous Multicores," Accepted for publication in ACM SIGBED Review, 2019. 査読あり・採録決定.
- ④ Kana Shimada, Ittetsu Taniguchi and Hiroyuki Tomiyama, "Communication-Aware Scheduling of Data-Parallel Tasks on Multicore Architectures," Accepted for publication in IPSJ Transactions on System LSI Design Methodology, vol. 12, 2019. 査読あり・採録決定.
 - ⑤ Yang Liu, Lin Meng and Hiroyuki Tomiyama, "A Genetic Algorithm for Scheduling of Data-Parallel Tasks on Multicore Architectures," Accepted for publication in IPSJ Transactions on System LSI Design Methodology, vol. 12, 2019. 査読あり・採録決定.
 - ⑥ Hiroki Nishikawa, Kana Shimada, Ittetsu Taniguchi and Hiroyuki Tomiyama, "A Constraint Programming Approach to Scheduling of Malleable Tasks," Accepted for publication in International Journal on Networking and Computing, vol. 9, no. 2, 2019. 査読あり・採録決定.
 - ⑦ Seiya Shirakuni, Ittetsu Taniguchi, Hiroyuki Tomiyama, "Design and Evaluation of Asymmetric and Symmetric 32-core Architectures on FPGA," IPSJ Transactions on System LSI Design Methodology, vol. 12, pp. 42-45, 2019. 査読あり.
DOI:10.2197/ipsjtsldm.12.42
 - ⑧ Takafumi Miyazaki, Shunsuke Takai, Ittetsu Taniguchi, Hiroyuki Tomiyama, "An OpenCL-based Software Framework for a Heterogeneous Multicore Architecture on Zynq-7000 SoC," IPSJ Transactions on System LSI Design Methodology, vol. 12, pp. 46-49, 2019. 査読あり.
DOI:10.2197/ipsjtsldm.12.46
 - ⑨ Takahiro Yamamoto, Ittetsu Taniguchi, Hiroyuki Tomiyama, Shigeru Yamashita, Yuko Hara-Azumi, "A Systematic Methodology for Design and Worst-Case Error Analysis of Approximate Array Multipliers," IEICE Trans. on Fundamentals, vol. E100-A, no. 7, pp. 1496-1499, 2017. 査読あり.
DOI:10.1587/transfun.E100.A.1496
 - ⑩ Yining Xu, Ittetsu Taniguchi, Hiroyuki Tomiyama, "Static Mapping of Parallelizable Tasks under Deadline Constraints," IEICE Trans. on Fundamentals, vol. E100-A, no. 7, pp. 1500-1502, 2017. 査読あり.
DOI:10.1587/transfun.E100.A.1500
 - ⑪ Kana Shimada, Shogo Kitano, Ittetsu Taniguchi, Hiroyuki Tomiyama, "ILP-based Scheduling for Parallelizable Tasks," IEICE Trans. on Fundamentals, vol. E100-A, no. 7, pp. 1503-1505, 2017. 査読あり.
DOI:10.1587/transfun.E100.A.1503
 - ⑫ Yang Liu, Lin Meng, Ittetsu Taniguchi, and Hiroyuki Tomiyama, "A Dual-Mode Scheduling Approach for Task Graphs with Data Parallelism," International Journal of Embedded Systems, Inderscience Publishers, vol. 9, no. 2, pp. 147-156, 2017. 査読あり.
DOI:10.1504/IJES.2017.083734
 - ⑬ Yining Xu, Yang Liu, Junya Kaida, Ittetsu Taniguchi, and Hiroyuki Tomiyama, "Static Mapping of Multiple Parallel Applications on Non-Hierarchical Manycore Embedded Systems," IEICE Trans. on Fundamentals, vol. E99-A, no. 7, pp. 1417-1419, 2016. 査読あり.
DOI:10.1587/transfun.E99.A.1417

[学会発表] (計 54 件)

- ① Kana Shimada, Ittetsu Taniguchi and Hiroyuki Tomiyama, "Communication-Aware Scheduling for Malleable Tasks," International Conference on Platform Technology and Service (PlatCon), 2019.
- ② Takafumi Miyazaki, Hayato Hidari, Naohisa Hojo, Ittetsu Taniguchi and Hiroyuki Tomiyama, "Revisiting Thread Execution Methods for GPU-oriented OpenCL Programs on Multicore Processors," International Workshop on Advances in Networking and Computing (WANC) in conjunction with International Symposium on Computing and Networking (CANDAR), 2018. (Best Paper Award)
- ③ Seiya Shirakuni, Ittetsu Taniguchi and Hiroyuki Tomiyama, "A Case Study on Memory Architecture Exploration for Manycores on an FPGA," International Workshop on Computer Systems and Architectures (CSA) in conjunction with International Symposium on Computing and Networking (CANDAR), 2018.
- ④ Hiroki Nishikawa, Kana Shimada, Ittetsu Taniguchi and Hiroyuki Tomiyama, "Scheduling of Malleable Fork-Join Tasks with Constraint Programming," International Symposium on Computing and Networking (CANDAR), 2018.
- ⑤ Hiroki Nishikawa, Kana Shimada, Ittetsu Taniguchi, Hiroyuki Tomiyama, "Scheduling of Malleable Tasks Based on Constraint Programming," IEEE Region 10 Conference

- (TENCON), 2018.
- ⑥ Hiroki Nishikawa, Kana Shimada, Ittetsu Taniguchi and Hiroyuki Tomiyama, "Energy-Aware Scheduling of Malleable Fork-Join Tasks under a Deadline Constraint on Heterogeneous Multicores," Embedded Operating System Workshop (EWiLi), 2018.
 - ⑦ Yuuki Oosako, Nagisa Ishiura, Hiroyuki Tomiyama, Hiroyuki Kanbara, "Synthesis of Full Hardware Implementation of RTOS-Based Systems," International Symposium on Rapid System Prototyping (RSP), 2018.
 - ⑧ Kana Shimada, Ittetsu Taniguchi and Hiroyuki Tomiyama, "Communication-Aware Scheduling of Data-Parallel Tasks," International Conference on Compilers, Architecture, and Synthesis for Embedded Systems (CASES), 2018.
 - ⑨ Takahiro Yamamoto, Kenta Shirane, Ittetsu Taniguchi, Hiroyuki Tomiyama, Shigeru Yamashita, Yuko Hara-Azumi, "A Systematic Approach to Design of Approximate Array Multipliers," Taiwan and Japan Conference on Circuits and Systems (TJCAS), 2018. (Student Presentation Award)
 - ⑩ Ryohei Nozaki, Ittetsu Taniguchi, Hiroyuki Tomiyama, "Function-Level Module Sharing with High-Level Synthesis," Taiwan and Japan Conference on Circuits and Systems (TJCAS), 2018.
 - ⑪ Takuya Adachi, Ittetsu Taniguchi, Hiroyuki Tomiyama, "High-Level Synthesis of the CHStone Benchmark Programs with SDSoc," Taiwan and Japan Conference on Circuits and Systems (TJCAS), 2018.
 - ⑫ Seiya Shirakuni, Ittetsu Taniguchi, Hiroyuki Tomiyama, "Design of Asymmetric and Symmetric 32-core Architectures on FPGA," International Symposium on Advanced Technologies and Applications in the Internet of Things (ATAIT), 2018.
 - ⑬ Yang Liu, Lin Meng, Hiroyuki Tomiyama, "A Genetic Algorithm for Scheduling of Data-Parallel Tasks," International Symposium on Advanced Technologies and Applications in the Internet of Things (ATAIT), 2018.
 - ⑭ Takafumi Miyazaki, Ittetsu Taniguchi, Hiroyuki Tomiyama, "A Heterogeneous Multicore Architecture and a Parallel Software Environment for Zynq SoC," International Symposium on Advanced Technologies and Applications in the Internet of Things (ATAIT), 2018. (Best Paper Award)
 - ⑮ Takahiro Yamamoto, Hiroyuki Tomiyama, Ittetsu Taniguchi, Shigeru Yamashita, Yuko Hara-Azumi, "Systematic Design of Approximate Array Multipliers with Different Accuracy," International Workshop on Highly Efficient Neural Networks Design (HENND) in conjunction with ESWEEK, 2017.
 - ⑯ Naoya Ito, Yuuki Oosako, Nagisa Ishiura, Hiroyuki Tomiyama and Hiroyuki Kanbara, "Binary Synthesis Implementing External Interrupt Handler as Independent Module," International Symposium on Rapid System Prototyping (RSP), 2017.
 - ⑰ Takahiro Yamamoto, Ittetsu Taniguchi, Hiroyuki Tomiyama, Shigeru Yamashita, Yuko Hara-Azumi, "A Systematic Methodology for Design and Analysis of Approximate Array Multipliers," Asia Pacific Conference on Circuits and Systems (APCCAS), 2016.
 - ⑱ Yang Liu, Lin Meng, Ittetsu Taniguchi, Hiroyuki Tomiyama, "A Branch-and-Bound Algorithm for Scheduling of Data-Parallel Tasks," Workshop on Synthesis and System Integration of Mixed Information Technologies (SASIMI), 2016.
 - ⑲ Seiya Shirakuni, Muneyuki Takenae, Ittetsu Taniguchi, Hiroyuki Tomiyama, "Analysis of Hierarchical 32-Core Architectures for FPGA-based Embedded Systems," Taiwan and Japan Conference on Circuits and Systems (TJCAS), 2016.
 - ⑳ Kana Shimada, Shogo Kitano, Ittetsu Taniguchi, Hiroyuki Tomiyama, "ILP-based Scheduling for Malleable Parallel Tasks," International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC), 2016.
 - ㉑ Shunsuke Takai, Ittetsu Taniguchi, Hiroyuki Tomiyama, Sri Parameswaran, "An OpenCL Framework for FPGA-based Heterogeneous Multicore Architecture," International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC), 2016.
 - ㉒ Yining Xu, Ittetsu Taniguchi, Hiroyuki Tomiyama, "Deadline-Constrained Static Mapping of Parallelizable Tasks on Manycore Architectures," International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC), 2016.
 - ㉓ Muneyuki Takenae, Ittetsu Taniguchi, Hiroyuki Tomiyama, "A Case Study on Exploration of FPGA-based Multicore/Manycore Architectures," International Symposium on Low-Power and High-Speed Chips (COOL Chips), 2016.
 - ㉔ Naohisa Hojo, Ittetsu Taniguchi, Hiroyuki Tomiyama, "Comparison of Thread Execution Methods for GPU-oriented OpenCL Programs on Multicore Processors," Embedded Operating Systems Workshop (EWiLi), 2015.
 - ㉕ Yusuke Fukutsuka, Yosuke Kurimoto, Ittetsu Taniguchi, Hiroyuki Tomiyama, "A Flexible

- Simulation Framework for Network-on-Chip with QEMU and SystemC," International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC), 2015.
- ②6 Yining Xu, Junya Kaida, Yang Liu, Ittetsu Taniguchi, Hiroyuki Tomiyama, "Static Task Mapping for Non-Hierarchical Manycore SoCs," International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC), 2015.
 - ②7 Shunsuke Takai, Naoki Nishiyama, Ittetsu Taniguchi, Hiroyuki Tomiyama, "A Lightweight OpenCL Framework for Embedded Multicore Processors," International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC), 2015. (Best Paper Award)
 - ②8 Naohisa Hojo, Ittetsu Taniguchi, Hiroyuki Tomiyama, "Efficient Execution of OpenCL-based GPU Programs on Multicore Processors," International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC), 2015.
 - ②9 Yohei Onishi, Ittetsu Taniguchi, Hiroyuki Tomiyama, "Revisiting Function Inlining in FPGA High-Level Synthesis," International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC), 2015.
 - ③0 Muneyuki Takenae, Ittetsu Taniguchi, Hiroyuki Tomiyama, "Design and Implementation of Hierarchical 32-Core Architecture for FPGA-based Embedded Systems," International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC), 2015.

[その他]

ホームページ等

<http://www-ja.tomiyama-lab.org/>

6. 研究組織

(1) 研究分担者

研究分担者氏名：谷口 一徹

ローマ字氏名：(TANIGUCHI, Ittetsu)

所属研究機関名：大阪大学

部局名：情報科学研究科

職名：准教授

研究者番号 (8 桁)：40551453

(2) 研究協力者

研究協力者氏名：Nikil Dutt

ローマ字氏名：(Nikil Dutt)