

平成 30 年 6 月 11 日現在

機関番号：82401

研究種目：基盤研究(B) (一般)

研究期間：2015～2017

課題番号：15H02709

研究課題名(和文) O(1億)コア環境におけるスケーラブルな数値計算ソフトウェアの理論と応用

研究課題名(英文) Theory and Application of Scalable Numerical Software on an O(100M) core environment

研究代表者

今村 俊幸 (IMAMURA, Toshiyuki)

国立研究開発法人理化学研究所・計算科学研究機構・チームリーダー

研究者番号：60361838

交付決定額(研究期間全体)：(直接経費) 17,100,000円

研究成果の概要(和文)：本研究は、数万から数億のコアプロセッサが搭載される計算システム環境下において、過去に蓄積された高性能な数値計算サービスを新しい数学原理に基づき実現することを目的とし、「異粒度数値カーネル構築」と共に「非同期的な数値計算アルゴリズム」の2大テーマのもと、1) 非同期的数値計算アルゴリズムに関する理論と実用レベルにある省通信・省同期アルゴリズムについて研究しCAHTRやFDTD向けの手法を提案した。更に、2) 超メニコアでのスケーラブルな軽量コード生成のための自動チューニングなどの核基盤技術研究を推進し次世代数値計算ソフトウェアの新技术創出に繋がる新機軸探究を進めた。

研究成果の概要(英文)：This research project aims to realize high performance numerical services investigated in the past based on new mathematical principles in the emerging computing system where tens of thousands to hundreds of millions of processing cores are installed. Giving two important themes, 'Mixed-granularity numerical kernel' and 'Asynchronous numerical algorithm,' we conducted; i) the research on the theory of asynchronous numerical algorithms. Also avoidance of communication and synchronization at a practical level, then CAHTR and a new method for the FDTD scheme were proposed. Furthermore, we have practiced; ii) promoting research on core numerical infrastructure technologies such as automatic tuning for scalable, lightweight code generation at super-many-core, and promoting innovative research leading to the next generation numerical calculation software.

研究分野：高性能計算

キーワード：高性能計算 非同期 省通信・省同期 メニコア 自動チューニング 分割統治法 時空間タイリング 時間方向並列

## 1. 研究開始当初の背景

メニイコア環境の登場はこれまで  $O(10) \sim O(100)$  程度の並列度を生かすためのシングルトasksの最適化に注力が割かれてきたが、実際はすでに並列度が不足し複数tasksを並列に動作させるマルチtasks on メニイコア実装が実現し始めている。

実際、OpenMP のタスク並列の文法やランタイムの強化、CUDA がそもそも想定するマルチレベルパラリズムはまさにこの状況を想定してきたものでありデータパラレルとは一線を画すとともにこれまでの資産の継承するためにも同居すべき技術となっている。

一方、データパラレルでも同期オーバーヘッドが深刻化していったがマルチtasks処理において同期ポイントは負荷バランスや同期待ち時間を複雑にし、実行効率を下げるとの認識がある。これらを解決する概念として、アルゴリズムの非同期化による同期の削減が進められている。しかしながら、数学原理への有効な適用範囲や一般化は 2010 年代に実用化に向けた研究が始まったばかりであり HPC コミュニティにおける喫緊の課題といえる。

また、数学的原理の研究と共に負荷や同期コストを最大限に減らした light-weight 実装がメニイコア上での数学ソフトウェアには必要不可欠となっている。同時に、ほぼ無尽蔵にあると思われるメニイコアの計算資源ではあるが実際には有限資源に制約されるために負荷不均衡による性能の振動やオーバーヘッドによる小規模問題の性能劣化などの問題が存在している。

## 2. 研究の目的

本研究は、数万から数億のコアプロセッサが搭載される計算システム環境下において、過去に蓄積された高性能な数値計算サービスを新しい数学原理に基づき早期に実現することを目的とし、「異粒度数値カーネル構築」と共に「非同期的な数値計算アルゴリズム」の2大テーマのもと、

- 1) 非同期的数値計算アルゴリズムの理論、
- 2) 超メニイコアでのスケラブルな軽量コード生成のための自動チューニング・通信同期回避技術

などの核基盤技術の研究により次世代数値計算ソフトウェアの新技术創出に繋がる新機軸探究を進める。HPC の本質「進化と変化がとどまることのない多様な計算機アーキテクチャを研究し、新しい環境下の中の新しい制約条件を定義し、当該環境での高性能数値計算ライブラリの実現を進めること」への貢献を目的とする。

## 3. 研究の方法

本研究では、超メニイコア環境での「非同期的数値計算アルゴリズム」の新技术創出のもと

- ・ 非同期的アルゴリズムの構成方法と数理的性質
- ・ 非同期的アルゴリズムを計算機上で表現する手法
- ・ 小規模・中規模粒度での低オーバーヘッド技術（通信・同期削減技術など）
- ・ メニイコア環境で実現するためのソフトウェア周辺技術

について、それぞれサブグループを編成し、新技术の展開を戦略的に行う。開発成果はオープンソフトウェアとして整備するとともに、「テンソル特異値解析」などの新应用技术への速やかな展開を視野に入れて進める。

## 4. 研究成果

初年度(2015年度)は、非同期アルゴリズムの理論的研究のスタートアップとして、非同期アルゴリズムの理解のための予備調査と呼び実装を中心に実施した。非同期アルゴリズムの理論的研究の予備的な調査に関して、非同期型数値計算アルゴリズムと時間方向離散化手法の非同期原理の研究、既存の非同期アルゴリズムや関連アルゴリズムの分析と拡張、非同期アルゴリズム構築に必要なコンパクトなカーネル生成技術の研究について実施した。

個別の成果として、並列固有値計算ライブラリ EigenExa に対して計算時間中での最大のボトルネックである集団通信発行回数を  $2/5$  に削減し細粒度通信を回避する通信可否アルゴリズムの開発に成功している。これにより、演算全体のコスト  $O(N^3)$  に対して  $O(N^2)$  の増加はあるもののそれを上回る通信コスト削減が認められた。実際、1024 プロセスを用いた 5000 次元の実対称行列の三重対角化で最大 1.4 倍の高速化が確認されている。

また、低オーバーヘッドな計算カーネル開発に関する工学的な展開として、GPU 上でのスレッド形状自動選択を各種資源占有率と計算コストモデルとを組み合わせ自動選択する GEMV(一般の行列ベクトル積)アルゴリズムの開発に成功している。また、SYMV(対象行列ベクトル積)についても、アトミック演算を使用して CUDA・メニイコア環境でスケラブルなアルゴリズム開発と実装に成功している。

次年度(2016年度)は i) 非同期的アルゴリズムと対比する実用上重要な通信回避アルゴリズム, ii) GPU 上での BLAS カーネルのスレッド数自動選択手法の整理, iii) メニイコアアーキテクチャの実応用問題上での性能評価を進めた。

個別成果として、分割統治法(D&C 法)など

のツリー型の定形数値計算モデルにおいて、深さ優先多作と幅優先探索、タスク中の中粒度タスクの分割と再スケジューリングによる実行効率改善について実証研究を開始した。特に、Intel 社が Xeon Knight Corner として市場展開している、MIC(Manycore Integrated CPU)で有効な幅優先探索タスク割り付けを考案した。

さらに、サーバ用途向けではなくコンシューマレンジ GPU では倍精度演算器がフルサポートされていないため Dekker のアルゴリズムを単精度演算を活用して倍精度演算を実現する doubled-floatGEMM ルーチンを開発し、倍精度演算と単精度演算との性能差が 1:16 以上であれば doubled-floatGEMM ルーチンが倍精度 gemm ルーチンを上回ることを実証した。このような劣精度計算が可能分野があれば、ハードウェア的に意図した混合精度演算や演算器を利用することの有意性があることが示された。

最終年度(2017 年)は、1) バッチ型処理導入による処理間の依存関係と同期除去による固有値計算の高並列戦略の実装と評価を進めた。2) 並びにタスク並列型数値計算ライブラリを効率的に記述するクラス設計によりメニーコア資源上での柔軟なタスク実行とデータ型と実行ハードウェアを同時に表現できる体系を研究した。3) さらに時空間タイリングによるメニーコア資源を効率的にスケジューリングする手法研究を進め、基盤の側面から実用面において一定の成果を得た。

個別の成果としては、D&C のタスク再構成が batched BLAS 方式で実現できることがわかり、高性能な batchedBLAS の実装を利用することでシステムの利用率を向上させ性能向上に寄与することが確認されている。

また、上記のようなタスクプログラミングは通常データ並列プログラムの範疇では各種依存関係を記述することが困難である。本研究では OpenMP と C++ のテンプレートやネームスペース管理を効率的に利用し、タスク並列・オフロードリソース・計算精度などを可読性高く従来の数学あるごり後リズム記述との親和性を保つことのできる次世代の数学ライブラリ API の設計に乗り出し、プロトタイプと一例を提案した。

更に、マルチコア環境における微分方程式系の省通信アルゴリズムとして知られている時空間タイリング技法を電磁気問題の FDTD 法に適用し、効率的なクラスタリングとスケジューリングについて考察し、2次元、3次元問題に対して最良の結果を導き出すことに成功した。

数値計算ライブラリを主眼とした HPC 技術の研究では、進化と変化がとどまることのない多様な計算機アーキテクチャを研究し、新しい環境下の中の新しい制約条件を定義ま

た拡大し、当該環境での新しいソフトウェアの実現を進める。そういった意味で本研究課題は時代に沿った形で進んできたものといえる。

## 5. 主な発表論文等

〔雑誌論文〕(計 8 件)

Fukaya Takeshi, Iwashita Takeshi,  
Time-space tiling with tile-level  
parallelism for the 3D FDTD method,  
Proceedings of the International  
Conference on High Performance  
Computing in Asia-Pacific Region (HPC  
Asia 2018), 2018, 116-126, doi:  
10.1145/3149457.3149478, 査読有

Hirota Yusuke, Imamura Toshiyuki,  
Parallel Divide-and-Conquer  
Algorithm for Solving Tridiagonal  
Eigenvalue Problems on Manycore  
Systems, LNCS 10777, 2018, 623-633,  
doi:10.1007/978-3-319-78024-5\_54,  
査読有

Toshiyuki Imamura, Daichi Mukunoki,  
Yusuke Hirota, Susumu Yamada,  
Masahiko Machida, Design Towards  
Modern High Performance Numerical LA  
Library Enabling Heterogeneity and  
Flexible Data Formats, Advances in  
Parallel Computing 32, 2018, 97-106,  
doi:10.3233/978-1-61499-843-3-97,  
査読有

廣田悠輔, 今村俊幸, メニーコアプロセ  
ッサ向け分割統治法の実装技術, 情報  
処理学会研究報告ハイパフォーマンス  
コンピューティング(HPC), 査読無,  
Vol.2017-HPC-158, No.20, 2017, 1-9

Daichi Mukunoki, Toshiyuki Imamura  
and Daisuke Takahashi, Automatic  
Thread-Block Size Adjustment for  
Memory-Bound BLAS Kernels on GPUs,  
Proceedings of IEEE 10th  
International Symposium on Embedded  
Multicore/Many-core Systems-on-Chip  
(MCSoc-16), 査読有, Vol:なし, 2016,  
377-384, doi:10.1109/MCSoc.2016.32

Toshiyuki Imamura, Takeshi Fukaya,  
Yusuke Hirota, Susumu Yamada,  
Masahiko Machida, CAHTR:  
Communication-Avoiding Householder  
Tridiagonalization, Advances in  
Parallel Computing, 査読有, 27, 2016,  
381-390, doi:  
10.3233/978-1-61499-621-7-381

今村俊幸, 椋木大地, コンシューマレン  
ジ GPU に最適化した固有値ソルバーの実  
装と評価, 情報処理学会研究報告ハイ  
パフォーマンスコンピューティング  
(HPC), 査読無, 2016-HPC-157, No.7,

2016, 1-9

今村俊幸, 椋木大地, 山田進, 町田昌彦, SYMV・GEMVルーチン群のマルチGPU化とその評価, 情報処理学会研究報告, 査読無, 2015-HPC-151, Vol.13, 2015

[学会発表](計10件)

Takeshi Fukaya and Takeshi Iwashita, Performance evaluation of time-space tiling with tile-level parallelism for iterative stencil computations, 2018 Conference on Advanced Topics and Auto Tuning in High-Performance Scientific Computing (ATAT in HPC 2018), Tainan, Taiwan (招待講演)(国際学会), 2018

大井祥栄, Parareal手法を用いた時間並列計算の性能評価, 第46回数値解析シンポジウム(NAS2017), グリーンパーク想い出の森, 滋賀県高島市, 2017

Toshiyuki Imamura, Acceleration of the EigenG solver on a consumer-ranged GPU, 2017 Conference on Advanced Topics and Auto Tuning in High-Performance Scientific Computing(招待講演)(国際学会), 2017年03月10日, National Taiwan University (Taipei, Taiwan)

Toshiyuki Imamura, Yusuke Hirota, Susumu Yamada and Masahiko Machida, Communication Avoiding and Synchronous Reducing Techniques for Dense Parallel Eigenvalue Solver, SIAM Conference on Computational Science and Engineering (CSE17)(国際学会), 2017年03月01日, Hilton Atlanta (Atlanta, GA, USA)

Daichi Mukunoki, Toshiyuki Imamura and Daisuke Takahashi, Implementation Techniques for High Performance BLAS Kernels on Modern GPUs, SIAM Conference on Computational Science and Engineering (CSE17)(国際学会), 2017年02月28日, Hilton Atlanta (Atlanta, GA, USA)

Takeshi Fukaya and Takeshi Iwashita, Performance Evaluation of Time-Space Tiling Strategies for Iterative Stencil Computations on Multi/Many-Core CPU Systems, SIAM Conference on Computational Science and Engineering (CSE17)(国際学会), 2017年02月28日, Hilton Atlanta (Atlanta, GA, USA)

Yusuke Hirota and Toshiyuki Imamura, Development of Banded Eigenvalue Solvers for Shared Memory Parallel Computers, The 7th AICS International Symposium(国際学会), 2017年02月23日, Integrated Research Center of

Kobe University (Kobe, Japan)  
今村俊幸, 非同期的な数学的アルゴリズムのソフトウェアの可能性, 第8回自動チューニング技術の現状と応用に関するシンポジウム(ATTA2016), 2016年12月25日, 東京大学山上会館(文京区, 東京都)

Toshiyuki Imamura, Performance Analysis of the Householder Back-transformation with Asynchronous Collective Communication, 2015 SIAM Conference on Applied Linear Algebra(国際学会), 2016年10月26日, Hyatt Regency Atlanta, US

Daichi Mukunoki, Toshiyuki Imamura and Daisuke Takahashi, Automatic Thread-Block Size Adjustment for Dense Matrix-Vector Multiplication on CUDA, Conference on Advanced Topics and Auto Tuning in High-Performance Scientific Computing(招待講演)(国際学会), 2016年02月19日~2016年02月20日, National Taiwan University

## 6. 研究組織

### (1) 研究代表者

今村 俊幸 (IMAMURA, Toshiyuki)

国立研究開発法人理化学研究所・計算科学研究機構・チームリーダー

研究者番号: 60361838

### (2) 研究分担者

廣田 悠輔 (HIROTA, Yusuke)

国立研究開発法人理化学研究所・計算科学研究機構・特別研究員

研究者番号: 60709765

椋木 大地 (MUKUNOKI, Daichi)

東京女子大学・理学(系)研究科(研究院)・特任研究員

研究者番号: 90742289

大井 祥栄 (OHI, Yoshiharu)

国立研究開発法人理化学研究所・計算科学研究機構・特別研究員

研究者番号: 10721045

深谷 猛 (FUKAYA, Takeshi)

国立大学法人北海道大学・情報基盤センター・助教

研究者番号: 30633846

### (3) 連携研究者

山本 有作 (YAMAMOTO, Yusaku)

国立大学法人電気通信大学・情報理工学研究科・教授

研究者番号: 20362288

藤堂 眞治 (Todo, Shinji)

国立大学法人東京大学・理学系研究科・准教授

研究者番号: 10291337