

平成 29 年 6 月 15 日現在

機関番号：12608

研究種目：研究活動スタート支援

研究期間：2015～2016

課題番号：15H06204

研究課題名(和文)自己組織化単分子膜を用いたMIS界面設計と新機能ナノ電子デバイスへの応用展開

研究課題名(英文) Self-assembled monolayer-based gate dielectrics in MIS structure and its application to functional nano-electronic devices

研究代表者

川那子 高暢 (Kawanago, Takamasa)

東京工業大学・科学技術創成研究院・助教

研究者番号：30726633

交付決定額(研究期間全体)：(直接経費) 2,300,000円

研究成果の概要(和文)：自己組織化単分子膜(Self-Assembled Monolayer:SAM)をゲート絶縁膜に用いたゲート絶縁膜技術を確立し、新機能を有する電子デバイス開拓に向けた異種材料の界面設計に関する研究を行った。ゲート絶縁膜は酸素プラズマによって形成したアルミニウム酸化膜とホスホン酸SAMの2層構造からなる。極薄膜厚かつ高い絶縁性を有する自己組織化単分子膜をゲート絶縁膜に用いることで、2V駆動のMoS<sub>2</sub> FETsの作製に成功した。またId-Vg特性にヒステリシスは認められず、サブスレッショルドスロープも69 mV/decであることから、良好な界面特性をMoS<sub>2</sub>/SAM構造によって実現した。

研究成果の概要(英文)：In this study, we apply self-assembled-monolayer (SAM)-based gate dielectrics to the fabrication of molybdenum disulfide (MoS<sub>2</sub>) field-effect transistors. A simple fabrication process involving the selective formation of a SAM on metal oxides in conjunction with the dry transfer of MoS<sub>2</sub> flakes was established. A subthreshold slope (SS) of 69 mV/dec and no hysteresis were demonstrated with the ultrathin SAM-based gate dielectrics accompanied by a low gate leakage current. The small SS and no hysteresis indicate the superior interfacial properties of the MoS<sub>2</sub>/SAM structure. Cross-sectional transmission electron microscopy revealed a sharp and abrupt interface of the MoS<sub>2</sub>/SAM structure. The SAM-based gate dielectrics are found to be applicable to the fabrication of low-voltage MoS<sub>2</sub> field-effect transistors and can also be extended to various layered semiconductor materials. This study opens up intriguing possibilities of SAM-based gate dielectrics in functional electronic devices.

研究分野：半導体電子工学

キーワード：自己組織化単分子膜 二硫化モリブデン 電界効果トランジスタ 界面特性

### 1. 研究開始当初の背景

ナノテクノロジーは、ナノスケールの構造物を作製する技術である[1]。分子層1層分の結晶膜である自己組織化単分子膜(SAM)は、ナノスケールの構造物を作製するための基礎的構成要素の1つと考えられる。SAMに関する研究は、SAMをマスクとする微細加工技術、材料表面の改質(親水性、疎水性、耐食性など)や光学デバイス応用など多岐にわたる[1]。近年、有機半導体トランジスタのゲート絶縁膜にSAMを用い、数nmの極薄膜厚領域において優れた絶縁特性が報告されたことから、SAMゲート絶縁膜技術とナノ電子デバイスへの応用展開の可能性が高まったと考えている[2]。これまでに申請者は、基板上への酸化物堆積を用いた極薄ゲート絶縁膜および絶縁膜/半導体界面制御に関する研究を行ってきた。種々の電子デバイスの中で、シリコン集積回路に代表される電界効果トランジスタ(FET)は、最も基本的な電子デバイスである。特に素子寸法がナノスケールの電子デバイスにおいて、極薄膜厚で高い絶縁性は不可欠な要素である。極薄膜厚かつ優れた絶縁性を有するSAMは、従来の酸化物を用いたゲート絶縁膜とは全く異なる材料、構造およびプロセスによって形成される。特に自己組織化という美しい化学的・物理的プロセスに強く魅了された。それはつまりSAMの形成プロセスにはself-limiting機構が内在しており、従来の堆積膜に必要な作製条件の最適化や堆積レートの制御といった設計図が不要である。またSAMは、様々な材料・構造の設計が可能で“豊かな”分子結晶膜であるため、新たな機能性の開拓が大いに期待できると考えている。加えてSAM表面は、活性な未結合手(ダングリングボンド)の無い“閉じた系”を構成できるため、電子デバイス応用に大きな優位性があると考えられる。電子デバイスの性能は、半導体、絶縁体や金属といった単体材料の特性ではなく、異種材料界面によって決定される。材料及び構造設計の選択肢が豊富であり、閉じた表面構造を有するSAMの特徴を生かした界面設計を行い、新機能電子デバイスの開拓を目指すことが本研究最大の動機である。

### 2. 研究の目的

自己組織化単分子膜(Self-Assembled Monolayer: SAM)を用いたゲート絶縁膜技術を確認し、新機能を有する電子デバイス開拓に向けた異種材料の界面設計を行う。自己組織化プロセスによって高密度に単分子層1層のみが材料表面上に形成されるSAMは、数nmの極薄膜厚領域においても再現性良く高い絶縁特性を得られるため、ナノスケール電子デバイスのゲート絶縁膜として非常に有望と考えられる。さらにSAMは多様な材料および構造の設計が可能であり、半導体材料とのMetal-Insulator-Semiconductor(MIS)界面設計によって新機能の開拓が期待でき

る。本研究の目的は2つある。1つ目は、SAMを用いたゲート絶縁膜形成とナノ電子デバイス作製を可能とするプラットフォームを確立することである。2つ目は、SAMを用いたMIS構造の界面特性を実験的に調べ、その知見をもとに新機能を有するナノスケール電子デバイス応用へと繋げることである。

### 3. 研究の方法

本研究の計画は大きく2つに分けられる。まずは電子デバイスの作製プロセスを確立する。SAM自体の形成手法は既に報告されているので、これを電子デバイスの作製プロセスへと拡張する。特に半導体プロセスで用いられている、微細加工技術、薬品耐性および材料堆積手法などに対するプロセス整合性を実験的に検証する。また多種多様な電子デバイスの設計と作製を行うため、柔軟に素子構造や材料を変更可能なプラットフォームを構築する。続いて、確立したプロセスによって作製した素子の基礎的なデータの取得と本質的な特性の理解を得る。電子デバイスの設計において最も重要な点は、ゲート絶縁膜とキャリアが、伝導する半導体材料で構成される異種材料界面の設計および制御である。故に、MIS構造界面を形成する半導体材料を慎重に選ぶ必要がある。本研究では、層状半導体材料である二硫化モリブデン( $\text{MoS}_2$ )をキャリアが伝導する半導体層として用いることを計画している[3]。その理由はSAMと同様に2次元の層状構造に起因する、ダングリングボンドが存在しない閉じた界面を形成できるからである。これによって、電気的に活性な界面欠陥の制御が不要となるため、SAMゲート絶縁膜を用いたゲートスタック構造の特性評価に適していると考えられる。また界面が閉じた系であることから、他材料と反応し難い安定な材料であるため、多様なMIS界面構造の設計も可能となる。電子デバイスの電気特性評価と並行し、物理分析を用いて作製した試料の構造を解析する。電気特性と物理分析の結果をもとに、MIS界面構造と電気特性の関係を解明する。どのような材料や構造を用いると、どのような電子デバイス特性が表れるのかを実験的に検証する。その結果を素子作製プロセスにフィードバックすることで、界面設計を行い新機能の開拓とナノ電子デバイス応用へ展開していく。

### 4. 研究成果

本研究の目的は、自己組織化単分子膜(Self-Assembled Monolayer: SAM)を用いたゲート絶縁膜技術を確認し、新機能を有するナノ電子デバイス開拓に向けた異種材料の界面設計を行うことである。H27年度は、まず電子デバイスの作製プロセスを確立した。SAM自体の形成手法は既に報告されているので、これを電子デバイスの作製プロセスへと拡張した。特に半導体プロセスで用いられて

いる、微細加工技術、薬品耐性および材料堆積手法などに対するプロセス整合性を実験的に検証した。続いて、確立したプロセスによって作製した素子の電気特性を評価した。また物理分析を用いて作製した試料の構造を解析した。SAM ゲート絶縁膜を用いた MoS<sub>2</sub> FET が、正常にトランジスタとして動作することを確認した。また、ドレイン電流-ゲート電圧特性から 2V 駆動の MoS<sub>2</sub> FET の作製に成功した (図 1)。これは、SAM/AIO<sub>x</sub> を用いた 2 層ゲート絶縁膜が極薄膜かつ高い絶縁性を有するからである。さらに、ドレイン電流-ゲート電圧特性からヒステリシスは認められず、サブスレッシュドスロープは 69mV/dec であることから、良好な界面特性を実現できた。透過電子顕微鏡 (TEM) による断面観察から、MoS<sub>2</sub> 層、SAM/AIO<sub>x</sub> ゲート絶縁膜、Al gate 電極が明確に確認でき、意図した構造になっていることを確認した (図 2)。また、TEM から MoS<sub>2</sub> 層の膜厚は約 45nm であることが分かった。さらにラマン分光の結果から、基板上に転写した MoS<sub>2</sub> はバルクの MoS<sub>2</sub> とまったく同じ特性を示すことを確認した (図 3)。SAM ゲート絶縁膜の電気的特性を評価するために、Metal-Insulator-Metal キャパシタを作製した。SAM/AIO<sub>x</sub> を用いた 2 層ゲート絶縁膜は、酸素プラズマによって作製した単層 AIO<sub>x</sub> に比べて絶縁特性が優れていることを実験的に示した (図 4)。

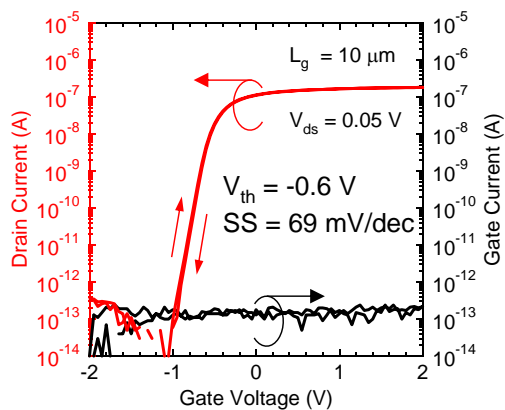


図 1. SAM/AIO<sub>x</sub> ゲート絶縁膜を用いて作製した MoS<sub>2</sub> FET のドレイン電流-ゲート電圧特性

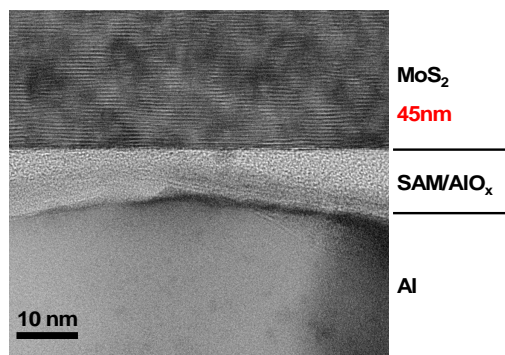


図 2. 透過電子顕微鏡 (TEM) による作製した MoS<sub>2</sub> FET のゲート構造の断面観察

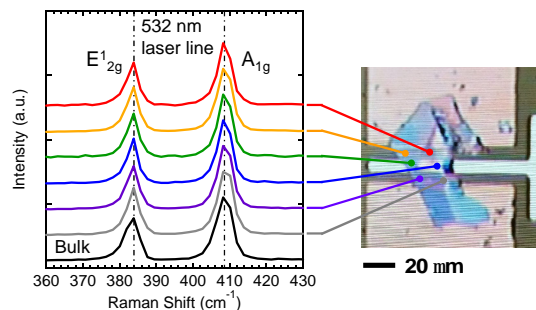


図 3. ラマン分光測定による基板上に転写した MoS<sub>2</sub> とバルク MoS<sub>2</sub> との比較

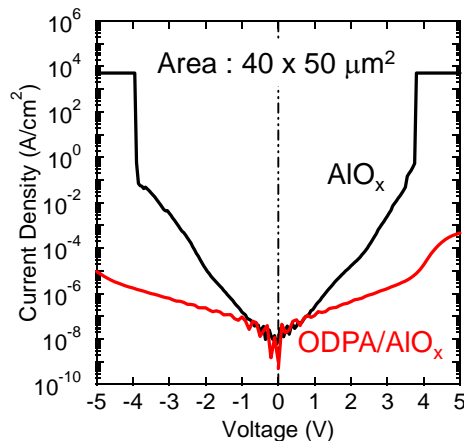


図 4. Metal-Insulator-Metal キャパシタを用いた SAM/AIO<sub>x</sub> ゲート絶縁膜と単層 AIO<sub>x</sub> ゲート絶縁膜の絶縁特性の比較

続いて、H27 年度に確立した作製プロセスを用い、作製した電子デバイスの特性を評価した。SAM と MoS<sub>2</sub> はどちらも表面にダングリングボンドがない不活性な閉じた構造をしている。SAM を吸着させた AIO<sub>x</sub> 絶縁膜上に MoS<sub>2</sub> を転写した FET の界面特性は、ヒステリシスが無く、サブスレッシュドスロープも小さい値を示した。一方、MoS<sub>2</sub> を AIO<sub>x</sub> 絶縁膜上に転写したデバイスは、非常に大きなヒステリシスを示したことから、SAM が界面特性の向上に重要な役割を果たしていることが分かった (図 5)。これにより SAM による界面設計の優位性を示すことができたと考えている。また新たに SAM を用いた自己整合的なパターンニング手法を確立し FET 作製に応用した。SAM を吸着させた材料表面は、疎水性を示し材料の密着性が著しく低下する。この特徴を用いて、SAM 表面に堆積した金属を選択的に除去することで、ナノスケールの溝を有する異種金属の電極を作製することに成功した。この自己整合的に作製した金属電極上に MoS<sub>2</sub> を転写することによって、FET の作製と特性評価を行った。素子特性は良好な結果を示し、さらに MoS<sub>2</sub> 転写後の熱処理によってヒステリシスが無くなることが分かった (図 6)。本実験結果により、2 次元材料系を用いた界面設計の指針を示すことができたと考えている。

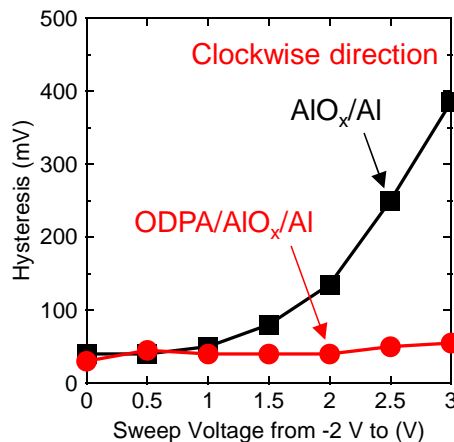


図 5. SAM/AIO<sub>x</sub> ゲート絶縁膜と単層 AIO<sub>x</sub> ゲート絶縁膜のヒステリシスの比較

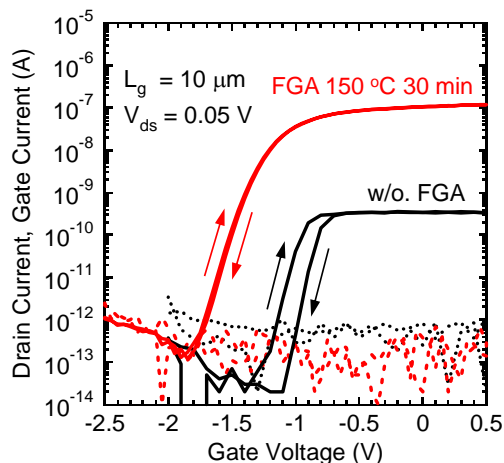


図 6. SAM/AIO<sub>x</sub> ゲート絶縁膜を用いて作製した MoS<sub>2</sub> FET のドレイン電流-ゲート電圧特性の熱処理依存性

#### <引用文献>

[1] J. Christopher Love, Lara A. Estroff, Jenna K. Kriebel, Ralph G. Nuzzo, and George M. Whitesides, *Chem. Rev.* 105, 1103–1169, (2005).

[2] H. Klauk, U. Zschieschang, J. Pflaum and M. Halik, *Nature*, 445, 15, 745–748, (2007).

[3] B. Radisavljevic, A. Radenovic, J. Brivio, V. Giacometti and A. Kis, *Nature Nanotech.* 6, 147–150, (2011).

#### 5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計 2 件)

[1] T. Kawanago, S. Oda, “Utilizing self-assembled-monolayer-based gate dielectrics to fabricate molybdenum

disulfide field-effect transistors”, *Applied Physics Letters* (査読有), vol. 108, no. 4, p. 041605, 2016.  
<http://dx.doi.org/10.1063/1.4941084>

[2] W. Du, T. Kawanago, S. Oda, “Use of self-assembled monolayers for selective metal removal and ultrathin gate dielectrics in MoS<sub>2</sub> field-effect transistors,” *Japanese Journal of Applied Physics* (査読有), vol. 56, no. 4S, p. 04CP10, Apr. 2017.  
<https://doi.org/10.7567/JJAP.56.04CP10>

[学会発表](計 10 件)

[1] T. Kawanago, R. Ikoma, D. Wanjing, S. Oda, “Adhesion Lithography to fabricate MoS<sub>2</sub> FETs with Self-Assembled Monolayer-based Gate Dielectrics”, *ESSDERC 2016* (査読有) Session B4L-C, Lausanne, Switzerland, Wednesday 14 Sep. 2016.

[2] T. Kawanago, S. Oda, “Self-Assembled Monolayer-based Gate Dielectrics for MoS<sub>2</sub> FET,” *PRIME 2016* (招待講演), Honolulu, Hawaii, 5th Oct. 2016.

[3] T. Kawanago, W. Du, R. Ikoma, T. Oba, H. Takagi, S. Oda, “Transfer printing of nanostructured membrane with elastomeric stamp and its application to TMDC-based field-effect transistors,” *International Workshop on Junction Technology (IWJT) 2017* (招待講演), Kyoto University, Japan, 1th Jun. 2017.

[4] W. Du, T. Kawanago, S. Oda, “Using self-assembled monolayers for selective metal removal and ultrathin gate dielectrics in MoS<sub>2</sub> field-effect transistors,” *SSDM 2017* (査読有), EPOCAL TSUKUBA, Japan, 27th Sep. 2016.

[5] W. Du, T. Kawanago, S. Oda, “WSe<sub>2</sub> p-type transistors fabricated by self-assembled monolayer for contact metal patterning and ultrathin gate dielectrics,” *SISC 2017* (査読有), San Diego, CA, 8th Dec. 2016.

[6] 川那子 高暢、小田 俊理、“自己組織化単分子膜をゲート絶縁膜に用いた低電圧駆動 MoS<sub>2</sub> FET の作製” 第 63 回応用物理学会春季学術講演会 2016 年 3 月 20 日 東京工業大学大岡山キャンパス。

[7] 川那子 高暢、小田 俊理、“自己組織化単分子膜をゲート絶縁膜に用いた低電圧駆動 MoS<sub>2</sub> FET の作製” 応用物理学会シリコ

ンテクノロジー分科会(招待講演) 2016 年 6 月 29 日 東京工業大学田町キャンパス.

[8] Wanjing Du, 川那子 高暢、小田 俊理、  
“ Multifunctional Phosphonic Acid Self-Assembled Monolayer for Metal Patterning and ultrathin gate dielectrics in fabrication of MoS<sub>2</sub> field-effect transistors ” 第 77 回応用物理学会秋季学術講演会 2016 年 9 月 13 日 朱鷺メッセ.

[9] 居駒 遼、川那子 高暢、小田 俊理、“ ジ  
デシルホスホン酸(C12H25-PA)をゲート絶縁  
膜に用いた MoS<sub>2</sub> FET の作製 ” 第 77 回応用物  
理学会秋季学術講演会 2016 年 9 月 16 日 朱  
鷺メッセ.

[10] 川那子 高暢、居駒 遼、Wanjing Du、  
小田 俊理、“ 自己組織化単分子膜を用いた  
adhesion lithography による MoS<sub>2</sub> FET の作  
製 ” 第 64 回応用物理学会春季学術講演会  
2017 年 3 月 14 日 パシフィコ横浜.

〔図書〕(計 0 件)

〔産業財産権〕

出願状況 (計 0 件)

名称 :  
発明者 :  
権利者 :  
種類 :  
番号 :  
出願年月日 :  
国内外の別 :

取得状況 (計 0 件)

名称 :  
発明者 :  
権利者 :  
種類 :  
番号 :  
取得年月日 :  
国内外の別 :

〔その他〕

#### 6 . 研究組織

##### (1)研究代表者

川那子 高暢 (Kawanago Takamasa)  
東京工業大学・科学技術創成研究院・助教  
研究者番号 : 30726633

##### (2)研究分担者

なし

##### (3)連携研究者

なし

#### (4)研究協力者

小田 俊理 (Oda Shunri) , Wanjing Du, 居  
駒 遼 (Ikoma Ryo),