

科学研究費助成事業 研究成果報告書

平成30年6月7日現在

機関番号：14301

研究種目：基盤研究(C) (一般)

研究期間：2015～2017

課題番号：15K00075

研究課題名(和文) 超伝導デバイスを用いた論理回路のレイアウト設計手法に関する研究

研究課題名(英文) Studies on Layout Design Methods for Logic Circuits using Superconducting Devices

研究代表者

高木 一義 (Kazuyoshi, Takagi)

京都大学・情報学研究科・准教授

研究者番号：70273844

交付決定額(研究期間全体)：(直接経費) 3,600,000円

研究成果の概要(和文)：超高速かつ低消費電力のデジタル回路を実現可能である、超伝導単一磁束量子回路のレイアウト設計手法に関する研究を行った。(1) パルス到着タイミングの精密な調整のための、配線長マッチングを行うチャンネル配線手法を提案した。(2) 論理設計と遅延最小化を分離した新しい回路設計フローを提案した。論理設計の段階では、回路トポロジとともに各ゲートでのパルス到着順と目標動作周波数を記述する。レイアウト設計では、動作周波数を制約条件とし、回路遅延を最小化する配置配線を行う。(3) (2) のフローに対応した回路設計ツールの使用手順を提案し、関連ツールを開発した。

研究成果の概要(英文)：We studied layout design methods for superconducting single-flux-quantum logic circuits which can realize super high-speed and low-power consumption digital circuits. (1) We developed a channel routing method considering wire-length matching for precise adjustment of pulse arrival timing. (2) We proposed a new circuit design flow in which logic design and delay optimization are performed separately. In the logic design stage, we describe the circuit topology as well as the order of pulse arrival at each logic gate and the target operation frequency. In layout design, placement and routing are performed with minimizing circuit delay under the condition of the operation frequency. (3) We proposed usages of circuit design tools according to the design flow of (2), and developed related tools.

研究分野：計算機科学

キーワード：論理回路 設計自動化 超伝導単一磁束量子デバイス

1. 研究開始当初の背景

超伝導デバイスを用いた単一磁束量子回路は、半導体とは異なる原理で動作する回路であり、これを用いた超高速かつ低消費電力のデジタル回路を実現可能である。極低温で動作するデバイスであるため利用範囲は限られるが、データセンタでの大規模情報処理への応用に向けて研究が進められている。研究開始当初までの研究で、超伝導デバイスの極限性能を引き出す計算機アーキテクチャ、データ処理方式、および、データ伝送方式が開発され、マイクロプロセッサ等の設計および動作実証が進められていた。

超伝導単一磁束量子回路の設計支援技術に関して、パルス論理での動作、数ピコ秒の高速スイッチング、局在電磁波配線による光速に近い伝送速度など、半導体とは異なる設計条件下での、論理表現やタイミング設計に関する種々の問題を解決する手法が研究されてきた。大規模回路の設計のためには、手動で行われていたレイアウト設計に関しても設計自動化手法の導入が不可欠と考えられるため、本研究課題では、高信頼化タイミング設計手法の研究成果等を踏まえレイアウト設計手法の開発を行うこととした。

2. 研究の目的

本研究では、高速かつ高信頼な超伝導単一磁束量子回路を設計するための、自動 LSI レイアウト設計 (配置および配線設計) の技術を確立することを目的とした。主に以下の要因により、半導体回路とは異なる設計手法が必要となる。

- パルス論理に基づくため各論理ゲートでの同期が必要であり、種々の同期方式が混在した回路設計が一般的である。
- 論理セルや配線セルを隣接して配置することにより入出力端子を接続するなど、半導体のスタンダードセルとは物

理形状が異なる。

- 動作特性が異なる 2 種類の配線 (ジョセフソン接合による配線、および、受動配線) が混在する。

3. 研究の方法

自動セル配置、等長・指定長配線などの問題を定式化し、設計アルゴリズムを開発し、ツール化して実際の回路に適用して評価を行う。既開発の論理設計手法と合わせ、超伝導単一磁束量子回路の設計フローの完成を目指す。種々の設計問題に関して、下記の 2 段階の研究開発を行う。

- A) 配置および配線設計の問題を定式化し、当該デバイスの特性を生かすための最適化アルゴリズムを提案する。
- B) 提案したアルゴリズムを取り入れた配置および配線設計ツールを開発し、実際の回路設計に適用できる新しい設計フローを実現する。

4. 研究成果

- (1) 配線長マッチング手法および配線長を考慮した自動配置手法

単一磁束量子回路向けの配線長マッチングを行うチャンネル配線手法を提案した。パルス論理に基づく回路ではパルスの到着タイミングの精密な調整が重要である。配線遅延は配線の長さに比例するため、レイアウトにおいて配線長を揃えるための迂回配線が必要になる。各論理ゲートがクロックで駆動される単一磁束量子回路では、全てのパスで論理段数が等しく、論理ゲートは回路入力からの論理段数毎にそれぞれ 1 列に並べられる。この列の間の配線を行う際に、配線の相対的な長さを指定された値に合わせることにより、タイミングの調整を行う。開発した手法では、配線層を 2 層用いてチャンネル配線を行う。各配線を、長さを調節する部分と、指定されたピン間の接続を保証する部分に分割して考え、配線の形を限

定したうえで解を探索する。更に、シンボル系列による解の表現を考案し、解空間の効率的な表現と探索を実現した。定義した問題に対し、整数計画法に基づくアルゴリズム、および、シミュレーテッドアニメーションに基づくアルゴリズムを提案し計算機実験を行った。サンプル回路に対して提案手法を適用し、タイミング制約条件を満たすコンパクトな配線を得ることができることを確認した。

また、セルの自動配置の段階で指定配線長を考慮する手法を提案した。自動配置および配線手法を合わせ、実際に試作されている規模の回路モジュールに対し小面積のレイアウトを得られることを示した。

(2) 回路遅延を最小化する設計フロー
パルス論理に基づいて計算を行う単一磁束量子論理回路では、論理ゲートの各入力へのパルスの到着順序が計算結果に影響する。特に、論理ゲートがクロックで駆動されるため、データ入力とクロック入力の到着順序を正しく設計する必要がある。配線遅延はレイアウトに依存するため、従来は、レイアウト設計の段階で正しい論理の実現と回路遅延の最小化を同時に考慮する必要があった。この手順では制約条件と最適化目標が複雑に関係するため、最適化の見通しが良くないと考えられる。この点を改善するため、提案する設計フローでは、論理設計と遅延最小化を分離する。

論理設計の段階では、回路トポロジとともに、パルス到着順と目標動作周波数を記述する。従来はレイアウト後の「パルス到着タイミング」として保持していた正しい回路動作のための条件を、必要条件である「パルス到着順」として記述することにより、設計の自由度を明確化することができ、また、設計自動化および最適化アルゴリズムを検討しやすいモデルとすることができ

た。この条件下で、クロックゲートから成りパイプライン動作をする回路において、回路の動作周波数と、回路の入力ステージから出力ステージへ至る遅延時間（クロックスキューを含む配線遅延、以下、回路遅延とよぶ）の間にはトレードオフが存在する。

提案する設計フローにおけるレイアウト設計では、動作周波数を制約条件とし、遅延の評価のフェーズ、および、レイアウト修正による制約違反の解消と遅延の改善のフェーズを繰り返すことにより、回路遅延を最小化する配置配線を行う。レイアウト設計ツールの完成には至っていないが、その基礎となる技術として、パルス到着順を基準とした、クロックゲートから成る回路のクリティカルパスの定義を与え、このパス上の配線の遅延の最小化を優先する配線アルゴリズムを提案した。

(3) 設計ツールチェーンの再構築
前項の設計フローの提案に伴い、回路図ビューで論理とレイアウトを一括して設計していた従来の工程の変更を提案した。新しい設計フローでは、回路図ビューで論理設計を行うとともに、パルス到着順を各ゲートのアノテーションとして記述する。これにより、レイアウト設計の前の段階で論理シミュレーションを行うことが可能となる。

レイアウトビューでの設計に関しては、自動レイアウト設計を行うための基礎となるツール群を開発した。具体的には、前項の配線アルゴリズムに基づく配線修正ツールのプロトタイプを実装した。また、レイアウトビューの配線データにシールド等を付加し超伝導マイクロストリップラインの設計データに変換するツールを開発した。これらのツールを用いて、半自動で 8 ビット加算器のレイアウト設計を行い、デジタルシミュレーション上で動作周波数 50

GHz、回路遅延 300 ps の性能を確認した。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計 1 件)

N. Kito, K. Takagi, N. Takagi,
A Fast Wire-Routing Method and an
Automatic Layout Tool for RSFQ Digital
Circuits Considering Wire-Length
Matching,
IEEE Transactions on Applied
Superconductivity,
査読有, 28(4) 1300105, 2018,
DOI:10.1109/TASC.2018.2793203

[学会発表](計 6 件)

北村圭, 高木一義, 高木直史,
大規模 SFQ 論理回路の配線修正によるタイ
ミング最適化,
2018 年電子情報通信学会総合大会, 査読
無, 2018 年.

N. Kito, K. Takagi, N. Takagi,
A fast wire-routing method and an
automatic layout tool for RSFQ digital
circuits considering wire-length
matching,
13th European Conference on Applied
Superconductivity (EUCAS 2017), 査読有,
2017.

鬼頭信貴, 高木一義, 高木直史,
配線長マッチングを考慮した自動配置によ
る RSFQ 回路のレイアウト面積削減,
2017 年電子情報通信学会総合大会, 査読
無, 2017 年.

N. Takagi, K. Takagi, and N. Kito,
Development of CAD Tools for SFQ Logic

Circuits and Design of Data Path Circuits
for SFQ Bit-slice Processors,
10th Superconducting SFQ VLSI Workshop
(SSV2017), 査読無, 2017 年.

N. Kito, K. Takagi, N. Takagi,
Fast Length-Matching Routing for Rapid
Single Flux Quantum Circuits,
20th Workshop on Synthesis And System
Integration of Mixed Information
technologies (SASIMI 2016), 査読有,
2016 年.

N. Kito, G. Matsumoto, K. Takagi,
N. Takagi,
Extension of a Logic Simulation System
for Simulation-Based Verification of
RSFQ Logic Circuits,
9th Superconducting SFQ VLSI Workshop
(SSV2016), 査読無, 2016 年.

6. 研究組織

(1) 研究代表者

高木 一義 (TAKAGI, Kazuyoshi)
京都大学・大学院情報学研究科・准教授
研究者番号: 70273844