

平成 30 年 5 月 21 日現在

機関番号：34419

研究種目：基盤研究(C) (一般)

研究期間：2015～2017

課題番号：15K05964

研究課題名(和文) デューティ比デジタル制御法によるリチウムイオンキャパシタ蓄電技術

研究課題名(英文) Energy storage technology with a Lithium ion capacitor using a digital control method of duty ratio

研究代表者

中田 俊司 (NAKATA, Shunji)

近畿大学・工学部・准教授

研究者番号：40506218

交付決定額(研究期間全体)：(直接経費) 2,400,000円

研究成果の概要(和文)：リチウムイオンキャパシタを用いた電気エネルギー蓄電システム実現のために、緩やかにキャパシタを充電する断熱充電回路を設計した。この回路では、マイクロプロセッサを用いて、スイッチングトランジスタのデューティ比をデジタル的に制御した。充電効率は、電源の行った仕事とキャパシタの電気エネルギーの増加分の比として求められる。電源の行った仕事は、電源から流れ出た電荷量と電源電圧の積により求められる。実験から、充電時においても放電時においても、効率は95.5%となることが明らかとなった。充放電の1サイクルでは、91.2%の効率となる。この値は電気エネルギー蓄電システムを実現する上で良好な値である。

研究成果の概要(英文)：An adiabatic charging circuit, which has the characteristic of the gradual charging of a capacitor, was designed for realizing an energy storage system with a Lithium ion capacitor. The duty ratio of the switching transistors is digitally controlled by a microprocessor. The charging efficiency is defined as the ratio between the work done by the power supply and the increase in electrostatic energy of the capacitor. The work done by the power supply is calculated from the product of the charge amount flowing from the power supply and the power supply voltage. Using this circuit, it is clarified experimentally that the efficiency is 95.5 % during charging and also discharging process. Then the total efficiency is 91.2 % during one cycle, which is a good value for realizing energy storage systems.

研究分野：電気電子工学

キーワード：スーパーキャパシタ パワーエレクトロニクス デジタル制御 エネルギー散逸

1. 研究開始当初の背景

本研究では、スーパーキャパシタを充放電する際のエネルギー損失を零とするために、断熱充電可逆回路に着眼した。断熱充電は、Landauer や Feynman により考察され、原理的には、キャパシタへの充放電過程において、エネルギー損失を零とした可逆動作が可能であることが基礎物理学の観点から指摘された。しかしながら、具体的な回路を用いて断熱充電を実現することは、30年以上進展がなかった。その後 1994 年に、具体的なタンクキャパシタを用いた回路構成により、断熱充電を実現する方法が、Svensson と Koller により提案された。この方法は、 $N-1$ 個のタンクキャパシタを用いて等間隔の N 個の電圧を生成し、これらの電圧をキャパシタに順次印加するという回路構成を用いる。この回路により、キャパシタへの充放電のエネルギー損失が $1/N$ 倍に低減することが示された。しかしながら、多くのタンクキャパシタを必要とする点が問題であった。

このタンクキャパシタ増大の問題を解決する一つの方法は、インダクタとキャパシタとの間で LC 共振回路を用いる回路構成であり、負荷容量に蓄積されたエネルギーを CMOS 回路を用いてエネルギーリサイクルを行い、これによりエネルギー損失の低減を行う回路が Restle らにより提案された。しかしながら、LC 共振回路では共振させる必要があるために、設計自由度が小さいという問題点があった。

これを解決するために、インダクタとスイッチングトランジスタを用いて、電源からの電流をデジタル的に制御して充電を行う回路方式が考案された[特許 5303178, 充電回路および充電方法]。この提案は、初期電圧 V_i から最終電圧 V_f までデューティ比を段階的に制御することにより段階的に充電し、かつその充電電圧を等間隔とすることにより、エネルギー散逸を最小とすることを特徴としている。すなわち、 $(V_f - V_i)/N$ のステップ電圧幅で V_i から V_f まで充電する方法である。

これまでのところディスクリット IC を用いた回路により 8 step の階段電圧を生成し、これら階段電圧により充放電を行う基礎的な研究を行ってきたが、この方法をさらに発展させるため、マイクロプロセッサにより、自由度の大きい、またステップ数の大きい充放電制御を行う事が期待された。

2. 研究の目的

マイクロコンピュータを用いて、電源電圧の制御を 1%単位で行い、きめ細かい電力の制御を行うことにより、エネルギーロスの無いリチウムイオンキャパシタの充放電技術を確認することを目的とする。さらにこのリチウムイオンキャパシタとエネルギーロスのない制御技術の組み合わせにより、夜間に電力を蓄電し、昼間に蓄電された電力を利用するという方法により、1日における電力使用

量の平準化実現の基礎となる回路技術への応用を検討することを目的とする。また、風力発電などの再生可能エネルギーの商用系統への接続を容易にするために、電力需給バランスに必要な蓄電技術の確立を目指し、スマートグリッドの早期実現に貢献することを目的とする。

3. 研究の方法

本研究では、この断熱充電回路の設計において、デューティ比制御を PIC マイコンを用いて行い、1%程度づつデジタル的にデューティ比を変化させ 100 ステップ程度の階段電圧の生成を行い、これらにより充放電を行う。これにより、エネルギーロスが大きく低減することを明らかにする。PIC マイコンの制御は C 言語を用いることとし、研究期間内においてソフトウェア記述設計をおこない、PIC マイコンにおいて実際にスーパーキャパシタへの充放電を行い、効率的なエネルギーの蓄電が行えることを実証する。このために、トランジスタは 10A 程度の電流を流すことが可能なパワー MOSFET を用いることとする。本研究により、マイコン制御による断熱充電回路を進展させることができ、スマートグリッドへの応用を大きく前進させることが可能となる。

本研究は蓄電デバイスとしてリチウムイオンキャパシタを用いることとした。このデバイスは今後の電気エネルギー蓄電に重要と考えられる。現在リチウムイオンバッテリーが蓄電デバイスとして重要と位置付けられているが、充放電回数は 1000 回程度と短い点や、安全性の面で問題が残っている。一方、リチウムイオンキャパシタは充放電回数が 10 万回以上であり 100 倍寿命が長く、メンテナンスも 10 年程度は不要である。また、安全性も高く電気エネルギー蓄電デバイスとして今後優位となっていく可能性が高いと考えられる。

4. 研究成果

(1) 回路構成

本研究は、キャパシタを充電する際に段階的な電圧を用いて行う事を特徴とする。これを実現するために、図 1 に示すように 2 個のスイッチングトランジスタとインダクタを用いる。キャパシタの電位をモニタし、その値によりスイッチングトランジスタを ON と

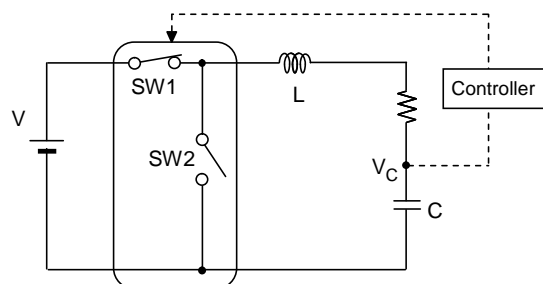


図 1 充放電回路の基本構成

する割合であるデューティ比の制御が可能である。

(2) 電気二重層キャパシタの充放電特性

まず最初に電気二重層キャパシタを用いた実験結果について示す。図2に実験の回路構成を示す。デューティ比の制御は図2(a)にしめすようにPICマイコン(PIC16F627A)を用い、出力端子からPWM波形を出力させることにより行った。図1のSW1, SW2としてpMOSの2SJ438, nMOSの2SK2231のパワーマOSFETを用いた。電気二重層キャパシタの容量は3Fである。また充電電源電圧は、2.5Vとした。図2(b)は測定システムであり、キャパシタの電位 V_C 、キャパシタに流れ込む電流 I_C 、電源から流れ出る電流 I_P をデジタルマルチメータにより測定した。PWM波形の周波数は、10.7kHzとしている。

階段電圧による充電の有効性を示すために、32, 8, 2ステップの階段電圧を生成し、これらにより充放電を行った。このときの V_C

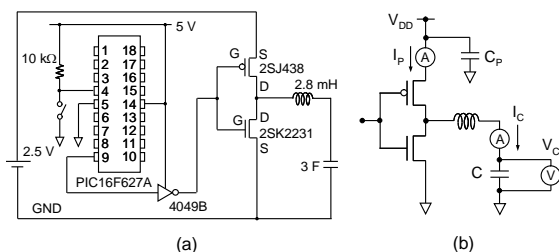


図2 実験の回路構成：(a)マイクロプロセッサによる制御回路、(b)測定システム

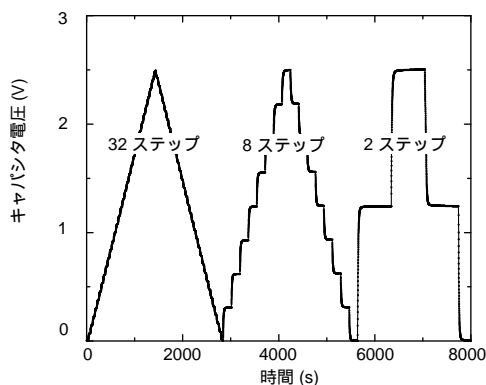


図3 キャパシタ電圧の時間変化

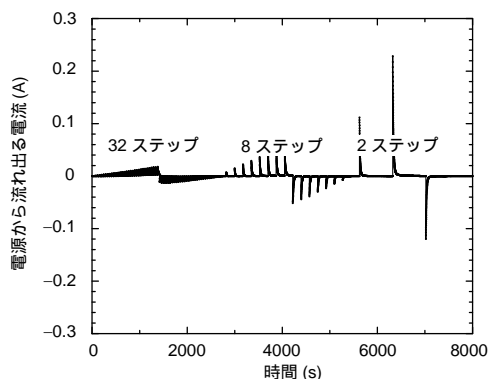


図4 電源電流の時間変化

の測定結果を図3に示す。32ステップ時には、ほぼ直線で電圧が変化している。この時 d は、 $d=0, 1/32, 2/32, \dots, 31/32, 1, 31/32, \dots, 1/32, 0$ と変化させている。

図4に I_P の結果を示す。充電時には正の値であり放電時には負の値であるが、これは流れる方向が逆となることを示しており、キャパシタからインダクタを通して電源に電流が戻ることを意味している。

次に充電効率 η_1 を求めるために、電源から流れ出した電荷量 Q_1 を求めた。 Q_1 は I_P を積分することにより得られ、その結果を図5(a)に示す。32ステップの充電時、 Q_1 の値は、3.93Cとなる。電源の行った仕事 W_1 は電源電圧 V と Q_1 を用いると $W_1=Q_1V$ であるので、 $W_1=9.83$ Jが得られる。これに対しキャパシタの電気エネルギー E は、 V_M をキャパシタの最大電位とすると $E=CV_M^2/2$ と表せる。図3より V_M は2.49Vであり、これから $E=9.33$ Jが得られる。以上の結果から、 $\eta_1=E/W_1=94.9\%$ が得られる。

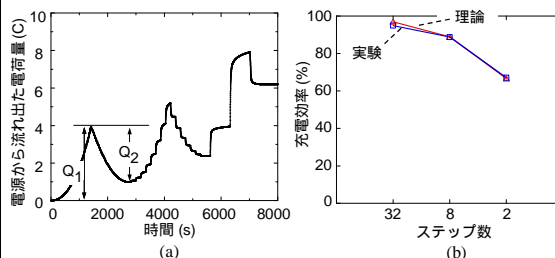


図5 測定結果の解析：(a)電源から流れ出る電荷量、(b)充電効率

理論的には、 N ステップ充電の時、充電効率 η_{1th} は $\eta_{1th}=N/(N+1)$ と求められる。32ステップでは理論値は97.0%となり、実験値は理論値とほぼ一致する。同様に、8, 2ステップにおいて充電効率の理論値を計算し、実験結果とまとめた結果を図5(b)に示す。実験は理論とよく一致していることがわかる。

次に放電効率 η_2 を議論する。 η_2 はキャパシタが放電した電気エネルギー E に対して、電源がキャパシタから受け取るエネルギー W_2 の比率として定義できる。 Q_2 をキャパシタからインダクタを介して電源に戻る電荷量とすると、 $W_2=Q_2V$ となる。図5(a)より $Q_2=2.94$ Cであり、 $W_2=7.34$ Jが得られる。よって、 $\eta_2=W_2/E=78.7\%$ が得られる。

放電時に効率が低下している原因は、回路の抵抗成分のために、放電時に出力電圧が十分高い電圧にまで昇圧できないことなどが考えられる。これを解決するために、抵抗成分を極力低減する回路が有効と考えられる。

(3) リチウムイオンキャパシタの充放電特性

次に、リチウムイオンキャパシタを用いた充放電特性を示す。リチウムイオンキャパシタの容量は、36Fのものを用いた。用いたリチウムイオンキャパシタの許容最大電圧および最小電圧は、3.8および2.2Vであるので、

充電電圧をこの領域内とした。電源電圧の値を 3.5V とし、デューティ比を 64/96, 68/96, ..., 92/96, 1, 92/96, ..., 68/96, 64/96 と変化させ、8 ステップによる充放電を行った。本実験においては回路の抵抗成分を極力低減させるために、基板にインダクタやトランジスタの実装を行った。

図 6 にキャパシタ電圧の測定結果を示す。デューティ比に対応して、キャパシタ電圧は 2.4 から 3.5V の範囲にあることがわかる。図 7 に電源から流れ出る電流を示す。今回は充電時間を 380s と短くしており、電流も図 4 と比較し、より連続的な変化を示している。この電流を積分した電源から流れ出た電荷量を図 8 に示す。Q₁ は充電時電源から流れ出た電荷量であり、Q₂ は放電時キャパシタから電源に戻った電荷量である。

充電時の効率 η_1 は、この場合、キャパシタ

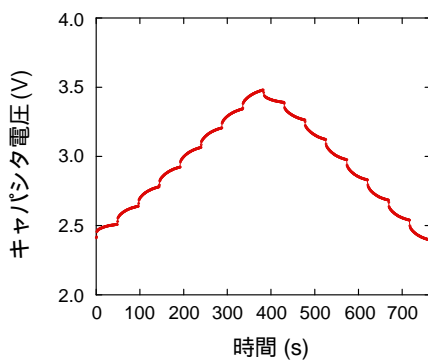


図6 リチウムイオンキャパシタ電圧の時間変化

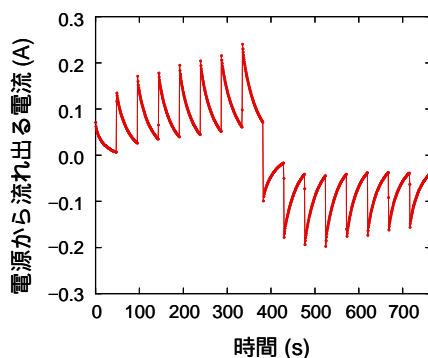


図7 電源から流れ出る電流

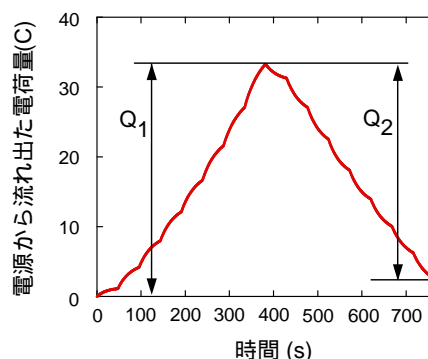


図8 電源から流れ出た電荷量

の電気エネルギーの増分 E_1 を電源の行った仕事 W_1 で割ったものになる。 E_1 は $E_1 = 1/2 \cdot C (V_f^2 - V_i^2)$ と表せる。ここで、 V_f および V_i はキャパシタの最終電位および初期電位を表す。これから充電時の効率を求めると、 η_1 は $\eta_1 = 95.5\%$ が得られる。また、放電時の効率 η_2 は $\eta_2 = W_2/E_2$ となる。ここで、 W_2 はキャパシタから電源に電流が流れ込むことによる電源の受け取った仕事、 E_2 は放電時におけるキャパシタの電気エネルギーの減少分である。これから、放電時の効率 η_2 を求めると、 $\eta_2 = 95.5\%$ が得られる。充放電の 1 サイクルにおける効率は $\eta = \eta_1 \cdot \eta_2$ であり、本実験では、91.2% となり、良好な充放電特性が得られた。このことは、電源からの電荷量の時間変化を示す図 5 (a) と図 8 の比較でもわかる。仮に $Q_1 = Q_2$ となる場合には電源から流れ出た電荷量が全て再び電源に戻る場合であり、このとき $\eta = 1$ となる。 Q_1 と Q_2 の値が近い場合には効率が低いことになる。図 8 は Q_1 と Q_2 の値が近くより効率が低いことが明確にわかる。このことから、リチウムイオンキャパシタを用い、回路構成素子を基板に実装した回路では、非常に良好な充放電特性が実現できることが明らかとなった。

今回の結果は、基礎的な研究であるが、今後電気自動車への応用や、スマートグリッドなどに応用がなされていくことが期待される。

本研究で得られた研究成果に対して、発表を行った学生が電気学会優秀論文発表賞、電気学会中国支部奨励賞、電子情報通信学会中国支部奨励賞を受賞しており、本研究の独創性および新規性が評価されている。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

〔雑誌論文〕(計 4 件)

Shunji Nakata, "An adiabatic charging reversible circuit with stepwise voltage control method using a microprocessor," Results in Physics, vol. 7, pp.2976-2978 (2017). 査読有 . <https://doi.org/10.1016/j.rinp.2017.08.024>

中田俊司, "デューティ比デジタル制御法を用いたキャパシタ充電技術," 電気学会論文誌 C, vol.137, no. 10, pp. 1429-1430 (2017). 査読有 . <https://doi.org/10.1541/ieejieiss.137.1429>

Shunji Nakata, Masaki Ono, and Masato Sakitani, "An Adiabatic Circuit with Consecutive Changes of the Duty Ratio of the Switching Transistor Using a Microprocessor," Journal of Circuits, Systems, and Computers, vol. 26, no. 1, 1750007/1-15 (2017). 査読有 .

<https://doi.org/10.1142/S0218126617500074>

中田俊司, “マイクロプロセッサによる高効率スーパーキャパシタ蓄電回路技術 -Power MOSFET による電流制御,” 近畿大学工学部研究報告, vol.50, pp. 37-40 (2016). 査読無.
<http://id.nii.ac.jp/1391/00018295/>

〔学会発表〕(計14件)

中田俊司、奥島稜、合田満貴、「リチウムイオンキャパシタを用いた蓄電回路の電気特性」、平成30年電気学会全国大会、6-271、2018年3月14日～16日、九州大学(福岡県福岡市)

猪原佑、中田俊司、「デジタル的デューティ比制御法を用いたスーパーキャパシタ充放電技術」、平成29年度電気・情報関連学会中国支部連合大会、R17-12-07、2017年10月21日、岡山理科大学(岡山県岡山市)

奥島稜、合田満貴、中田俊司、「リチウムイオンキャパシタを蓄電デバイスとする充放電回路の電気特性()」、平成29年度電気・情報関連学会中国支部連合大会、R17-12-08、2017年10月21日、岡山理科大学(岡山県岡山市)

合田満貴、奥島稜、中田俊司、「リチウムイオンキャパシタを蓄電デバイスとする充放電回路の電気特性()」、平成29年度電気・情報関連学会中国支部連合大会、R17-12-09、2017年10月21日、岡山理科大学(岡山県岡山市)

甲斐亮太、田畑大輝、楨大輔、中田俊司、「デューティ比デジタル制御法による高効率4直列キャパシタモジュール蓄電技術」、平成29年電気学会全国大会、6-291、2017年3月15日～17日、富山大学(富山県富山市)

中田俊司、「スイッチングトランジスタのデューティ比制御法による高効率キャパシタモジュール蓄電技術」、平成28年電気学会電力・エネルギー部門大会、P29、2016年9月7日～9日、九州工業大学(福岡県北九州市)

中田俊司、「デューティ比デジタル制御法による高効率スーパーキャパシタ蓄電技術」、平成28年電気学会全国大会、6-283、2016年3月16日～18日、東北大学(宮城県仙台市)

中田俊司、小野雅貴、崎谷正人、「マイクロプロセッサを用いたスイッチングトランジスタのデューティ比制御法による高効率スーパーキャパシタ蓄電技術」、平成27年電気学会電力・エネルギー部門大会、111、2015年8月25日～27日、名城大学(愛知県名古屋市)

〔産業財産権〕

出願状況(計1件)
名称: キャパシタの充放電回路
発明者: 中田俊司
権利者: 近畿大学
種類: 特許
番号: 特願 2017-104029
出願年月日: 2017年5月25日
国内外の別: 国内

6. 研究組織

(1) 研究代表者

中田 俊司 (NAKATA, Shunji)
近畿大学・工学部・准教授
研究者番号: 40506218

(2) 研究分担者

なし