

平成 30 年 6 月 14 日現在

機関番号：13501

研究種目：挑戦的萌芽研究

研究期間：2015～2017

課題番号：15K13927

研究課題名(和文)超低損失・高速SiCパワーデバイスのパルスパワー応用

研究課題名(英文) Pulse power application of SiC power devices with ultra-low loss and high switching speed

研究代表者

矢野 浩司 (YANO, Koji)

山梨大学・大学院総合研究部・教授

研究者番号：90252014

交付決定額(研究期間全体)：(直接経費) 3,200,000円

研究成果の概要(和文)：電圧パルス発生用の高速スイッチング半導体デバイスとしてSiC埋め込み型静電誘導トランジスタSiC-BGSIT)を適用しシミュレーションで同デバイスの最適設計および性能を予測した。その結果、シリコンの代表的なパルスパワー用デバイスである静電誘導サイリスタ(SiThy)と比較し、素子の損失を75%低減できることが明らかになった。これによりSiC-BGSITをパルス電源に適用した場合、冷却装置サイズを大幅に縮小可能となる。またSiC-BGSITの更なる性能向上のため同素子構造に遮蔽グリッド端子を付加したSiC遮蔽ゲート構造縦型JFET(SiC-SGVJFET)を提案し実験により性能を明らかにした。

研究成果の概要(英文)：The SiC-buried gate static induction transistor (SiC-BGSIT) was investigated for a switching device in a pulse power generator, and then device simulations made clear its electrical properties in an inductive energy storage circuit as a result of an optimum design of the BGSIT structure. It was made clear that the power loss per pulse can be reduced by 75% when the loss of the SiC-BGSIT is compared with that of the Si-static induction thyristor (SiThy). This effect can successfully contribute to the reduction of the size of the pulse generator.

In order to improve the performance of the SiC-BGSIT, the SiC screen grid vertical JFET, in which the screen grid regions are introduced underneath the buried p+ gate stripes of the BGSIT, was proposed. It was experimentally demonstrated that 3A-1.2kV SGVJFETs have a fall time less than 50ns during the turnoff period. This result suggests that the SGVJFET structure enhances the dV/dt in the voltage pulse.

研究分野：半導体工学

キーワード：パワーデバイス パルスパワー SiC

1. 研究開始当初の背景

パルスパワー技術は短時間に電気エネルギーを圧縮して発生させる技術であり、プラズマやレーザー発生電源、排ガス処理、医療分野、高エネルギー加速器などに応用されている。同技術に用いられるスイッチング素子は従来サイロトロンやギャップスイッチなどが用いられていたが、近年は長寿命であるというメリットから半導体スイッチングデバイスが注目されている。炭化珪素(SiC)を用いた電力用半導体デバイス(以下 SiC パワーデバイス)は、Si パワーデバイスよりも大幅な電力損失の低減と高速スイッチングが期待されている。研究代表者らは 2004 年から SiC を用いた静電誘導トランジスタ(Static Induction Transistor: SIT)の開発を進めてきた。特に当方では図 1 の通り、 p^+ ゲート領域が表面に露出しておらず内部領域に設置する埋め込みゲート型の SiC 静電誘導トランジスタ構造(SiC-Buried gate SIT: 以下 **SiC-BGSIT**)を採用し、独自の製造技術と設計方法を駆使し 2005 年には降伏電圧 700V、特性オン抵抗 $1.01m\Omega/cm^2$ という 600~900V 級で世界最小損失のパワーデバイスの試作に成功した('05.3.29 日刊工業新聞ほか)。さらに高信頼性の実証(H21~23 科研費)、3kV 級素子の SiC-BGSIT の試作にも成功している(H24~26 科研費、ECSCRM2014)。

2. 研究の目的

本研究では、パルスパワー用スイッチングデバイスに **SiC-BGSIT** を初めて適用する。同トランジスタは独自の設計・製造技術により試作した素子であり、超低損失性能を有する。また本質的に SiC 材料は頑強であり、高速性能を有する。従って、本提案によりパルスパワー電源の電力効率、高繰り返し周波数、短パルス化、信頼性が劇的に向上する可能性が

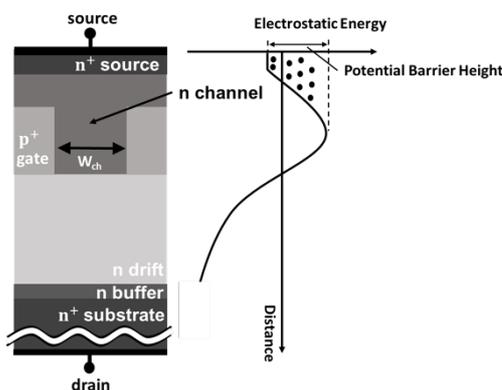


図 1 : BGSIT セル断面構造およびチャンネル部近傍のポテンシャル分布

ある。本研究では、SiC-BGSIT のパルスパワー動作時のデバイス動作メカニズムを解明し、最終的には電力損失、パルス幅共に従来の Si パワーデバイスの $1/10$ を実現する SiC-BGSIT 設計指針の構築を目標とする。

3. 研究の方法

(1) まず、パルスパワー発生時における SiC-BGSIT の動作原理をデバイス・回路統合シミュレーションにより解析し、IES 回路に SiC-BGSIT をオープニングスイッチング素子として用いた際に、同デバイスがなぜパルス発生動作時に高速、超低損失が可能かを検討する。次にデバイス最適設計の前段階として、電圧定格 3kV を想定し、設計デバイス構造および回路条件のパルス回路性能への依存性をシミュレーションにより解明する。そして電力損失と高周波動作の観点から、SiC-BGSIT のチャンネル部およびドリフト層の構造パラメータに関する最適設計を実施する。そして従来の代表的パルスパワー用 Si デバイスである静電誘導サイリスタ(Si-SIThy)についても同様の最適設計を行い、SiC-BGSIT の優位性を検討する。

(2) SiC-BGSIT によるパルス幅縮小を目的とし、同デバイスのゲート p^+ 領域下部に第 4 の端子である遮蔽グリッドを導入したトランジスタである遮蔽グリッド縦型 JFET(SiC-SGVJFET)構造について検討した。遮蔽グリッドはトランジスタの帰還容量を低減し、急峻な立ち上がりの電圧パルス形成に効果的である。

4. 研究成果

(1) 本研究で想定したパルス発生回路は、図 2 に示す誘導エネルギー蓄積回路(IES 回路)である。この回路において SiC-BGSIT とインダクタンス L が直列に接続されている。BGSIT の高速なターンオフ動作によりインダクタンス部に急峻な電圧パルスを形成するのが目的である。実際の回路では変圧器によって L で発生した電圧を昇圧し、平行平板プラズマ電極などの負荷を接続しているが、今回はこれらを簡略化し、インダクタ L に並列にインダクタ L_{01} とキャパシタンス C_{01} を接続した回路を用いている。今回は本回路にて約 2000V のパルス電圧を発生することを想定した。よって同回路に組み込む BGSIT の最大電圧定格は 3000V とした。

SiC-BGSIT の最適化設計については、まずノーマリーオフ特性を実現でき、同時に導通抵抗が最小になるようチャンネル部の寸法およびドーピング濃度をシミュレーションにより導出した。そしてドリフト層に対しては、3kV の耐圧を維持し、チャンネル設計と同様に導通抵抗が最小となる厚みおよびドーピング濃度を導出した。

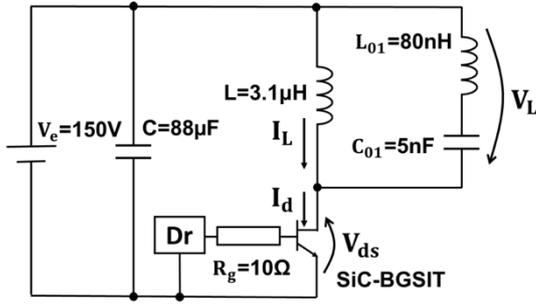


図 2 : IES 回路

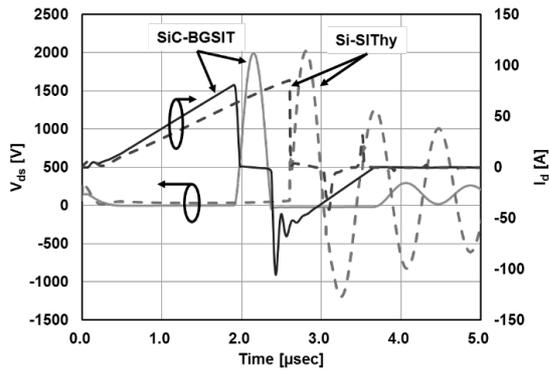


図 3 : SiC-BGSIT と Si-SiThy の波形の比較

図 3 に、IES 回路における BGSIT(実線)と SiThy(破線)の電圧および電流波形を比較した。本結果からわかるように、BGSIT の場合において電流の立ち下がり時、即ちトランジスタのターンオフ時に発生する電圧パルス波形は振動がない単パルス波形であることがわかる。これは BGSIT は電子のみをキャリアとするユニポーラ型デバイスであり、オン状態でのデバイス内部のキャリアの蓄積効果が無いためである。これはパルス発生時におけるトランジスタの損失を減少させる効果を持つ。

一方、SiThy の電圧波形は、電圧パルス発生後の一定期間振動していることがわかる。これは SiThy は電子とホールをキャリアとするバイポーラデバイスであり、導通時に素子内部に存在する蓄積キャリアをターンオフ時に引き抜く際に負荷との間で共振を起こす為である。この現象により、パルス発生時の電力損失は増大する。

また SiC-BGSIT は、3kV 級素子においてオン抵抗が $7.3\text{m}\Omega\text{cm}^2$ と非常に低い。一方 SiThy は、オン状態の際にアノード・カソード間電圧が 1.2V 程度発生するため、オン損失は大きくなる。

以上のことから SiC-BGSIT と Si-SiThy について 1 パルス発生あたりのスイッチング損失と導通損失をあわせた総合損失を比較した結果、SiC-BGSIT の損失は SiThy のそれに対して 75%低減できることが明らかになった。そ

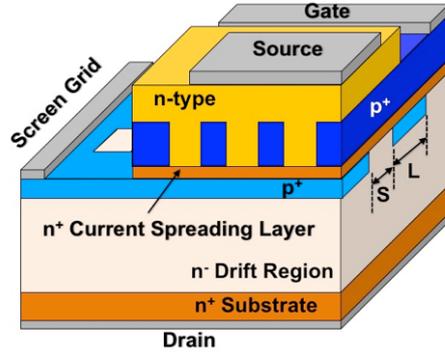


図 4 : SiC-SGVJFET 構造

の内訳は、導通損失が SiThy の 16 分の 1、スイッチング損失が 2 分の 1 であった。本結果より SiC-BGSIT は電圧パルス発生回路の電力損失を低減する有効なスイッチングデバイスであることが予測できた。この効果によりパルス発生電源の小型化が期待できる。この SiC-BGSIT による損失低減効果ははかなり大きい、当初設定した Si デバイスの 1/10 の電力損失の目標に関しては未達である。従って次に示す通りデバイス構造の改良を行った。

(2) SiC-BGSIT の更なる性能向上のため、遮蔽グリッド縦型 JFET(SiC-SGVJFET)構造を提案した。同構造を図 4 に示す。本構造は図 1 の BGSIT 構造に第 4 の端子である遮蔽グリッド端子(SG 端子)を付加したものである。SG はゲート p+領域の下部の p+領域に一致する。SG 端子により素子の帰還容量 C_{rss} を低減でき、結果としてスイッチング時のドレイン・ソース間電圧の急峻な遷移が期待できる。

図 5 は試作した 3A 1.2kV 級 SGVJFET の室温での C_{rss} 対電圧特性である。この結果からわかるように SGVJFET の C_{rss} は電圧が 10V 以下で急激に減少する。また S G 間隔 S の減少によりその効果は増大することもわかる。

図 5 に SGVJFET のスイッチング動作に関連する各種時間パラメータの測定結果を示す。本結果の中で特に電圧パルス発生に関わるターンオフ時の電圧立ち上がり時間 t_f について

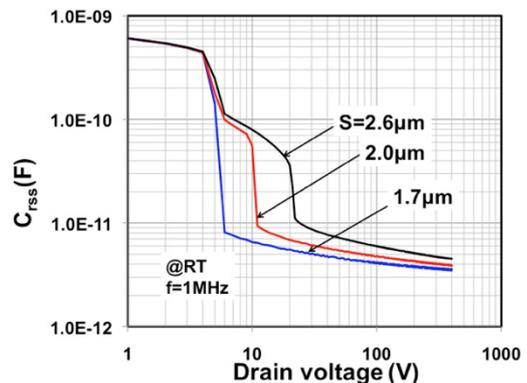


図 5 : SGVJFET の帰還容量対電圧特性

はゲート外付け抵抗 $20\ \Omega$ の場合において 30nsec の高速の電圧立ち上がりを実現できていることがわかる。この立ち上がり性能を用

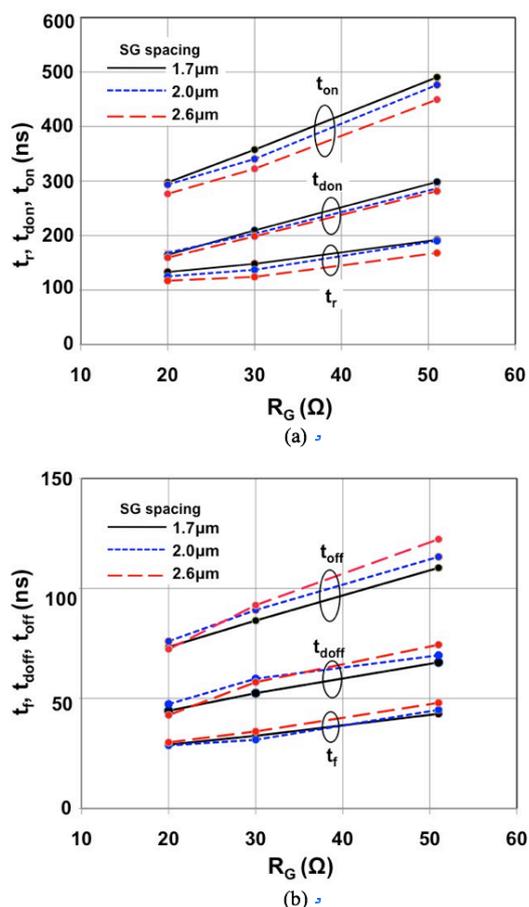


図6 : SiC-SGVJFET のスイッチング時間
(a)ターンオン時間 (b)ターンオフ時間

いれば急峻な立ち上がり電圧パルスが期待でき、電力損失低減につながる。一方で当初期待していた SG 間隔の減少に対する t_f の低減効果は低いことがわかる。トランジスタのスイッチング性能は一般的に通電電流や電源電圧に依存する為、今後様々なスイッチング条件にて本デバイス进行评估し、パルスパワーに最適なスイッチング条件を見いだす予定である。また SGVJFET の駆動回路も今後最適化し、本研究の目標である Si パワーデバイスの $1/10$ の損失を有するパワーデバイスの実現を目指す予定である。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 1 件)

- ① 岩室 憲幸、板東 章、矢野 浩司、宮澤 哲哉、江口 博臣、三浦 喜直、鹿内 洋志、池田 成明、上本 康裕、平岩 篤、新材料パワーデバイスの最新技

術, 電気学会論文誌 C, 査読有、137, 2017, 13-19, (矢野担当分 P15)

DOI: 10.1541/ieej.137.13

[学会発表] (計 2 件)

- ① N.Kikuchi, T.Ishikawa, K. Yano and Y. Tanaka, “A novel gate drive circuit for high speed turn-on switching of ultra-low feedback capacitance SiC-VJFET,” Proceedings of International conference on Electrical machines and systems (ICEMS), 2017.
- ② K. Yano, T. Ishikawa, Y. Tanaka, T. Yatsuo, and M. Yamamoto, “Experimental Demonstration of SiC Screen Grid Vertical JFET (SiC-SGVJFET) Having a Ultra-Low Crss,” Proc. of Int. Sym. Power Semiconductor Devices and ICs (ISPSD), pp.487-490,2016.

[その他]

ホームページ等

[http://nerdb-](http://nerdb-re.yamanashi.ac.jp/Profiles/336/0033565/profile.html)

[re.yamanashi.ac.jp/Profiles/336/0033565/profile.html](http://nerdb-re.yamanashi.ac.jp/Profiles/336/0033565/profile.html)

6. 研究組織

(1) 研究代表者

矢野 浩司 (YANO, Koji)

山梨大学・大学院総合研究部・教授

研究者番号：90252014

(2) 研究分担者

山本 真幸 (YAMAMOTO, Masayuki)

山梨大学・大学院総合研究部・助教

研究者番号：00511320

(3) 連携研究者

田中 保宣 (TANAKA, Yasunori)

産業技術総合研究所・先進パワーエレクトロニクス研究センター・総括研究主幹

研究者番号：20357453

八尾 勉 (YATSUO, Tsutomu)

産業技術総合研究所・先進パワーエレクトロニクス研究センター・非常勤研究員

研究者番号：10399503