

令和 3 年 6 月 8 日現在

機関番号：12601

研究種目：若手研究(A)

研究期間：2016～2019

課題番号：16H05855

研究課題名(和文) タンデム式ハイブリッド型パイプラインによるプロセッサの超高電力効率化

研究課題名(英文) Highly Efficient Processors with Tandem Hybrid Pipelines

研究代表者

塩谷 亮太 (Shioya, Ryota)

東京大学・大学院情報理工学系研究科・准教授

研究者番号：10619191

交付決定額(研究期間全体)：(直接経費) 19,250,000円

研究成果の概要(和文)：携帯端末では消費電力を重視してLittleコアと呼ばれる小型のプロセッサを搭載していたが、近年ではスマートフォンなどの普及によって高い性能が求められるようになったためBigコアと呼ばれる大型のプロセッサが採用されている。Bigコアは高い性能を持つ一方で、消費電力に問題がある。このため、本研究ではLittleコア並の消費電力とBigコアに匹敵する性能を両立する、超高電力効率プロセッサを研究した。本研究により、電力効率を大幅に向上させる低消費電力モードとモード切替アルゴリズムを実現した。また、これらを実証するためのLSI試作を行い、シミュレーションではなく実際の性能や消費電力に基づく検証を行った。

研究成果の学術的意義や社会的意義

本研究では、Bigコアで実行してもLittleコアで実行しても大きく性能が変化しない領域がプログラム内に細粒度に存在することや、それらの性質について明らかにした。また、これを利用することでプログラム実行の際の大きく電力効率を上げられることを明らかにした。さらに、電力効率の検証を目的として行ったLSI試作では、その結果得られたプロセッサ設計をオープンソースとして公開しており、これを使用して様々な研究を行うことを可能にした。

研究成果の概要(英文)：In order to reduce power consumption, mobile devices used to be equipped with small processors called little cores. However, in recent years, with the spread of smartphones and other devices, large processors called big cores have been adopted to meet the demand for high performance. While big cores have high performance, they have a problem of high power consumption. In this research, we have studied a high-power-efficient processor that consumes as much power as a little core but has performance comparable to a big core. In this research, we have developed a low-power mode and a mode-switching algorithm that significantly improve the power efficiency. In addition, we have developed a prototype LSI to demonstrate these features.

研究分野：計算機システム

キーワード：プロセッサ・アーキテクチャ

1. 研究開始当初の背景

近年では携帯端末においても高度な並列処理を行う Big コアと呼ばれる大型のプロセッサが採用されている。Big コアの採用は主流となっており、たとえば研究開始時に最新の端末であった Apple 社 iPhone6 では最大 9 命令を並列実行可能な Big コアが搭載されている。従来、これらの携帯端末では低消費電力を重視して Little コアを搭載していた。Little コアは単純なため、性能は低いものの消費電力も小さい。しかし、スマートフォンなどの普及により、低消費電力であることに加えて、高性能であることがより重要視されるようになった。これらの端末では従来は PC で提供されていたようなリッチなアプリケーションが次々と提供されており、それが大きな魅力となっている。これらが軽快に動くことが重要な差別化要因であるため、稼働時間を犠牲にしても Big コアを採用することに繋がっている。これらの高性能なプロセッサを積んだ携帯端末の普及は急速に進んでおり、スマートフォンだけでも 2014 年には全世界で 10 億台以上が発売されている。

Big コアは高い性能を持つ一方で、やはり消費電力に問題がある。一般にプロセッサの資源は、1)演算器と、2)それらの制御部に分けることができる。Big コアはこの制御部に多くの資源をつぎ込むことによって、複雑な並列処理を行い高い性能を達成している。しかしそのため、複雑化した制御部が非常に大きな電力を消費してしまい、Little コアとの消費電力の差の原因となっている。

2. 研究の目的

以上の背景より、本研究では Little コア並の消費電力と、Big コアに匹敵する性能を両立する、超高電力効率プロセッサの実現を目指す。申請者は、平成 24~27 年度において、若手研究 (A)「ハイブリッド型命令パイプラインによる超高電力効率プロセッサの研究」を実施した。本課題は、この先行課題の成果を受けて継続・発展させるものである。

先行課題では Little と Big の 2 つの実行ユニットを直列 (タンデム) に結合したプロセッサを提案した (図 1)。提案手法では、命令流の大部分を単純な Little ユニットによって処理・フィルタし、残りの命令を Big ユニットで処理することで、消費電力を大きく削減する。また、Little ユニットの追加により、演算器数 (図内 FU) が増加してスループットが向上し、高速化も同時に実現される。これにより、従来の Big コアと比べて、7.4%の性能向上と 28%の電力効率向上を同時に実現した。この成果は高く評価され、当該分野の世界最高峰の国際会議である MICRO へ論文が採択された。

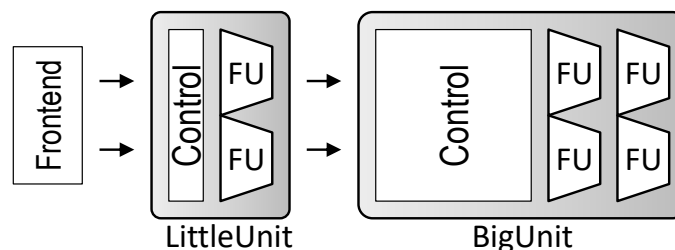


図 1 タンデム型ハイブリッド・パイプライン

3. 研究の方法

本課題では、先行課題で得た知見をもとにして以下の研究を行う：

- (1) Big ユニットの停止制御方式：先行課題の結果、プログラム内には Little ユニットのみに実行してもほぼ性能低下が起きない部分 (以下、「小性能差領域」) が相当量あることがわかった。そこで、プログラム中の小性能差領域を検出して Big ユニットの停止し、消費電力をさらに削減させる制御方式を研究する。予備評価により、小性能差領域は 100 命令程度の超細粒度で分布していることがわかっている。プログラムの動作フェーズを検出する既存手法の多くは 100 万命令単位などの粗粒度を対象としており、上記のような超細粒度の振る舞いを捉えることができない。このため、新たな検出や制御の手法を研究する必要がある。予備評価では、理想的な制御を行った場合には消費電力を先行研究からさらに 20%程度削減できることがわかっている。
- (2) LSI 試作による有効性の実証：これまでの評価では提案手法の消費電力削減量は数割程度であり、この程度では産業界に強く働きかけるには不十分であった。しかし本来は、提案手法により消費電力は数分の 1 にまで縮小されると予想される。これは、ARM 社による実際の Little コアの消費電力は Big コアの 4 分の 1 程度であるためだ。全命令の 8 割程度を Little

ユニットで実行できる提案手法の消費電力は、本来は Little コアと同程度となるはずである。先行課題の結果、この乖離の原因は、電力評価に用いた McPAT シミュレータにあることがわかった。McPAT は Big コアの消費電力を本来よりも大幅に小さく算出してしまうのである。この McPAT の問題は最近 IBM 社の研究者らによっても報告されている。Big コアの消費電力を過小に算出する McPAT では、Big コアをベースに消費電力を削減する提案手法の効果も過小に見積もられてしまう。McPAT は事実上使用できる唯一の電力シミュレータであり、またそもそも電力をシミュレータにて正しく評価することは難しい。そこで、本研究では実際に LSI を試作し、消費電力が数分の 1 にまで縮小することを実証する。

4. 研究成果

実施内容(1)の Big ユニットの制御方法については、Little ユニットのみで実行を行う低電力モードの提案と、低電力モードへの切り替えアルゴリズムの提案の双方について成果を得た。前者の低電力モードへの切り替えでは、タンデム型ハイブリッド・パイプラインの構造を利用して切り替えペナルティを削減した高速なモード切り替え方法を提案した。この切り替え方法の採用により、低電力モードの使用機会を大きく増やす事に成功した。モード切り替えアルゴリズムについては、切り替えの基準となる閾値を大域的に調整しつつ、切り替え細粒度に行うアルゴリズムを提案し、前者のモード切り替え方法と組み合わせることで電力効率を大きく向上させることに成功した。

実施内容(2)の LSI 試作による有効性の実証については、実証のための基盤となる RISC-V プロセッサを作成しオープンソースとして公開した。この公開したプロセッサは研究実施者の所属する研究室にとどまらず、外部の研究機関や企業などにおいても既に研究や試作等に広く使用され始めている。またこの設計をもとに実際の LSI 試作を行い、正常に動作することを確認している。この試作やそのための設計を通じて Big コアの各コンポーネントの回路規模や消費電力を期待通りに見積もることができるようになり、期待されたとおりに提案手法によって有効に消費電力が削減できることを確かめた。

5. 主な発表論文等

〔雑誌論文〕 計5件（うち査読付論文 5件/うち国際共著 0件/うちオープンアクセス 0件）

1. 著者名 Matsuo Reoma, Shioya Ryota, Ando Hideki	4. 巻 18
2. 論文標題 Improving the Instruction Fetch Throughput with Dynamically Configuring the Fetch Pipeline	5. 発行年 2019年
3. 雑誌名 IEEE Computer Architecture Letters	6. 最初と最後の頁 170 ~ 173
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/LCA.2019.2952592	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Yamada Junji, Jimbo Ushio, Shioya Ryota, Goshima Masahiro, Sakai Shuichi	4. 巻 26
2. 論文標題 Bank-Aware Instruction Scheduler for a Multibanked Register File	5. 発行年 2018年
3. 雑誌名 Journal of Information Processing	6. 最初と最後の頁 696 ~ 705
掲載論文のDOI (デジタルオブジェクト識別子) 10.2197/ipsjjip.26.696	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Junji Yamada, Ushio Jimbo, Ryota Shioya, Masahiro Goshima, and Shuichi Sakai	4. 巻 E100-D
2. 論文標題 Skewed Multistaged Multibanked Register File for Area and Energy Efficiency,	5. 発行年 2017年
3. 雑誌名 IEICE Transactions on Information and Systems	6. 最初と最後の頁 822-837
掲載論文のDOI (デジタルオブジェクト識別子) 10.1587/transinf.2016EDP7414	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Junji Yamada, Ushio Jimbo, Ryota Shioya, Masahiro Goshima, and Shuichi Sakai	4. 巻 E100-D
2. 論文標題 Skewed Multistaged Multibanked Register File for Area and Energy Efficiency	5. 発行年 2017年
3. 雑誌名 IEICE Transactions on Information and Systems	6. 最初と最後の頁 822-837
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Ushio Jimbo, Junji Yamada, Ryota Shioya, and Masahiro Goshima	4. 巻 E100-C
2. 論文標題 Applying Razor Flip-Flops to SRAM Read Circuits	5. 発行年 2017年
3. 雑誌名 IEICE Transactions on Information and Systems	6. 最初と最後の頁 245-258
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

〔学会発表〕 計13件 (うち招待講演 1件 / うち国際学会 7件)

1. 発表者名 Hidetsugu Irie, Toru Koizumi, Akifumi Fukuda, Seiya Akaki, Satoshi Nakae, Yutaro Bessho, Ryota Shioya, Takahiro Notsu, Katsuhiko Yoda, Teruo Ishihara, and Shuichi Sakai
2. 発表標題 STRAIGHT: Hazardless Processor Architecture without Register Renaming
3. 学会等名 IEEE/ACM International Symposium on Microarchitecture (MICRO 51) (国際学会)
4. 発表年 2018年

1. 発表者名 Yasumasa Chidai, Kojiro Izuoka, Ryota Shioya, Masahiro Goshima, and Hideki Ando
2. 発表標題 A Tightly Coupled Heterogeneous Core with Highly Efficient Low-Power Mode
3. 学会等名 International Conference on Architecture of Computing Systems (ARCS 31) (国際学会)
4. 発表年 2018年

1. 発表者名 松尾玲央馬, 塩谷亮太, 安藤秀樹
2. 発表標題 パイプライン構造の動的制御による命令フェッチ・スルーブットの向上
3. 学会等名 情報処理学会研究報告 2018-ARC-23
4. 発表年 2018年

1. 発表者名 李虹希, 塩谷亮太, 安藤秀樹
2. 発表標題 SRAMの電力/遅延シミュレータCACTIへのシングルエンド方式の対応
3. 学会等名 情報処理学会研究報告 2018-ARC-232
4. 発表年 2018年

1. 発表者名 塩谷亮太, 地代康政, 出岡宏二郎, 五島正裕, 安藤秀樹
2. 発表標題 低電力モードを備えるプロセッサとモード切り替えアルゴリズムによる電力効率の向上
3. 学会等名 情報処理学会 システム・アーキテクチャ研究会
4. 発表年 2017年

1. 発表者名 Ryota Shioya
2. 発表標題 Visualizing the out-of-order CPU model
3. 学会等名 Learning gem5 Tutorial at ACM International Conference on Architectural Support for Programming Languages and Operating Systems (ASPLOS) (招待講演) (国際学会)
4. 発表年 2018年

1. 発表者名 Junji Yamada, Ushio Jimbo, Ryota Shioya, Masahiro Goshima, and Shuichi Sakai
2. 発表標題 Bank-Aware Instruction Scheduler for Multibanked Register File
3. 学会等名 The 1st. Cross-disciplinary Workshop on Computing Systems, Infrastructures, and Programming
4. 発表年 2017年

1. 発表者名 Susumu Mashimo, Ryota Shioya, and Koji Inoue
2. 発表標題 Energy Efficient Runahead Execution on a Tightly-Coupled Heterogeneous Core
3. 学会等名 International Conference on High Performance Computing in Asia-Pacific Region (HPC Asia) (国際学会)
4. 発表年 2020年

1. 発表者名 Susumu Mashimo, Akifumi Fujita, Reoma Matsuo, Seiya Akaki, Akifumi Fukuda, Toru Koizumi, Junichiro Kadomoto, Hidetsugu Irie, Masahiro Goshima, Koji Inoue, and Ryota Shioya
2. 発表標題 An Open Source FPGA-Optimized Out-of-Order RISC-V Soft Processor
3. 学会等名 IEEE International Conference on Field-Programmable Technology (FPT) (国際学会)
4. 発表年 2019年

1. 発表者名 Shinji Sakai, Taishi Suenaga, Ryota Shioya, and Hideki Ando
2. 発表標題 Rearranging Random Issue Queue with High IPC and Short Delay
3. 学会等名 IEEE International Conference on Computer Design (ICCD 36) (国際学会)
4. 発表年 2018年

1. 発表者名 眞下 達, 塩谷 亮太, 井上 弘士
2. 発表標題 動的スクリプト言語の高効率実行を目的としたプロセッサアーキテクチャの拡張
3. 学会等名 情報処理学会研究報告 2020-ARC-240
4. 発表年 2020年

1. 発表者名 今泉 勇斗, 塩谷 亮太, 安藤 秀樹
2. 発表標題 キャッシュ・パーティショニングによる性能向上のためのMLPを意識した実行サイクル数の推定
3. 学会等名 情報処理学会研究報告 2019-ARC-236
4. 発表年 2019年

1. 発表者名 Tomoki Nakamura, Toru Koizumi, Yuya Degawa, Hidetsugu Irie, and Shuichi Sakai and Ryota Shioya
2. 発表標題 T-SKID: Timing Skid Prefetcher
3. 学会等名 The Third Data Prefetching Championship (国際学会)
4. 発表年 2019年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
---------------------------	-----------------------	----

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------