

令和 2 年 7 月 9 日現在

機関番号：55501

研究種目：若手研究(B)

研究期間：2016～2019

課題番号：16K16130

研究課題名(和文) 超大規模脳型回路における発火周期保障型パルス結合位相振動子系の実現

研究課題名(英文) Realization of a system of pulse-coupled phase oscillators with complementing firing-period in ultra-large scale brain-like CMOS circuit

研究代表者

松坂 建治 (matsuzaka, kenji)

宇部工業高等専門学校・制御情報工学科・准教授

研究者番号：00755879

交付決定額(研究期間全体)：(直接経費) 3,000,000円

研究成果の概要(和文)：本研究では、脳型知的情報処理の大規模集積回路化に向けた大規模結合位相振動子系において、振動子間の動作ばらつきに頑健な発火周期保障型パルス結合位相振動子系モデルおよびそれを実現する回路を開発した。大規模結合ネットワークを数値計算シミュレーションにより検証を行った結果、大規模集積回路化に伴って生じる振動子ユニット間の動作ばらつきを解消することができる見通しを得た。開発したモデル・回路によって、脳の神経細胞モデルに学んだ高速かつ高効率なスパイクベース演算を実行する脳型ハードウェアの実現が可能となり、現在のCMOSデジタル技術を上回る演算効率をもつプロセッサの開発が期待できる。

研究成果の学術的意義や社会的意義

振動子間の動作ばらつきに頑健な発火周期保障型パルス結合位相振動子系モデルおよびそれを実現する回路によって、大規模な振動子ネットワークを回路化するとき生じる問題を解決することができる。これにより、今後、脳の神経細胞モデルに学んだ高速かつ高効率なスパイクベース演算を実行する脳型ハードウェアの実現が可能となり、現在のコンピュータ技術・演算方式とは全く異なる構造をもち、演算効率をはるかに上回るプロセッサが開発できると期待される。

研究成果の概要(英文)：In this research, I have developed a pulse-coupled phase oscillator model with complementing firing-period and its CMOS circuit that is robust against variations in between oscillators for VLSI implementation of brain-like intelligent information processing. As a result of verifying a large-scale oscillator network by numerical simulation, it was found that the developed model can eliminate the variation between oscillator units caused by the large-scale integrated circuit. The proposed model/circuit enables the realization of brain-like hardware that executes high-speed and high-efficiency spike-based computation based on the neural network model. By using this proposed model, it is expected that a processor with higher computational efficiency than the current CMOS digital technology will be developed.

研究分野：電子回路

キーワード：結合位相振動子系 ニューラルネットワーク 電子回路 集積回路 超大規模脳型回路 発火周期保障

様式 C - 19、F - 19 - 1、Z - 19 (共通)

1. 研究開始当初の背景

1980年代後半から生体の脳の情報処理モデルに基づくハードウェアの開発に関する研究が本格的に行われている(例: C. Mead, Analog VLSI and Neural Systems, Addison-Wesley, 1989 や A. G. Andreou and K. A. Boahen, Neural Computation, 1989 および A. G. Andreou, K. A. Boahen, P. O. Pouliquen, A. Pavasovic, R. E. Jenkins, and K. Stro-hbehn, IEEE Trans. Neural Networks, 1991 など)。これらの研究では、トランジスタやダイオードなどの半導体素子の物理現象によって、脳の神経系における演算・機能を実現することを目指している。現在、集積回路技術の向上により膨大な数のトランジスタを1チップ内に集積することが可能になっており、近年ではIBM社により人間の脳を模倣した超大規模なニューラルネットワークを実現したプロセッサも開発されている(TrueNorthチップ, SyNAPSEプロジェクト)。また、脳の特徴的な情報処理および表現である、ニューロン発火の同期現象をモデル化した縮約モデルとして結合位相振動子系が知られている(Y. Kuramoto, Chemical Oscillation, Waves, and Turbulence, Springer, Berlin, 1984 および Y. Kuramoto, Physica D, 1991)。特に、スパイクパルスによる情報伝達をモデル化した結合位相振動子としてパルス結合位相振動子モデルがある(A. T. Winfree, The Geometry of Biological Time, Springer, New York, 1980 や F. C. Hoppensteadt and E. M. Izhikevich, Weakly Connected Neural Networks, Springer, New York, 1997 および E. M. Izhikevich, Dynamical Systems in Neuroscience: The Geometry of Excitability and Bursting, MIT Press, Cambridge, MA, 2007)。このパルス結合位相振動子をアナログCMOS回路で実装した例は、これまでにいくつか存在しており、(例: X. Y. Wang, R. Dokania, and A. Apsel, IEEE Sensors Journal, 2011 および X. Y. Wang, R. K. Dokania, Y. Zhuang, C. I. Dorta-Quinones, W. Godycki, M. Lyons, and A. B. Apsel, IEEE RFIC Symposium, 2011 など)低消費電力で高速な同相同期を実現している。これらの回路は通信分野への適用のみを想定しているため、脳の神経細胞の縮約モデルとしてのパルス結合位相振動子を大規模集積することおよび結合振動子系の引き起こす同相・逆相および異相同期現象をハードウェア上で実現することは困難であり、結合位相振動子系の持つ効率的な動作のメカニズムを工学的に生かしているとは言えない。

パルス結合位相振動子系を回路化した場合、更新動作は振動子が準周期的に発するスパイクによって非同期的なタイミングで行われ、この更新動作による演算結果は振動子の次の発火タイミングに直接反映されるため、振動子のダイナミクスを連続時間で演算できる。これら非同同期スパイクパルスによる時間領域アナログ演算を集積回路実装することにより、脳の神経細胞モデルに学んだ高速かつ高効率なスパイクベース演算を実行する脳型ハードウェアの実現が可能となり、現在のCMOSデジタル技術をはるかに上回る演算効率をもつプロセッサの開発が期待できる。

2. 研究の目的

本研究では、脳型知的情報処理の大規模集積回路化に向けた大規模結合位相振動子系において、振動子間の動作ばらつきに頑健な発火周期保障型パルス結合位相振動子系回路を開発する。具体的には、結合位相振動子系の同期現象に着目し、系の同相同期の状態を利用して発火周期の保障を行うモデルおよび回路を開発する。開発したモデルおよびそれらの結合ネットワークの数値計算シミュレーションにより動作検証を行う。また、大規模集積化を想定した電子回路の設計を行い回路シミュレーションにより回路の動作を検証する。これらの検証・評価を通して大規模結合系構築における開発モデルの有効性・工学的価値を明らかにする。

研究代表者はこれまでに、大規模集積に向けたパルス結合位相振動子系のモデル改良および集積回路実装を行い、試作LSIの検証結果から同相・逆相および異相同期現象を観測している。さらに、この回路を発展させて知的画像処理のアプリケーションに応用し、世界最高レベルの演算効率(演算性能対消費電力)となるスパイクベースのメディアプロセッサを開発しパルス結合位相振動子系に基づくスパイクベース演算方式回路の有効性及び工学的実用性を明らかにしている。しかしながら、これらの回路を用いてさらに大規模な結合系を構築しようとした場合、半導体素子のばらつきや動作ノイズに起因する振動子ユニット回路間の発火周期ばらつきの問題が生じる。この問題は系の大規模化及び振動子ユニット数の増大に伴ってより顕著になる。よって、他のアプリケーションへの応用およびネットワークサイズの拡大のためにはこれらの問題の解決が必要不可欠となる。

本研究では、具体的に以下の内容について明らかにする。

- (1) 研究代表者がこれまでに提案したスパイクパルス入力を導入したパルス結合位相振動子系モデルに、結合位相振動子系の同期現象を利用して振動子に対して発火周期ばらつきをフィードバックし、各振動子の発火周期の保障を行うモデルを導入することで、振動子が同期して同一発火周期に収束可能なモデルを開発し、
- (2) 開発したモデルを用いたネットワークを電子回路および集積回路で実装し、試作LSIによる実験・検証を通じて開発したモデルおよび回路の有効性を明らかにする。

3. 研究の方法

本研究におけるモデルおよび回路の設計・開発は研究代表者のみで遂行した。また、本研究の実施期間を平成28年度～平成30年度の3力年とする予定とした。初年度は、発火周期保障

モデルの構築および数値計算シミュレーションによるモデルの動作検証を実施する。次年度以降は、開発モデルを実現する電子回路の設計・製作と回路シミュレーションによる動作検証および開発モデルを大規模結合系へ拡張した数値計算シミュレーションを行った。

本研究の内容は

1. 発火周期保障モデル(結合位相振動子系の同期現象を利用した振動子間ばらつき差分を保持するモデル)の開発と、発火周期保障モデルのパルス結合位相振動子モデルへの導入および検証

2. 発火周期保障型パルス結合位相振動子モデルを実現する電子回路の設計および回路検証

3. 大規模振動子ネットワークにおける開発モデルの検証と評価

の3つの要素に分かれる。

研究計画は次の通りである。

1) 発火周期保障モデルの構築

研究代表者はこれまでに、パルス結合位相振動子系のモデルとして知られている Winfree モデル(A. T. Winfree, The Geometry of Biological Time, Springer, New York, 1980)を基に、スパイクパルス入力を導入したパルス結合位相振動子系モデルを提案し、このモデルを実現する電子回路を開発している。このモデルでは、結合した他の振動子から受けたスパイク入力タイミングと、振動子の位相に応じて時間軸に展開する位相応答関数の相関によって位相状態を更新することで、結合した振動子間の発火位相差を制御している。本研究ではこのメカニズムを利用して、同相同期状態(同一タイミングで周期的に発火)を起こさせた際に生じる更新の値から位相差分を取り出し、これを保持することで発火周期を保障する(ネットワーク内の全振動子の発火周期を同一に保つ)モデルを構築した。

2) 開発モデルのパルス結合位相振動子モデルへの導入および検証

発火周期保障モデルはその動作メカニズムが結合位相振動子の位相更新動作と原理が同一であるため、演算結果の反映先を変更することで構成することができる。このモデルを導入した発火周期保障型パルス結合位相振動子モデルにおいて、系の動作は

1. 発火周期保障(同相同期により周期差を保持)動作 と

2. 結合振動子による同期現象を発生する従来通りの動作

の2段階となる。これらの動作を検証するため、回路実装した際に生じる振動子間の周期ばらつきを想定した数値シミュレーションを実施し、モデルの検証を行った。

また、これらのモデル検証が完了次第、電子回路設計および回路シミュレーションによる検証を開始した。

初年度以降は開発した発火周期保障モデルを実現する電子回路の設計に取り組み、電子回路シミュレーションによる検証を実施した。電子回路は研究代表者がこれまでに提案したパルス結合位相振動子回路およびこれらを発展させた結合ネットワーク回路をベースとし、発火周期保障モデルを必要最小限の回路構成で実現することで、回路規模および消費電力の増大を抑える。また、構築したモデルを大規模な結合ネットワークに拡張した大規模結合位相振動子系を構築し、数値シミュレーションによる系の振る舞いの検証・評価を行った。

4. 研究成果

本研究では、脳型知的情報処理の大規模集積回路化に向けた大規模結合位相振動子系において、振動子間の動作ばらつきに頑健な発火周期保障型パルス結合位相振動子系モデルおよびそれを実現する回路を開発した。開発したモデルの大規模結合ネットワークを数値計算シミュレーションにより検証を行い、さらに開発モデルを実現する電子回路の設計および回路シミュレーションによる動作検証を実施した。これらにより、大規模結合系構築における開発モデルの有効性・工学的価値を明らかにした。

発火周期保障モデルの構築および検証

発火周期保障モデルは系の同相同期現象に至る過程の振る舞いを利用して結合位相振動子の周期動作のしきい値更新を実行する。開発モデルを導入したパルス結合位相振動子の数値計算シミュレーションでは回路実装した際に生じる振動子間の周期ばらつきを想定した数値シミュレーションを実施し、周期保障動作の検証を行った。しきい値更新結合強度と周期の初期値ばらつき、および更新回数をパラメータとした検証を行い、開発モデルによって振動子の周期を収束させることができることを明らかにした。

大規模結合位相振動子ネットワークの検証

発火周期保障モデルを導入した結合位相振動子系を大規模結合ネットワークに拡張した大規模結合位相振動子系を構築し、数値シミュレーションによる系の振る舞いの検証を実施した。発火周期保障モデルは系の同相同期現象に至る過程の振る舞いを利用して結合位相振動子の周期動作のしきい値更新を実行する。このモデルを導入した発火周期保障型パルス結合位相振動子モデルにおいて、系の動作は、発火周期保障(同相同期により周期差を保持)動作と結合振動子による同期現象を発生する従来通りの動作の2段階となる。

数値計算シミュレーションでは結合位相振動子数を10000に拡張し、発火周期保障動作およ

び位相更新による同相同期動作をそれぞれ 20000 回ずつ実行し検証を行った。1 段階目の発火周期保障動作についての検証において、回路実装した際に生じる振動子間の周期ばらつきを想定した数値シミュレーションを実施し、周期保障動作の検証を行った。具体的には、モデル中のパラメータであるしきい値更新結合強度とネットワーク内の周期ばらつき、および更新回数（発火回数）の関係を検証し、周期保障動作におけるしきい値結合強度のパラメータ範囲が $1.0E-11 \sim 1.0E-8$ の場合ネットワーク全体の周期を収束させることができることを明らかにした。また、周期保障動作が完了したのちに行う 2 段階目の位相更新による同相同期動作において、周期保障動作が完了している場合はいかなる位相更新結合強度パラメータを用いた場合でも同相同期現象が引き起こされることを確認した。

発火周期保障モデルを実現する CMOS 回路の開発

発火周期保障モデルを実現する CMOS アナログ電子回路を設計し、2 素子結合系を想定した電子回路シミュレーションによる検証を実施した。

発火周期保障モデルにおいて、発火周期の状態更新メカニズムは結合位相振動子の位相状態更新メカニズムを利用している。これにより、電子回路設計において、発火周期保障機能と振動子状態更新機能の 2 つの独立した機能を実現する回路を同一の機能ブロックとして組み込むことで回路素子数の低減および集積回路上での実装面積の縮小が可能となった。結合位相振動子回路において実装面積の大部分を占めているアナログ回路部分は、振動子の位相状態をリセットおよび発火信号を出力するための比較器・アナログバッファ・キャパシタが主な構成要素となる。発火周期保障機能は、結合位相振動子回路の比較器のしきい値に状態更新を加えることにより実現できるため、この比較器を改良することで大幅に回路実装面積を縮小できる。また、結合位相振動子回路の発火信号出力をデジタル順序回路により制御することで、アナログ回路部分を時間軸上で再利用することができる。これら比較器の改良とそれに伴うアナログバッファの削除およびデジタル回路の追加により、回路の素子数および回路規模を大幅に低減するための改良設計および改良した回路の検証を実施した。

さらに、これらの回路改良および回路検証結果を、数値計算による大規模ネットワーク検証に反映した周期保障動作の検証を行った。この数値検証の結果、回路に導入した拡張機能を用いた場合でもネットワーク全体の周期収束が可能であることを明らかにし、回路構築におけるさらなる大規模集積に向けた知見を得た。

5. 主な発表論文等

〔雑誌論文〕 計0件

〔学会発表〕 計0件

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
--	---------------------------	-----------------------	----