

令和 4 年 5 月 20 日現在

機関番号：12601

研究種目：基盤研究(B) (一般)

研究期間：2017～2019

課題番号：17H01709

研究課題名(和文)自動状態バックアップ機構を利用した高性能・高信頼システム設計技術

研究課題名(英文) Design methods for high performance-highly reliable systems using auto-backup mechanisms

研究代表者

藤田 昌宏 (Fujita, Masahiro)

東京大学・大学院工学系研究科(工学部)・教授

研究者番号：70323524

交付決定額(研究期間全体)：(直接経費) 11,870,000円

研究成果の概要(和文)：通常のCMOS回路を作成した後、自由に不揮発性メモリ層を最大4層程度まで追加し両者を自由に接続できる回路設計技術をハードウェアシステムの高性能化と高信頼化に応用する技術に関し、データ処理部近辺での大量計算が可能となることによる高性能化と、チェックポイントの挿入による処理の高信頼化が可能であることをいくつかの例題で示した。不揮発性であるため、各種情報をバッファしても消費電力がほとんど増えないという利点がある。さらに、(1)VLSIにおける論理設計デバッグ手法、(2)VLSIにおけるデータ配線の容易化、(3)量子回路のテスト手法の3点への活用も検討し、新規手法を提案することで、その有用性を示した。

研究成果の学術的意義や社会的意義

現在、ますます世の中の処理が自動化され、一方、処理すべきデータ量が膨大になっているため、ハードウェアを利用した情報処理技術の一段の高性能化と高信頼化が必須となっている。本研究では、通常のCMOS回路を作成した後、自由に不揮発性メモリ層を最大4層程度まで追加し両者を自由に接続できる回路設計技術を利用することで、同じチップ面積を利用しながら、ハードウェアシステムの高性能化と高信頼化を同時に実現可能であることが示された。さらに、(1)VLSIにおける論理設計デバッグ手法、(2)VLSIにおけるデータ配線の容易化、(3)量子回路のテスト手法に体しても有効活用できることを新規手法を提案することで示した。

研究成果の概要(英文)：By utilizing the circuit design technology that allows adding up to four non-volatile memory layers freely after creating an ordinary CMOS circuit and connecting them freely, we have developed new design methodologies for high-performance and highly reliable hardware systems. Through several examples, it is shown that it is possible to achieve high performance by enabling a large amount of computation in the vicinity of the data processing section and high reliability of processing through the insertion of checkpoints. Since it is non-volatile, it has the advantage of almost no increase in power consumption even when buffering various types of information. Furthermore, we also studied its use for (1) logic design debugging method in VLSI, (2) easy data routing in VLSI, and (3) testing method for quantum circuits, and demonstrated its usefulness by proposing novel methods.

研究分野：ハードウェア設計技術、ハードウェアAI処理技術

キーワード：高性能計算 計算高信頼化 不揮発性メモリ 計算再利用 デバッグ手法 テスト手法 量子回路 VLSI配線

科研費による研究は、研究者の自覚と責任において実施するものです。そのため、研究の実施や研究成果の公表等については、国の要請等に基づくものではなく、その研究成果に関する見解や責任は、研究者個人に帰属します。

## 1. 研究開始当初の背景

半導体をベースとしたハードウェアシステムが社会の隅々まで利用されるようになっており、単に性能面だけでなく、消費電力や各種処理に対するエネルギー効率の向上が大きな課題となっている。一般に、ハードウェアシステムはシステム全体がいつも動作している / 動作する必要があるわけではなく、特定の処理をしている際には、システム中のある部分は不要であることが多く、エネルギー効率の向上には、それらと当面使わない部分の電源を落とし、不要なエネルギーを消費させないことが重要となる。

従来研究の成果として、通常の手順に従って CMOS 回路を作成した後、CMOS 回路の上に重ねる形で自由に不揮発性メモリ層を最大 4 層程度まで追加し、両者を自由に接続し通信できる回路設計技術が開発されている。この技術を利用した別研究では、この回路アーキテクチャに基づく試作回路として、マイクロプロセッサや AI エッジ処理ハードウェアなどが複数設計され、実際にチップを製造し、性能や不揮発性を保持期間などが評価され、十分に実用に耐えることがわかっている。この技術を活用すると、主に不揮発性を利用することで、電源を随時落としても処理内容を記憶しておくことができ、電源が再投入された時点ですぐに処理を続行できる、パワーゲーティング処理がほぼオーバーヘッドなしで実現できることになる。従来のパワーゲーティング技術では、電源オフ時に現在の状態をどこかに退避して記憶し、電源オン時にその待避場所から再ロードする必要があり、無視できないオーバーヘッドがあるため、気軽にパワーゲーティングを導入することはできず、十分長い期間、電源をオフにできる場合のみに利用されていた。しかし、上述した技術を利用すると、パワーゲーティング処理のオーバーヘッドが事実上なくなるため、随時パワーゲーティングを行っても、消費電力や消費エネルギー上、ほとんど問題がないと言える。

しかも上記の技術は不揮発性メモリを自由に配置できる回路技術であり、現在の処理に必要な回路部分は随時電源をオフにし、必要になった時点でオンにするパワーゲーティング処理を回路中のどこにでも、極めて有効に活用できることが分かっている。このようになると、この回路技術を単なるパワーゲーティング処理に適用する、つまり、処理のエネルギー効率向上だけでなく、処理の効率化や高性能計算処理の実装にも活用できる可能性があるが、従来そのような研究は全くなかった。

## 2. 研究の目的

通常の CMOS 回路の任意の場所に不揮発性メモリを 3 次元的に追加できる回路技術を活用することで、単なる低消費電力化・高エネルギー効率化だけでなく、ハードウェアシステムの高性能化と高信頼化も実現できることをいくつかの例を用いて実証する。利用する回路技術では、CMOS 回路の任意の部分の上に 3 次元的に不揮発性メモリを積層することができ、例えば、CMOS 回路のフリップフロップの上に積層することで、そのフリップフロップの内容を上層にコピーして記憶したり、反対に記憶されている値を下層の CMOS 回路のフリップフロップにロードすることが 1 サイクル程度で実行できる。

また、メモリ回路でも同様にメモリの全内容を同時に上層にコピーしたり、上層から下のメモリにロードすることができる。例えば、CMOS 回路の全てのフリップフロップとメモリなどの記憶回路に対して、上層に不揮発性メモリを配置することで、CMOS 回路の状態を完全に記憶することができる。つまり、CMOS 回路の動作中に任意の時点での状態を瞬時に記憶できることになる。また、積層する不揮発性メモリは 1 層のみではなく、4 層程度以上積層することができるため、異なる値を 4 種類以上記憶できることになる。このような考察のもとで、従来の処理エネルギー効率の向上だけでなく、ハードウェアシステムの信頼性向上や高性能処理へ適用できることを実証することが本研究の目的である。

CMOS 回路内の全ての記憶回路の上に不揮発性メモリを多層積層することで、実質、CMOS 回路が持つ記憶容量が 2 倍、3 倍と拡張されることになる。つまりより大きな記憶空間を利用した処理が可能となり、処理性能の向上に繋がると考えられる。

## 3. 研究の方法

VLSI 設計フローの見直しを含めて、上の回路技術の効果的かつ効率的な利用法を複数の設計例題を通して検討していくという設計支援技術の面と、設計対象のアーキテクチャやア

ルゴリズムを、本回路技術を利用しやすいように変更や拡張することを検討していくという、2つの面から研究を行う。

前者に関しては特に従来の設計の流れとの差異を明確化することを目指すとともに、ツールの機能や運用面への影響を調査することで、要求されるツールの仕様や性能を明確化する。特に、不揮発性メモリに随時回路状態を完全に記憶できる機能を活用すること(チェックポインティング)で、同じ処理を複数回繰り返して結果を確認することで処理の信頼性を高める手法や、設計デバッグや実動作時の不具合検出などを支援するためのツールとして技術を明確化する。また、不揮発性領域に回路中の任意の信号線の値を記憶させることができるため、例えば VLSI 中の非常に長い配線の途中でいったん不揮発性メモリ値を退避し、次のサイクルでそこから目的のゲートまで信号値を伝播させるといったマルチサイクルデータ通信が容易に実現できると考えられる。これらを有効活用するには、VLSI の配置や配線ツールとの連携が必要になるため、それらについても検討を進める。

後者については、処理で利用できる記憶(メモリ空間)の増大を処理そのものの高速化と効率化へ活用する手法を設計例を通して明確化する。チェックポインティングにより、CMOS 回路全体を以前の状態に瞬時に戻すことが可能となるため、それを活用した高性能計算手法をいくつかの例題で明確化していく。例えばモンテカルトシミュレーションなどの技術を利用する場合には、動作のある時点から乱数などを利用して次の処理を進めていくことになるが、その際、処理が一定程度進むと元に戻る必要がある。これもチェックポインティングを活用すれば効率的に実装できる(ほぼオーバーヘッドなしに実現できる)ことになるため、その有効性を実証する。同様のことは、論理式充足可能性判定手法(SAT 手法)における場合分けとバックトラックでも効果的に利用できると考えられるため、評価を通して実証していく。

さらに、量子コンピュータ関連への活用も検討する。量子コンピュータの利用の仕方として、単独で活用するのではなく、従来の計算機と連携しながら処理を進める方法も検討されている。その際には、同様の処理を繰り返して評価するなどの機能も重要になると考えられ、当技術を有効活用できると考えられるため、検討を進め、将来への考え方の道筋を構築していく。

#### 4. 研究成果

まず、設計支援技術の面からは、任意の信号線の値を随時記憶できるメカニズムを活用することで、ポストシリコン検証・デバッグが極めて効率的になることを、例題を通して確認した。従来からポストシリコン検証・デバッグのために追加でバッファを用意している実際のチップの多いが、それらのバッファは検証・デバッグ以外にはほとんど利用されず、チップ内には必要悪のような感じで存在している。しかし、ここで議論している CMOS 回路の上に積層する形で値を記憶できるメカニズムにより、面積的オーバーヘッドなしで、検証・デバッグのためのバッファを用意できることになり、それを活用したより信頼性の高いチップを実現できる。通常の実験・デバッグ用のバッファと異なる点は、通常は少数の信号線の値を一定数(例えば 1,000 程度)記憶できるバッファが用意されるのに対し、本回路技術では、多数の信号線の値を少数(4 程度まで)記憶できることである。

例題となる設計例の解析から、従来のポストシリコン検証・デバッグ手法をそのまま適用するよりも、多数の信号線の値が利用できることを活かした新規手法を活用する方が、より多くの場合に対して、誤設計、誤動作、不具合の発見と解析が可能となることがわかった。特に設計検証に活用されている回路の動作が満たすべき条件(アサーションと呼ばれる)を活用するポストシリコン検証・デバッグ手法が有効であり、この技術により、動作がおかしい場合にすぐにチップの動作を停止できるため、バッファの深さが小さくても(4 程度まで)デバッグのための原因のトレースが可能であることがわかった。これは、新規ポストシリコン検証・デバッグ手法であり、本回路技術と合わせて利用することを前提としている。

さらに、動作がおかしくなった場合でも、バッファ内の値を一定程度修正する機能を仮定すると、動作を正しく戻すことが可能であることもわかった。これらの機能を持った不揮発性バッファは、VLSI チップの動作の信頼性を大幅に向上する。

チェックポインティングが効率的に実現出来ることの活用の関しては、論理式充足可能性判定プログラム(SAT ソルバー)において、変数の値による場合分けと、解析結果に矛盾が発生した際のバックトラック処理の部分に適用する場合の評価を行った。矛盾が生じた場合には、1つ前の変数値の場合分けの時点まで戻って、異なる変数値について再度解析する必要があるが、本回路技術に基づくチェックポインティングを利用すると、瞬時に戻ることが

できる。従来は、1つ前の場合分けから進めてきた処理をキャンセルするための処理を同様に実行する必要があるが、本回路技術を利用すれば、その必要がなくなり、SAT ソルバーの性能向上が期待できる。実際にシミュレーションによる実験を行ったところ、SAT ソルバーの処理全体において、10~20%程度の処理速度向上が期待できることがわかった。同様の処理を行うアプリケーションは多くあり、それらでも同様に有効活用できると考えられ、今後とも検討していきたい。

さらに、VLSI における(a)データ配線の容易化と、(b)量子回路のテスト手法への適用に関しても検討し、以下の成果が得られた。(a)では、VLSI の配置・配線のしやすさの向上を目指し、配線経路の途中にバッファを挿入し、複数サイクルでデータ転送する仕組みを考案した。これを通常の CMOS 回路に重ね合わせる形で不揮発性メモリを構築する技術と融合すれば、VLSI の信号経路の配線において、その混雑度から1つの経路を時間的に多重化して利用することが可能となり、配線処理が容易可される。配線問題を論理式充足可能生判定(SAT)問題として定式化しながら、効率よく配線経路を探索できる新規手法をまず考え、論文としてまとめた。

また(b)では、量子回路の高速性を活かしながら、その安定性やエラー回避を一定程度実現できると考えられる、量子回路と従来のデジタル回路が協調して動作する環境を想定し、提案技術の適用・応用可能性について検討した。量子回路自体が故障した際の動作を解析し、その故障を検出する仕組みを考案し、論文にまとめるとともに、設計手法を検討し、基本案を策定した。

以上から、CMOS 回路の上に不揮発性メモリを積層して活用する技術は、VLSI チップの信頼性向上と高性能化の両面で効果的であることがわかった。今後、実際の活用を推進することが望まれる。

## 5. 主な発表論文等

〔雑誌論文〕 計4件（うち査読付論文 4件/うち国際共著 0件/うちオープンアクセス 4件）

1. 著者名 Fujita Masahiro	4. 巻 1
2. 論文標題 An approach to approximate computing: Logic transformations for one-minterm changes in specification	5. 発行年 2017年
3. 雑誌名 2017 IEEE International High Level Design Validation and Test Workshop (HLDVT)	6. 最初と最後の頁 91-94
掲載論文のDOI（デジタルオブジェクト識別子） 10.1109/HLDVT.2017.8167469	査読の有無 有
オープンアクセス オープンアクセスとしている（また、その予定である）	国際共著 -
1. 著者名 Gharehbaghi Amir Masoud, Fujita Masahiro	4. 巻 1
2. 論文標題 A new approach for selecting inputs of logic functions during debug	5. 発行年 2017年
3. 雑誌名 2017 18th International Symposium on Quality Electronic Design (ISQED)	6. 最初と最後の頁 166-173
掲載論文のDOI（デジタルオブジェクト識別子） 10.1109/ISQED.2017.7918311	査読の有無 有
オープンアクセス オープンアクセスとしている（また、その予定である）	国際共著 -
1. 著者名 藤田昌宏、ガラバギアミルマスード	4. 巻 117
2. 論文標題 ゲートの種類とゲート信号入力探索による論理最適化・デバッグ手法	5. 発行年 2017年
3. 雑誌名 電子情報通信学会技術研究報告信学技報	6. 最初と最後の頁 151-156
掲載論文のDOI（デジタルオブジェクト識別子） なし	査読の有無 有
オープンアクセス オープンアクセスとしている（また、その予定である）	国際共著 -
1. 著者名 岡本朋大、川尾太郎、河野崇、藤田昌宏	4. 巻 117
2. 論文標題 複数FPGAを用いたスパイキングニューラルネットワークシミュレーションの高速化	5. 発行年 2017年
3. 雑誌名 電子情報通信学会技術研究報告信学技報	6. 最初と最後の頁 157-162
掲載論文のDOI（デジタルオブジェクト識別子） なし	査読の有無 有
オープンアクセス オープンアクセスとしている（また、その予定である）	国際共著 -

〔学会発表〕 計3件（うち招待講演 2件 / うち国際学会 3件）

1. 発表者名 藤田 昌宏
2. 発表標題 A new semi-formal approach to functional testing
3. 学会等名 Workshop on RTL and High Level Testing (国際学会)
4. 発表年 2018年

1. 発表者名 藤田 昌宏
2. 発表標題 Partial synthesis and its application to automatic generation of parallel/distributed algorithms
3. 学会等名 International Conference on Software and Computer Application (招待講演) (国際学会)
4. 発表年 2019年

1. 発表者名 Masahiro Fujita
2. 発表標題 Mobile super computing and big data analysis with non-volatile memory technology
3. 学会等名 International Conference on Software and Computer Applications (招待講演) (国際学会)
4. 発表年 2018年

〔図書〕 計2件

1. 著者名 Leon Strous, Vinton G. Cerf (Editors)	4. 発行年 2018年
2. 出版社 Springer	5. 総ページ数 233
3. 書名 Internet of Things	

1. 著者名 Prabhat Mishra, Farimah Farahmandi (Editors)	4. 発行年 2019年
2. 出版社 Springer	5. 総ページ数 394
3. 書名 Post-Silicon Validation and Debug	

〔産業財産権〕

〔その他〕

-

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
--	---------------------------	-----------------------	----

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------