様　式　Ｃ－１９、Ｆ－１９－１、Ｚ－１９　（共通）

科学研究費助成事業　　研究成果報告書

令和　４ 年　 ６ 月 １８ 日現在

機関番号：１３９０３
研究種目：基盤研究(B)（一般）
研究期間：2017～2020
課題番号：１７Ｈ０１７１１

研究課題名（和文）生産性と性能を両立する共有メモリ型大規模並列計算基盤

研究課題名（英文）Shared-memory massively parallel computing platform for high-productivity and high-performance

研究代表者
津邑　公暁（TSUMURA, Tomoaki）

名古屋工業大学・工学（系）研究科（研究院）・教授

研究者番号：００３３５２３３

交付決定額（研究期間全体）：（直接経費）　　14,300,000円

研究成果の概要（和文）：並列処理プログラミングにおいて，トランザクショナルメモリ（TM）は，簡潔な記述で高い性能を達成可能なパラダイムとして有望視されているものの，そのハードウェア実装はマルチノードに対応しておらず，一方ソフトウェア実装は性能が十分でなく，いずれも高性能計算の基盤として用いるには十分でない。
本研究課題では，TMのスケジューリングや，競合アクセス解決方法の改良により性能を改善できることを示した上で，それらを組み込んだ，マルチノード対応TMのプロトタイプを実現した。このプロトタイプは未だ実用には不十分であるが，従来のTMが持つ問題を部分的に解決しており，TMの高性能計算基盤としての可能性を示した。

研究成果の学術的意義や社会的意義
本研究を通じて，シミュレーションにより検討したTMが持つべき機構やインタフェースについて得た知見は，将来の汎用プロセッサ上のTM実装に対して，あるべき道筋を与えることができるものである.
また本研究により実現した，マルチノード向けTMのプロトタイプにより，高性能計算基盤としてのTMの可能性が示された。更に研究を進めこのプロトタイプの実用性を向上させていくことで，高性能計算分野でこれまで用いられてきたMPIやOpenMPをこれで置き換えることが可能となる. その結果，TMの持つ高い生産性により，HPCを用いる多くの学術分野・産業の発展を促進することが期待できる.

研究成果の概要（英文）：Transactional memory (TM) has shown promise as a parallel programming paradigm that can achieve high performance with easy writing. However, its hardware implementations does not support multi-nodes, while its software implementations does not have sufficient performance.
In this research project, we have shown that the TM performance can be improved by improving the scheduling and contention access resolution methods of the TM, and have realized a prototype of a multi-node TM that incorporates these improvements. Although this prototype is still insufficient for practical use, it partially solves the problems of conventional TMs and shows the potential of TMs as a high-performance computing platform.

研究分野：コンピュータ・アーキテクチャ

キーワード：計算機システム　並列処理　共有メモリ　トランザクショナルメモリ

※科研費による研究は、研究者の自覚と責任において実施するものです。そのため、研究の実施や研究成果の公表等については、国の要請等に基づくものではなく、その研究成果に関する見解や責任は、研究者個人に帰属します。

様　式　Ｃ－１９、Ｆ－１９－１、Ｚ－１９（共通）

１．研究開始当初の背景

「京」などのスパコンを頂点とする大規模な HPC（高性能計算）プラットフォームでは，メニーコア・メニーノード化により，膨大なコア数を活用するための並列プログラミング環境の重要性がますます増大している．

しかし，現在の HPC 分野で用いられている環境では，最大性能のために生産性が犠牲となっている．ノード内は OpenMP などにより共有メモリ空間を前提とした簡便な記述が可能なものの，ノード間では MPI などにより明示的にメッセージ通信を用いることが多い．このノード内外の非均質性は，メニーコア・メニーノード化が進むにつれて，ますます大きな問題となっている．そのため，ノード間でも共有メモリ型に近い記述を可能にする PGAS（Partitioned Global Address Space）モデルを採用したプログラミング言語処理系が近年多く提案されている．しかし PGAS 処理系もただ共有アドレス空間を提供しているに過ぎず，コヒーレンシのための同期処理の明示や，バリアやロックが必要であるなど，生産性の問題を十分に解決できてはいない [a].

このような中，生産性と性能を両立させ得るプログラミング・パラダイムとして，トランザクショナルメモリ（TM）が有望視されている．TM のプログラマは，排他制御すべきアクセスが含まれる処理範囲をトランザクション（Tx）として定義するだけでよい．ロックを書く必要がなく記述性に優れる上，デッドロックも発生しない．その上，Tx は投機的に並行実行が可能で，ロックを用いた場合より性能向上することも多い．

しかし，既存の TM 実装は，メニーノードの大規模計算環境としての実用に足るものとはなっていない．ハードウェア TM（HTM）は，既に IBM の Blue Gene/Q や POWER8，Intel Haswell などに実装されているものの，その機能は単一ノード内に制限されており，マルチノードに対応していない．一方で，ソフトウェア TM（STM）は，マルチノード対応の実装も存在するものの，HPC 向け計算基盤としては性能が著しく低い．

[a] M.D. Wael, et al.: “Partitioned Global Address Space Languages”, Journal of ACM Computing Surveys (CSUR), Vol.47, No.62 (2015)

２．研究の目的

OpenMP や MPI で十分な実効性能を達成するためには，チューニングに長い期間を要する．本来アプリケーションプログラマは，アルゴリズム自体の開発に注力すべきであり，個々のアプリケーションに特化したチューニング作業からは解放されるべきである．TM をメニーコア・メニーノード環境で利用することができれば，この達成が期待できる．TM のプログラミングは，単一ノード内の共有メモリ型のプログラミングより容易である．その結果 TM は，図中実線で示すように，最終的には OpenMP や MPI を用いた場合ほどの極限的な性能を達成することはできないかもしれないが，デッドロックなどの並列バグの発生のしにくさから，初期段階から許容できる性能を得られる可能性が高い．この性質は，開発サイクルの短い研究用のプログラムにおいては特に重要である．

しかし，既存の TM 実装は，メニーノードの大規模計算環境としての実用に足るものとはなっていない．ハードウェア TM（HTM）は，既に IBM の Blue Gene/Q や POWER8，Intel Haswell などに実装されているものの，その機能は単一ノード内に制限されており，マルチノードに対応していない．一方で，ソフトウェア TM（STM）は，マルチノード対応の実装も存在するものの，HPC 向け計算基盤としては性能が著しく低い．

そこで本研究では，マルチノード環境で実用に耐える TM 計算基盤の実現により，HPC 分野でこれまで用いられてきた MPI や OpenMP をこれで置き換えることが可能とし，TM の持つ高い生産性により，HPC を用いる多くの学術分野・産業の発展を促進することを目指す．

３．研究の方法

実用的 TM 計算基盤の実現には，その性能およびスケーラビリティの向上が必要である。まず性能向上のためには，TM におけるトランザクションスケジューリングの改良に加え，アクセス競合の発生頻度の抑制，および，アクセス競合自体の効率化が必要である。この観点から，一般的なプログラムが持つメモリアクセスパターンを解析し，トランザクションスケジューリングがどうあるべきか，また，アクセス競合がどのような場面で発生し，それをどう回避すべきか，について検討する。

また，HTM の性能と STM の汎用性を併せ持った TM 計算基盤を実現するにあたり，STM の制御処理およびスケジューリング自体の高速化のために，HTM 機構をその支援として活用する方法や，HTM で実行不可能なトランザクションを STM を用いて完了させる方法など，HTM と STM の融合・協調についてさまざまな視点から検討する。

４．研究成果

ハードウェアトランザクショナルメモリ（HTM）では同一共有変数へのアクセス競合が頻発することによる性能低下が問題となる．この問題に対し，トランザクションのスケジューリングを改良することにより競合の発生を抑制する研究が多く行われてきたが，そのいずれの手法を用いても，十分な性能向上が得られていないプログラムが存在する．そこでまず，そのようなプログラムが持つメモリアクセスパターンを調査し，性能向上が妨げられている原因を調査した．その結果，複数の実行フェーズを持ち，あるフェーズでアクセスした共有変数に対し，以降のフェーズで再度アクセスしないようなトランザクションが存在することが分かった．これに対し，トランザクションが持つ実行フェーズを考慮して競合検出を行うことで性能を向上させる手法を提案し, Contention および Deque を用いて評価を行った結果, Contention で平均 63.2%, Deque で平均 6.3%の性能向上を確認した（文献 [1]）．

次に, HTM では一般的にキャッシュライン単位で共有変数に対するアクセス競合の検出を行うが, この検出方法では, 複数のスレッドが異なる共有変数に対してアクセスを試みたとしても, これらの変数が同一キャッシュライン上に配置されている場合，誤って競合が検出される．そこで，このような競合の誤検出がどの程度の頻度で発生するのかを調査し，誤検出が頻発するプログラムについて，原因となるデータ構造とそれに対する処理とを分析した．調査の結果，平均 27.4%，最大 99.9%の誤検出率を確認した．また，競合検出のためのハードウェアを追加し，キャッシュライン単位よりも細粒度に競合を検出できるようにすることで，誤検出を抑制する手法を提案し，評価を行った結果，平均 17.7%，最大 36.5% の性能向上を達成した（文献 [2]）．

また，一般にトランザクションには，ある共有変数に対する read・write アクセスが完了した後にも，コミットまで長時間処理が継続するものがある．このような場合，当該トランザクションにおいてその変数に再度アクセスしないにも関わらず，当該変数に対する他スレッドによるアクセスは競合として検出され，並列性が損なわれてしまう．そこで，トランザクション内でアクセス済みの共有変数に対し，トランザクションをコミットする前であっても他のスレッドによる read および write アクセスを投機的に許可するスケジューリング手法を提案し，それに伴うコヒーレンシ制御を考案した． 提案手法をシミュレーションにより評価した結果，平均 63.6%，最大 38.8%の性能向上を確認した（文献 [3]）．

つづいて，TM の適切な利用方法および TM を効果的に使用可能なプログラムに関する知見を得るため，TM を使用して性能が向上するプログラムと向上しにくいプログラムについて調査した．その結果，グラフ処理に分類される一部のプログラムでは，TM の利用により速度が向上しづらく，場合によっては低下することを確認した．そこで，次に，グラフ処理に TM を適用した場合に速度が向上しにくい原因を考察した．そして，グラフ処理をどのように記述すれば TM の性能を引き出せるのかについて検討し，経路探索およびメッシュ生成のプログラムに対し改善を試みた．評価の結果，TM を使用せずに 1 スレッドで逐次実行した場合と比較して，経路探索のプログラムでは約 10 倍，メッシュ生成のプログラムでは約 1.36 倍の速度向上を達成した（文献 [4]）．

HTM でトランザクションを実行できなかった場合，STM にフォールバックして当該トランザクションを再実行するハイブリッドトランザクショナルメモリ（HyTM）が提案されている．HyTM の実装のなかでも，STM として NOrec を採用した HyNOrec はアクセス競合の検出に使用するメタデータが 1 つですむことから，HTM で実行するトランザクションに課すオーバヘッドが小さく，性能が優れている．しかし，STM にフォールバックした場合に性能が低下するという HyTM が抱える問題は依然として存在する．そこで, HyNOrec において HTM のためのハードウェア資源が NOrec にフォールバックした際には使用されないことに着目し，NOrec に HTM のための機構を活用して高速化する手法を提案した. STAMP ベンチマークを用いて評価を行ったところ，既存の NOrec と比較して最大 15.0 %，平均 4.1 %の実行時間削減を確認した（文献 [5]）．

[1] Tomoki TAJIMI, Anju HIROTA, Ryota SHIOYA, Masahiro GOSHIMA, Tomoaki TSUMURA: “Initial Study of a Phase-Aware Scheduling for Hardware Transactional Memory,” Proc. IEEE Pacific Rim Conf. on Communications, Computers and Signal Processing (PacRim 2017), 6 pages. (2017)
[2] Yuki FUTAMASE, Masaki HAYASHI, Tomoki TAJIMI, Ryota SHIOYA, Masahiro GOSHIMA, Tomoaki TSUMURA: “An Analysis and a Solution of False Conflicts for Hardware Transactional Memory,” Proc. 25th IEEE Int'l Conf. on Electronics Circuits and Systems (ICECS 2018), pp.529–532 (2018)
[3] Tomoki TAJIMI, Masaki HAYASHI, Yuki FUTAMASE, Ryota SHIOYA, Masahiro GOSHIMA, Tomoaki TSUMURA: “Isolation-Safe Speculative Access Control for Hardware Transactional Memory,” Proc. 25th IEEE Int'l Conf. on Electronics Circuits and Systems (ICECS 2018), pp.517–520 (2018)

[4] **山下 淳, 浅井 優太, 小林 龍之介, 二間瀬 悠希, 塩谷 亮太, 五島 正裕, 津邑 公暁: 「トランザクショナルメモリに適したグラフ処理プログラミングの検討」**The 4th cross-disciplinary Workshop on Computing Systems, Infrastructures, and Programming (xSIG 2020) (2020)
[5] **浅井 優太, 山下 淳, 小林 龍之介, 二間瀬 悠希, 塩谷 亮太, 五島 正裕, 津邑 公暁: 「ハイブリッドトランザクショナルメモリ高速化のためのハードウェア機構活用手法」**The 4th cross-disciplinary Workshop on Computing Systems, Infrastructures, and Programming (xSIG 2020) (2020)

５．主な発表論文等

〔雑誌論文〕　計12件（うち査読付論文　12件／うち国際共著　0件／うちオープンアクセス　2件）

１．著者名 Yuta INOUCHI, Hayato YAMAKI, Shinobu MIWA, Tomoaki TSUMURA	４．巻 -
２．論文標題 Functionally-Predefined Kernel: a Way to Reduce CNN Computation	５．発行年 2019年
３．雑誌名 Proc. IEEE Pacific Rim Conf. on Communications, Computers and Signal Processing (PacRim 2019)	６．最初と最後の頁 -
掲載論文のDOI（デジタルオブジェクト識別子） 10.1109/PACRIM47961.2019.8985122	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 －

１．著者名 飯田 凌大，塩谷 亮太，五島 正裕，津邑 公暁	４．巻 -
２．論文標題 一貫性検証手法の動的切り替えによるソフトウェアトランザクショナルメモリの高速化	５．発行年 2019年
３．雑誌名 The 3rd cross-disciplinary Workshop on Computing Systems, Infrastructures, and Programming (xSIG 2019)	６．最初と最後の頁 -
掲載論文のDOI（デジタルオブジェクト識別子） なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 －

１．著者名 川口 優樹，津邑 公暁	４．巻 -
２．論文標題 静的解析に基づくGPUスケジューリングポリシーの選択手法	５．発行年 2019年
３．雑誌名 The 3rd cross-disciplinary Workshop on Computing Systems, Infrastructures, and Programming (xSIG 2019)	６．最初と最後の頁 -
掲載論文のDOI（デジタルオブジェクト識別子） なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 －

１．著者名 小林 龍之介，二間瀬 悠希，多治見 知紀，塩谷 亮太，五島 正裕，津邑 公暁	４．巻 -
２．論文標題 トランザクショナルメモリにおけるメモリアクセスパターンを考慮したポリシー動的切り替え手法	５．発行年 2019年
３．雑誌名 The 3rd cross-disciplinary Workshop on Computing Systems, Infrastructures, and Programming (xSIG 2019)	６．最初と最後の頁 -
掲載論文のDOI（デジタルオブジェクト識別子） なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 －

1．著者名 Shinji KAWAMURA, Tomoaki TSUMURA	4．巻 E101-D
2．論文標題 Hardware Accelerated Marking for Mark & Sweep Garbage Collection	5．発行年 2018年
3．雑誌名 IEICE Trans. on Information and Systems	6．最初と最後の頁 1107-1115
掲載論文のDOI（デジタルオブジェクト識別子） 10.1587/transinf.2017EDP7163	査読の有無 有
オープンアクセス オープンアクセスとしている（また、その予定である）	国際共著 ―

1．著者名 Tomoki TAJIMI, Masaki HAYASHI, Yuki FUTAMASE, Ryota SHIOYA, Masahiro GOSHIMA, Tomoaki TSUMURA	4．巻 -
2．論文標題 Isolation-Safe Speculative Access Control for Hardware Transactional Memory	5．発行年 2018年
3．雑誌名 Proc. 25th IEEE Int'l Conf. on Electronics Circuits and Systems (ICECS 2018)	6．最初と最後の頁 517-520
掲載論文のDOI（デジタルオブジェクト識別子） 10.1109/ICECS.2018.8618020	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 ―

1．著者名 Yuki FUTAMASE, Masaki HAYASHI, Tomoki TAJIMI, Ryota SHIOYA, Masahiro GOSHIMA, Tomoaki TSUMURA	4．巻 -
2．論文標題 An Analysis and a Solution of False Conflicts for Hardware Transactional Memory	5．発行年 2018年
3．雑誌名 Proc. 25th IEEE Int'l Conf. on Electronics Circuits and Systems (ICECS 2018)	6．最初と最後の頁 529-532
掲載論文のDOI（デジタルオブジェクト識別子） 10.1109/ICECS.2018.8617977	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 ―

1．著者名 Norishige FUKUSHIMA, Yoshihiro MAEDA, Yuki KAWASAKI, Masahiro NAKAMURA, Tomoaki TSUMURA, Kenjiro SUGIMOTO, Sei-ichiro KAMATA	4．巻 -
2．論文標題 Efficient Computational Scheduling of Box and Gaussian FIR Filtering for CPU Microarchitecture	5．発行年 2018年
3．雑誌名 Proc. Asia-Pacific Signal and Information Processing Association Annual Summit and Conference (APSIPA ASC 2018)	6．最初と最後の頁 875-879
掲載論文のDOI（デジタルオブジェクト識別子） 10.23919/APSIPA.2018.8659674	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 ―

1．著者名 Shinji KAWAMURA, Tomoaki TSUMURA	4．巻 E101-D
2．論文標題 Hardware Accelerated Marking for Mark & Sweep Garbage Collection	5．発行年 2018年
3．雑誌名 IEICE Trans. on Information and Systems	6．最初と最後の頁 1107-1115
掲載論文のDOI（デジタルオブジェクト識別子） 10.1587/transinf.2017EDP7163	査読の有無 有
オープンアクセス オープンアクセスとしている（また、その予定である）	国際共著 －

1．著者名 Tomoki TAJIMI, Anju HIROTA, Ryota SHIOYA, Masahiro GOSHIMA, Tomoaki TSUMURA	4．巻 1
2．論文標題 Initial Study of a Phase-Aware Scheduling for Hardware Transactional Memory	5．発行年 2017年
3．雑誌名 Proc. IEEE Pacific Rim Conf. on Communications, Computers and Signal Processing	6．最初と最後の頁 1-6
掲載論文のDOI（デジタルオブジェクト識別子） 10.1109/PACRIM.2017.8121912	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 －

1．著者名 浅井 優太，山下 淳，小林 龍之介，二間瀬 悠希，塩谷 亮太，五島 正裕，津邑 公暁	4．巻 -
2．論文標題 ハイブリッドトランザクショナルメモリ高速化のためのハードウェア機構活用手法	5．発行年 2020年
3．雑誌名 The 4th cross-disciplinary Workshop on Computing Systems, Infrastructures, and Programming (xSIG 2020)	6．最初と最後の頁 -
掲載論文のDOI（デジタルオブジェクト識別子） なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 －

1．著者名 山下 淳，浅井 優太，小林 龍之介，二間瀬 悠希，塩谷 亮太，五島 正裕，津邑 公暁	4．巻 -
2．論文標題 トランザクショナルメモリに適したグラフ処理プログラミングの検討	5．発行年 2020年
3．雑誌名 The 4th cross-disciplinary Workshop on Computing Systems, Infrastructures, and Programming (xSIG 2020)	6．最初と最後の頁 -
掲載論文のDOI（デジタルオブジェクト識別子） なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 －

〔学会発表〕　計27件（うち招待講演　1件／うち国際学会　5件）

1．発表者名 山下 淳，浅井 優太，小林 龍之介，二間瀬 悠希，塩谷 亮太，五島 正裕，津邑 公暁
2．発表標題 グラフ処理を題材とした最適なトランザクショナルメモリプログラミングの検討
3．学会等名 組込み技術とネットワークに関するワークショップ ETNET2020
4．発表年 2020年

1．発表者名 浅井 優太，山下 淳，小林 龍之介，二間瀬 悠希，塩谷 亮太，五島 正裕，津邑 公暁
2．発表標題 ハードウェア機構の活用によるハイブリッドトランザクショナルメモリ高速化の検討
3．学会等名 組込み技術とネットワークに関するワークショップ ETNET2020
4．発表年 2020年

1．発表者名 高岡 昌弘，津邑 公暁
2．発表標題 記述性と性能を両立する動画像処理環境の検討と実装
3．学会等名 デザインガイア2019
4．発表年 2019年

1．発表者名 武石 隆太郎，津邑 公暁，中島 康彦
2．発表標題 計算再利用によるプロセッサ省電力化の検討
3．学会等名 2019年並列／分散／協調処理に関する『北見』サマー・ワークショップ（SWoPP2019）
4．発表年 2019年

１．発表者名 川口 優樹，津邑 公暁
２．発表標題 メモリアクセスパターンに基づくGPUスケジューリングポリシーの選択手法
３．学会等名 HotSPA2019 (Hot SPring Annual meeting 2019)
４．発表年 2019年

１．発表者名 小林 龍之介，二間瀬 悠希，塩谷 亮太，五島 正裕，津邑 公暁
２．発表標題 メモリアクセス解析に基づくトランザクショナルメモリのポリシー動的切り替え手法
３．学会等名 HotSPA2019 (Hot SPring Annual meeting 2019)
４．発表年 2019年

１．発表者名 津邑 公暁
２．発表標題 Computation Reuse と Approximate Computing
３．学会等名 電子情報通信学会 ソサイティ大会（招待講演）
４．発表年 2018年

１．発表者名 Tomoki TAJIMI, Masaki HAYASHI, Yuki FUTAMASE, Ryota SHIOYA, Masahiro GOSHIMA, Tomoaki TSUMURA
２．発表標題 Isolation-Safe Speculative Access Control for Hardware Transactional Memory
３．学会等名 25th IEEE Int'l Conf. on Electronics Circuits and Systems (ICECS 2018)（国際学会）
４．発表年 2018年

１．発表者名
Yuki FUTAMASE, Masaki HAYASHI, Tomoki TAJIMI, Ryota SHIOYA, Masahiro GOSHIMA, Tomoaki TSUMURA

２．発表標題
An Analysis and a Solution of False Conflicts for Hardware Transactional Memory

３．学会等名
25th IEEE Int'l Conf. on Electronics Circuits and Systems (ICECS 2018)（国際学会）

４．発表年
2018年

１．発表者名
Norishige FUKUSHIMA, Yoshihiro MAEDA, Yuki KAWASAKI, Masahiro NAKAMURA, Tomoaki TSUMURA, Kenjiro SUGIMOTO, Sei-ichiro KAMATA

２．発表標題
Efficient Computational Scheduling of Box and Gaussian FIR Filtering for CPU Microarchitecture

３．学会等名
Asia-Pacific Signal and Information Processing Association Annual Summit and Conference (APSIPA ASC 2018)（国際学会）

４．発表年
2018年

１．発表者名
Tomoki Tajimi, Yuki Futamase, Masaki Hayashi, Ryota Shioya, Masahiro Goshima, Tomoaki Tsumura

２．発表標題
Speculatively Granting Conflicting Accesses on Hardware Transactional Memory

３．学会等名
ACM Student Research Competition (SRC), held in conjunction with MICRO-51（国際学会）

４．発表年
2018年

１．発表者名
林 昌樹，二間瀬 悠希，多治見 知紀，塩谷 亮太，五島 正裕，津邑 公暁

２．発表標題
トランザクショナルメモリとロックを併用する並行性制御手法

３．学会等名
The 2nd cross-disciplinary Workshop on Computing Systems, Infrastructures, and Programming (xSIG 2018)

４．発表年
2018年

１．発表者名 横手 有則，三輪 忍，井内 悠太，津邑 公暁，八巻 隼人，本多 弘樹
２．発表標題 学習済み重みを利用した畳み込みニューラルネットワークの学習法の初期検討
３．学会等名 電子情報通信学会 総合大会
４．発表年 2018年

１．発表者名 飯田 凌大，津邑 公暁
２．発表標題 軽量な一貫性検証によるソフトウェアトランザクショナルメモリの並列性向上に関する検討
３．学会等名 2018年並列／分散／協調処理に関する『熊本』サマー・ワークショップ (SWoPP2018)
４．発表年 2018年

１．発表者名 井内 悠太，津邑 公暁
２．発表標題 カーネルテンプレート化と計算再利用によるCNNの計算量削減に関する検討
３．学会等名 2018年並列／分散／協調処理に関する『熊本』サマー・ワークショップ (SWoPP2018)
４．発表年 2018年

１．発表者名 多治見 知紀，林 昌樹，二間瀬 悠希，塩谷 亮太，五島 正裕，津邑 公暁
２．発表標題 競合アクセスを投機的に許可するトランザクショナルメモリの検討
３．学会等名 HotSPA2018 (Hot SPring Annual meeting 2018)
４．発表年 2018年

１．発表者名 二間瀬 悠希，林 昌樹，多治見 知紀，塩谷 亮太，五島 正裕，津邑 公暁
２．発表標題 トランザクショナルメモリにおける競合誤検出の影響調査とその改善手法
３．学会等名 HotSPA2018 (Hot SPring Annual meeting 2018)
４．発表年 2018年

１．発表者名 林 昌樹，二間瀬 悠希，多治見 知紀，塩谷 亮太，五島 正裕，津邑 公暁
２．発表標題 トランザクショナルメモリとロックを併用する並行性制御手法
３．学会等名 The 2nd cross-disciplinary Workshop on Computing Systems, Infrastructures, and Programming (xSIG 2018)
４．発表年 2018年

１．発表者名 Tomoki TAJIMI, Anju HIROTA, Ryota SHIOYA, Masahiro GOSHIMA, Tomoaki TSUMURA
２．発表標題 Initial Study of a Phase-Aware Scheduling for Hardware Transactional Memory
３．学会等名 IEEE Pacific Rim Conf. on Communications, Computers and Signal Processing (PacRim 2017)（国際学会）
４．発表年 2017年

１．発表者名 進藤 智司，松井 優樹，八巻 隼人，津邑 公暁，三輪 忍
２．発表標題 カーネルの類似性に基づく近似計算を行うCNNアクセラレータの検討
３．学会等名 第222回システム・アーキテクチャ・第183回システムとLSIの設計技術・第47回組込みシステム合同研究発表会（ETNET2018）
４．発表年 2017年

１．発表者名
古橋 一輝，津邑 公暁

２．発表標題
高抽象度言語とオートチューニング機能を持つ動画像処理環境

３．学会等名
第222回システム・アーキテクチャ・第183回システムとLSIの設計技術・第47回組込みシステム合同研究発表会（ETNET2018）

４．発表年
2017年

１．発表者名
林 昌樹，二間瀬 悠希，多治見 知紀，塩谷 亮太，五島 正裕，津邑 公暁

２．発表標題
最適な並行性制御を適用するコード生成手法の検討

３．学会等名
第222回システム・アーキテクチャ・第183回システムとLSIの設計技術・第47回組込みシステム合同研究発表会（ETNET2018）

４．発表年
2017年

１．発表者名
松井 優樹，三輪 忍，進藤 智司，津邑 公暁，八巻 隼人，本多 弘樹

２．発表標題
CNN計算の省メモリ化のためのカーネル・クラスタリング手法の検討

３．学会等名
第222回システム・アーキテクチャ・第183回システムとLSIの設計技術・第47回組込みシステム合同研究発表会（ETNET2018）

４．発表年
2017年

１．発表者名
進藤 智司，松井 優樹，八巻 隼人，津邑 公暁，三輪 忍

２．発表標題
高電力効率なCNNアクセラレータ実現に向けたカーネルクラスタリングの応用の検討

３．学会等名
2017年並列／分散／協調処理に関する『秋田』サマー・ワークショップ（SWoPP2017）

４．発表年
2017年

１．発表者名 多治見 知紀，廣田 杏珠，塩谷 亮太，五島 正裕，津邑 公暁
２．発表標題 実行フェーズを考慮したトランザクショナルメモリのスケジューリング手法
３．学会等名 2017年並列／分散／協調処理に関する『秋田』サマー・ワークショップ（SWoPP2017）
４．発表年 2017年

１．発表者名 早川 慎一郎，河村 慎二，津邑 公暁
２．発表標題 ハードウェア支援型GCの消費エネルギー評価
３．学会等名 2017年並列／分散／協調処理に関する『秋田』サマー・ワークショップ（SWoPP2017）
４．発表年 2017年

１．発表者名 松山 且樹，藤井 政圭，津邑 公暁，中島 康彦
２．発表標題 自動メモ化プロセッサにおける復帰アドレス別の再利用率調査とその応用
３．学会等名 2017年並列／分散／協調処理に関する『秋田』サマー・ワークショップ（SWoPP2017）
４．発表年 2017年

〔図書〕　計0件

〔産業財産権〕

〔その他〕

－

６．研究組織

	氏名 （ローマ字氏名） （研究者番号）	所属研究機関・部局・職 （機関番号）	備考
研究分担者	五島　正裕 (GOSHIMA Masahiro) (90283639)	国立情報学研究所・アーキテクチャ科学研究系・教授 (62615)	

6．研究組織（つづき）

	氏名 （ローマ字氏名） （研究者番号）	所属研究機関・部局・職 （機関番号）	備考
研究分担者	塩谷　亮太 (SHIOYA Ryota) (10619191)	東京大学・大学院情報理工学系研究科・准教授 (12601)	

7．科研費を使用して開催した国際研究集会

〔国際研究集会〕　計0件

8．本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関