

令和 2 年 6 月 12 日現在

機関番号：12605

研究種目：基盤研究(B) (一般)

研究期間：2017～2019

課題番号：17H03245

研究課題名(和文)スパッタ法による高Ge組成の完全圧縮歪SiGeを用いた高性能Si/SiGeRTD

研究課題名(英文)High-performance Si/SiGe RTD with fully compressively strained SiGe of high Ge composition ratio formed by sputtering method

研究代表者

須田 良幸 (Suda, Yoshiyuki)

東京農工大学・工学(系)研究科(研究院)・名誉教授

研究者番号：10226582

交付決定額(研究期間全体)：(直接経費) 13,800,000円

研究成果の概要(和文)：化学気相堆積(CVD)法に比較して高いGe組成比の完全圧縮歪SiGe膜をSi上に形成できるスパッターエピタキシー(SPE)法の開発を進め、高い平坦性の成長膜を得た。Si/SiGe正孔トンネル型共鳴トンネルダイオード(RTD)について、シミュレーションにより構造設計を行い、また、本SPE法を用いた完全圧縮歪SiGe成膜技術と、高融点電極および2酸化珪素絶縁膜の形成技術を用いた製造プロセスを開発した。Ge組成比0.18を用いて作製した2重および3重障壁RTDで、SiGe系RTDでは世界最大のピーク電流密度を達成した。また、高Ge組成比0.24を用いても、理論値に近い高いピーク電流密度を達成した。

研究成果の学術的意義や社会的意義

高Ge組成比でSiに格子整合した圧縮歪SiGe/Siヘテロ構造を用いて、高性能な共鳴トンネルダイオード(RTD)を実現した。SiGe/Siヘテロ構造は、RTDを含めて、高移動度トランジスタ、ヘテロバイポーラトランジスタ(HBT)など様々な高速デバイスに用いられている。例えば、Ge組成比の増大に伴って性能の向上するHBTに適應するなど、様々な高速デバイスの革新的な新しい展開に繋がる。このような特徴は現行の半導体成膜の量産技術である化学気相堆積(CVD)法には無い特徴であり、今後の高速デバイスの開発を展開する新しい半導体成膜技術として期待され、産業・民生電子機器の新しい展開と産業への寄与は大きい。

研究成果の概要(英文)：We have been developing a sputter epitaxy (SPE) method capable of forming a completely compressive-strained SiGe film with a higher Ge composition ratio on Si than in the chemical vapor deposition (CVD) method, and obtained a highly flat growth film. The structures of the Si/SiGe hole-tunneling resonant tunneling diodes (RTDs) were designed on the basis of the results obtained by simulation, and we have developed manufacturing processes using the completely compressive-strained SiGe film formation technology with this SPE method and the high-melting-point electrode and silicon-dioxide insulating film formation technologies. The double- and triple-barrier RTDs fabricated with a Ge composition ratio of 0.18 achieved the world's largest peak current density for SiGe RTDs. Even with a higher Ge composition ratio of 0.24, an excellent peak current density close to the theoretical value was also achieved.

研究分野：電子デバイス

キーワード：電子デバイス・機器 量子エレクトロニクス 共鳴トンネルダイオード

# 様式 C-19、F-19-1、Z-19 (共通)

## 1. 研究開始当初の背景

今日の 6 GHz 以下の周波数帯が混雑している「周波数のひっ迫」を背景に、今後、ネットワーク基盤技術、家庭・オフィス内無線ネットワーク技術、イメージング技術、宇宙通信技術などの革新的な通信分野へ、60 GHz 帯以上のミリ波帯応用の利用拡大が期待されている。高周波デバイスとしては、ヘテロバイポーラトランジスタ、CMOS、高電子移動度トランジスタ、共鳴トンネルダイオード (resonant tunneling diode, RTD) などの開発が進められ、特に、RTD は最も高い高周波動作が期待されている。格子定数の異なる Si と  $\text{Si}_{1-x}\text{Ge}_x$  のヘテロ構造は、地球資源の豊富な Si を主体材料としているという点で環境に優しく、また、最も高集積化技術が進んでいる Si 大規模集積回路の製造プロセスとの親和性が高いため、様々な高性能集積回路モジュールの実現への利用が期待される。Si/SiGe 正孔トンネル型 RTD (p-RTD) は、Si 基板に格子整合した圧縮歪  $\text{Si}_{1-x}\text{Ge}_x$ /Si Type I ヘテロ構造を用いるため、Si/SiGe 電子トンネル型 RTD (n-RTD) の製造に必要な転位欠陥の導入が不要で、特性に高い再現性が期待できる。我々は化学気相堆積 (chemical vapor deposition, CVD) 法と同じ成膜機構のガスソース分子線エピタキシー (gas-source molecular beam epitaxy, GSMBE) 法を用いて、SiGe 系 p-RTD では世界最大の共鳴トンネル電流密度  $35\text{kA}/\text{cm}^2$  を得ているが、この共鳴トンネル電流密度はまだ十分ではない。我々は、これまで、半導体膜のエピタキシーに用いられていないスパッタによるエピタキシー (スパッタエピタキシー, SPE) 技術を開発し、2016 年に、Si 上に格子整合した高 Ge 組成比 ( $0.19 \leq x \leq 0.42$ ) で完全圧縮歪の  $\text{Si}_{1-x}\text{Ge}_x$  層の形成に成功した。

## 2. 研究の目的

本研究は、このスパッタエピタキシー (SPE) 法の特徴を用いて形成した、これまで実現されていなかった高 Ge 組成比で Si に格子整合した Si/SiGe ヘテロ構造を用いて、正孔トンネル型で高電流密度の高性能の共鳴トンネルダイオード (RTD) を実現し、次世代の Si 系高周波ミリ波デバイスとしての形成基盤技術を構築する。具体的には、量子井戸の各積層構造と Ge 組成比と RTD 特性との相関に関する研究、エミッタ (E)・コレクタ (C) 層のオーミック電極形成技術の開発と、RTD 特性との相関に関する研究、および、シミュレーションによる構造と RTD 特性との相関に関する相補的研究、を相互に関連して一重量子井戸の p-RTD の形成技術を最適化し、Ge 組成比を上げることで初めて可能となる一重量子井戸による Si 系 p-RTD の特性の向上とスパッタエピタキシー法の有効性を実証し、Si 系 RTD の基盤形成技術の確立を図る。

## 3. 研究の方法

基本的な p-RTD の構造を図 1 に示す。左図が、井戸 1 (well #1, W1), 井戸 2 (well #2, W2) の 2 つの井戸から成る Si/SiGe 3 重障壁 (triple barrier) p-RTD (TB p-RTD) で、右図が、Si/SiGe 2 重障壁 (double barrier) p-RTD (DB p-RTD) の構造を表す。TB p-RTD の井戸幅は、下記の GSMBE 法を用いた研究成果から決定している。p-Si 基板には、001 面基板を用い、超高真空中で、成膜前に  $630^\circ\text{C}$  で予備加熱を行っている。SiGe 膜は、マグネトロンスパッタ法で、 $580^\circ\text{C}$  で成膜した。エミッタ (E), コレクタ (C) 用低抵抗層として、p-Si 層を成膜した。絶縁膜として、当初は絶縁レジストを用い、その後、高耐熱用に  $\text{SiO}_2$  膜の形成法を開発して用いた。オーミック接触用には、当初は Al-Si 合金を用い、その後、接触抵抗の低減のために種々の金属を評価した。シミュレーションでは、変形ポテンシャル法 (C. G. Van de Walle and R. M. Martin, Phys. Rev. B 34, 5621 (1986)) に基づいて、バンドオフセットを計算し、Ge 組成比  $x$  と障壁高さ (バンドオフセット) との相関を導出した。また、このバンドオフセットを用いて、既に構築したシミュレーションプログラムにより p-RTD の特性のシミュレーションを行い、エミッタ B (ホウ素) 不純物濃度、Ge 組成比、障壁厚み、井戸厚みを変化して、RTD 特性との相関を評価した。

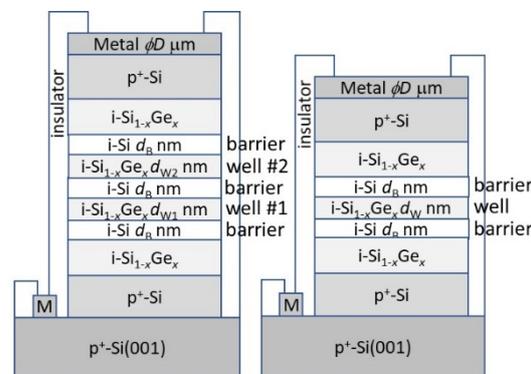


図1. 基本的な正孔トンネル型 Si/SiGe RTD (p-RTD) の構造。左側: 3重障壁 p-RTD, 右側: 2重障壁 p-RTD。

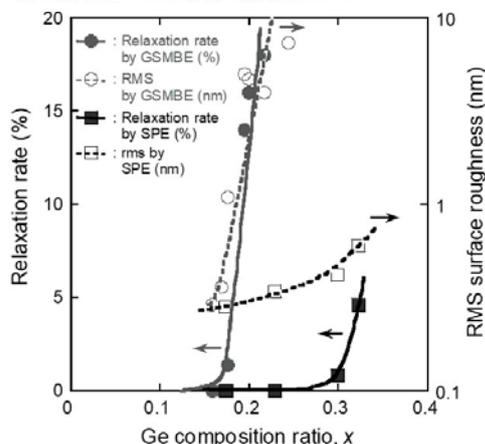


図2.  $\text{Si}_{1-x}\text{Ge}_x$  膜をスパッタエピタキシー (SPE) およびガスソース分子線エピタキシー (GSMBE) 法で成膜したときの緩和率と表面ラフネスの比較。

## 4. 研究成果

(1) SPE 法を用いた Si 上の  $\text{Si}_{1-x}\text{Ge}_x$  形成膜の緩和率と表面ラフネス特性の向上

SPE 法および GSMBE 法で  $\text{Si}_{1-x}\text{Ge}_x$  膜を合計 48 nm 成膜したときの緩和率と RMS (root mean square) 表面ラフネスの結果を比較して図 2 に示す。完全歪で成膜される Ge 組成比の最大が SPE 法で成膜したの方が高く ( $\sim 0.28$ ), RMS も十分低い値  $\sim 0.4$  nm であった。一方, GSMBE 法で完全歪で成膜される Ge 組成比は,  $< \sim 0.18$  であった。SPE 法を用いて, 低い RMS を維持したまま, より高い Ge 組成比で完全歪膜の成膜ができることが分かった。

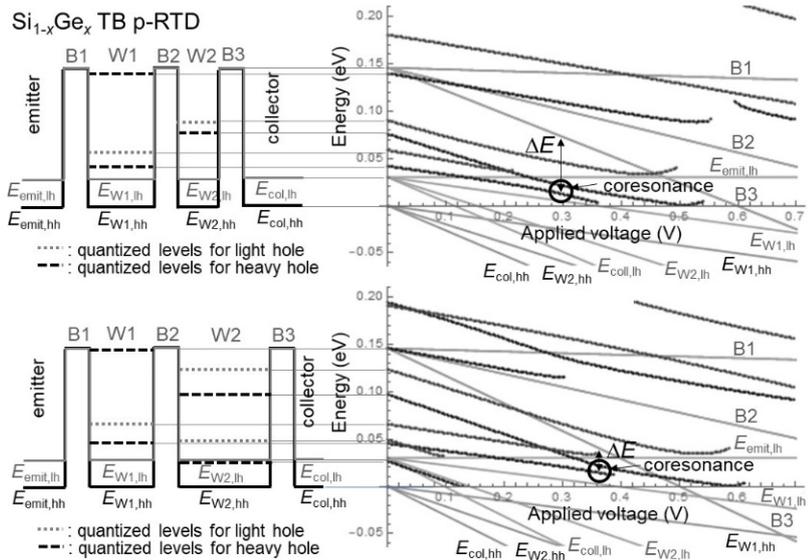


図3.  $\text{Si}_{1-x}\text{Ge}_x$  TB p-RTD の井戸 W1, W2 の幅 ( $d_{W1}$ ,  $d_{W2}$ ) を変えたときの量子準位, 障壁高さ, および, 価電子帯上端の印加電圧依存. 上図は  $d_{W1}:d_{W2}=4.1$  nm : 2.5 nm のときの, 下図は  $d_{W1}:d_{W2}=3.9$  nm : 5.6 nm のときの変化.

### (2) GSMBE 法を用いた $\text{Si}/\text{Si}_{0.82}\text{Ge}_{0.18}$ TB p-RTD の量子井戸構造の設計

GSMBE 法を用いて, TB p-RTD の 2 つの井戸幅 ( $d_{W1}$  と  $d_{W2}$ ) を評価し, 量子準位, 障壁の高さ, 価電子帯上端の印加電圧依存特性と  $J$ - $V$  特性との相関を調べた. Ge の組成比は (1) の成果から, 緩和率の十分に小さい 0.18 とした. また, 素子の有効 (メサ) 直径は  $15 \mu\text{m}$  で, 基板抵抗は  $15 \text{m}\Omega \text{cm}$  とした.  $d_{W1}:d_{W2} = 4.1:2.5 \text{nm}$ , および,  $d_{W1}:d_{W2} = 3.9:5.6 \text{nm}$  のときの結果を図 3, 図 4 に示す. 共鳴時 (coresonance) の共鳴準位と対向する障壁の高さ ( $\Delta E$ ) との差が大きいほど, 山対谷電流比 (谷の電流密度に対する山の電流密度の比, peak-to-valley current density ratio, PVCR) が大きく, 熱放射電流に対応する谷の電流比が小さいことが分かった. これより,  $\text{Si}/\text{Si}_{0.82}\text{Ge}_{0.18}$  TB p-RTD の量子井戸構造として,  $d_{W1}:d_{W2} = 4.1:2.5 \text{nm}$  を採用して形成し, 評価した.

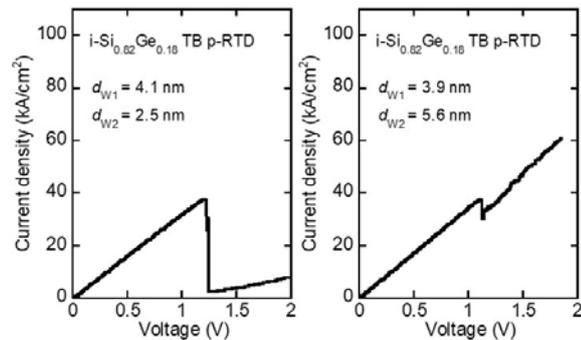


図4.  $\text{Si}_{1-x}\text{Ge}_x$  TB p-RTD の井戸 W1, W2 の幅 ( $d_{W1}$ ,  $d_{W2}$ ) を変えたときの  $J$ - $V$  特性.

### (3) $\text{Si}/\text{Si}_{0.82}\text{Ge}_{0.18}$ TB p-RTD を SPE 法で形成したときの優れた結晶性の利用とピーク電流密度の向上

$\text{Si}_{1-x}\text{Ge}_x$  膜の Ge 組成比を GSMBE 法で緩和率の十分に低い 0.18 とし, また, p-RTD 素子の有効 (メサ) 直径を  $15 \mu\text{m}$ , 基板抵抗を  $2.5 \text{m}\Omega \text{cm}$  とし, SPE 法と GSMBE 法で作製したときの共鳴時のピーク電流密度 ( $J_p$ ) と共鳴電圧 ( $V_R$ ) を比較した (図 5). このとき, E/C の  $p^+$ -Si 層の不純物濃度は, GSMBE 法では  $7.7 \times 10^{18} \text{cm}^{-3}$ , SPE 法では  $1.0 \times 10^{19} \text{cm}^{-3}$  とした. ピーク電流密度は GSMBE 法で  $92 \text{kA/cm}^2$ , SPE 法で  $204 \text{kA/cm}^2$  であった. SPE 法で形成した方が不純物濃度比を超える 2 倍近いピーク電流密度が得られることが判った. これは図 2 に示す成果より, RMS 値が,  $x = 0.18$  のとき, GSMBE 法では  $\sim 0.8 \text{nm}$  であるが, SPE 法では,  $\sim 0.3 \text{nm}$  であり, 界面の平坦性に依存した結晶性が高いためと予測され, この視点で GSMBE 法を用いて, 結晶品質の高い成膜が可能となることが判った.

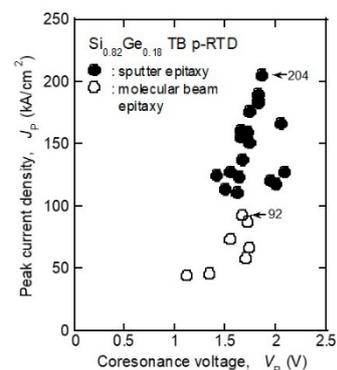


図5. スパッタエピタキシーおよびガスソース分子線エピタキシー法で  $\text{Si}_{0.82}\text{Ge}_{0.18}$  TB p-RTD を形成したときのピーク電流密度と共鳴電圧の比較.

### (4) $\text{Si}/\text{Si}_{1-x}\text{Ge}_x$ p-RTD のエミッタ/コレクタ (E/C) 層の最大不純物濃度の評価と, 高耐熱用のオーミック電極の形成法および素子分離用絶縁膜の形成法の開発, および, p-RTD 製造への適用

はじめに, 高電流密度を得るためのエミッタ層/コレクタ層の不純物濃度の最大値を調べた. その結果, 不純物濃度を上げると表面平坦性が悪化することが判った. また, 具体的には,  $\geq 1 \times 10^{19} \text{cm}^{-3}$  においても積層面の平坦性が高く (図 5), 最大の不純物濃度に対する知見を得た. また, RTD は電流密度が高く, 耐熱性材料が好ましいため, 高融点オーミック材料と高耐熱性素子分離膜の形成法, および,

これらを用いた RTD 製造プロセスを開発した. その結果, E/C 接触金属として, Al>Ti>Ni>Pt>W 順で接触抵抗が低いことが分かり, オーミック電極として高耐熱性の W を用いることが有効であることが判った. さらに, 図 1 に示す素子分離用の絶縁膜として, 当初絶縁レジストを用いていたが, 高耐熱性の SiO<sub>2</sub> の形成法とこれを用いた素子形成プロセスを探索した. このため, TEOS を用いた SiO<sub>2</sub> の形成プロセスを開発した. この結果, 高い耐熱性の W 電極, および, SiO<sub>2</sub> 素子分離膜を用いることが可能となり, それらを用いた p-RTD の作成プロセスを開発した.

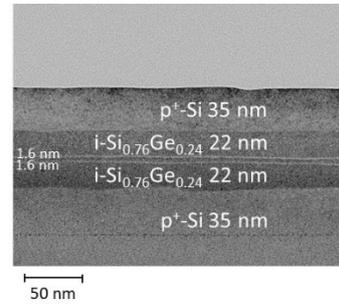


図 6. 高濃度 p<sup>+</sup>-Si 層上の DB p-RTD

(5) シミュレーションによる DB p-RTD の共鳴時のピーク電流密度のエミッタ B 不純物濃度, Ge 組成比, 量子井戸幅, 障壁幅, 依存特性

2 重障壁(DB) p-RTD について, 共鳴電圧印加時のピーク電流密度  $J_p$  のエミッタ層の B 濃度, 量子井戸幅, 障壁幅依存特性をシミュレーションで調べた. 結果を図 7 に示す.  $J_p$  は障壁幅に大きく依存し, B 濃度にはほぼ比例することが判った. また, 高い高周波特性が期待される 300 kA/cm<sup>2</sup> のピーク電流値が期待されることが判った.

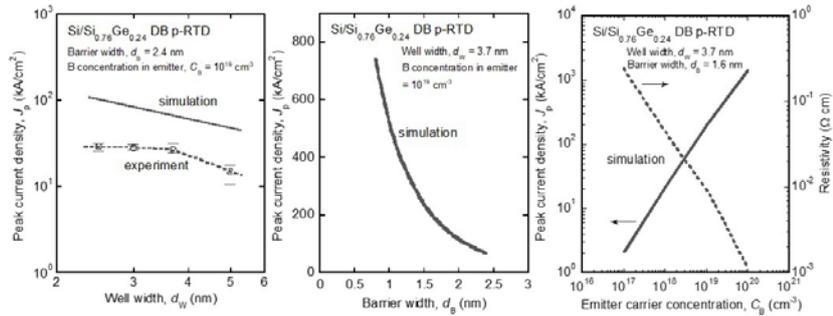


図 7. Si/Si<sub>0.76</sub>Ge<sub>0.24</sub> DB p-RTD の共鳴電圧印加時のピーク電流密度の量子井戸幅  $d_w$  (左図), 障壁層幅  $d_b$  (中図), エミッタ層の B 不純物濃度  $C_B$  (右図) 依存特性.

(6) 共鳴時のピーク電流密度の Ge 組成比依存と, 本研究成果で得た製造プロセスを用いて作製した p-RTD による世界最大電流密度 316 kA/cm<sup>2</sup> の達成

シミュレーションで求めた共鳴時のピーク電流密度の Ge 組成比依存特性を図 8 右図に示す. 本研究成果で得た製造プロセスを用いて作製した Ge 組成比 0.18 のときの DB p-RTD, および, TB p-RTD の室温で得た  $J-V$  特性を図 8 左・中図に示す. 図 8 右図には Ge 組成比 0.18, および高 Ge 組成比 0.24 の結果も比較して示す.

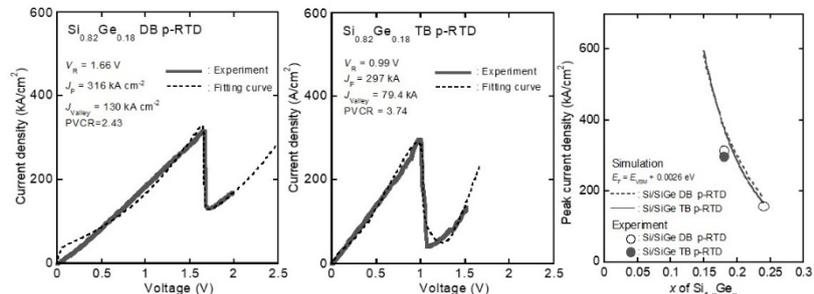


図 8. 本研究で開発したプロセスを用いて SPE 法で試作した Si/Si<sub>0.82</sub>Ge<sub>0.18</sub> DB p-RTD (左図) および TB p-RTD (中図) の代表的  $J-V$  特性. および, Si/Si<sub>0.76</sub>Ge<sub>0.24</sub> DB p-RTD を含めた試作結果とシミュレーションによる Ge 組成  $x$  依存特性 (右図) との比較.

シミュレーションにより, ピーク電流密度は, 3 重障壁より 2 重障壁の方が高組成比で若干高いことが判ったが, 余り大きな差異は生じなかった. この要因として, SiGe/Si の障壁高の低いことが挙げられる. ピーク電流密度に対する理論値と実験値の傾向は比較的近く, 高 Ge 組成比 0.24 を用いた DB-RTD においても, 高いピーク電流密度特性が得られた. さらに, DB p-RTD で 316 kA/cm<sup>2</sup> の, また, TB p-RTD の素子で 297 kA/cm<sup>2</sup> であった. これは, 他機関から報告のある Si/SiGe p-RTD の最大のピーク電流密度 46 kA/cm<sup>2</sup>, および, Si/SiGe n-RTD の最大のピーク電流密度 282 kA/cm<sup>2</sup> を超え, Si/SiGe 系 RTD で世界最大のピーク電流密度を達成した.

(7) 成果のまとめ

これまで提案してきた, Si 上に高い Ge 組成比の完全圧縮歪 SiGe 膜が形成できるスパッターエピタキシー法を用いて, 化学堆積 (CVD) (本研究方法の GSMBE と同一成膜機構) 法に比較して高い Ge 組成比においても, 高い表面平坦性を得た. Si/SiGe 正孔トンネル型共鳴トンネルダイオード (RTD) について, シミュレーションにより構造設計を行い, また, 本スパッターピタキシー法を用いた完全圧縮歪 SiGe 成膜技術と, 高融点金属電極および 2 酸化珪素絶縁膜の形成技術を用いた製造プロセスを開発した. Ge 組成比 0.18 を用いて作製した 2 重障壁および 3 重障壁 RTD で, SiGe 系 RTD では世界最大のピーク電流密度を達成した. また, 高 Ge 組成比 0.24 を用いても, 理論値に近い, 優れたピーク電流密度を達成した.

5. 主な発表論文等

〔雑誌論文〕 計1件（うち査読付論文 1件 / うち国際共著 0件 / うちオープンアクセス 0件）

〔学会発表〕 計13件（うち招待講演 1件 / うち国際学会 4件）

1. 発表者名 Takahiro Tsukamoto, Minoru Wakiya, Kazuaki Haneda, Nobumitsu Hirose, Akifumi Kasamatsu, Toshiaki Matsui, Yoshiyuki Suda
2. 発表標題 Lattice-matched GeSiSn/Ge double-barrier resonant tunneling diodes
3. 学会等名 E-MRS conf. Fall meeting 2019 (国際学会)
4. 発表年 2019年

1. 発表者名 野崎 翔太、青柳 耀介、広瀬 信光、笠松 章史、松井 敏明、須田 良幸
2. 発表標題 スパッタエピタキシー法を用いた完全圧縮歪SiGe薄膜形成技術
3. 学会等名 第66回応用物理学会春季学術講演会
4. 発表年 2019年

1. 発表者名 野崎 翔太、塚本 貴広、笠松 章史、松井 敏明、広瀬 信光、須田良幸
2. 発表標題 スパッタエピタキシー法を用いた高正孔移動度トランジスタ
3. 学会等名 第65回応用物理学会春季学術講演会
4. 発表年 2018年

1. 発表者名 青柳 耀介、本橋 勲、出蔵 恭平、大久保 克己、広瀬 信光、笠松 章史、松井 敏明、塚本 貴広、須田良幸
2. 発表標題 スパッタエピタキシー法を用いた完全圧縮歪SiGe薄膜形成技術
3. 学会等名 第65回応用物理学会春季学術講演会
4. 発表年 2018年

1. 発表者名 脇谷実、塚本貴広、須田良幸
2. 発表標題 スパッタエピタキシー法を用いたSi/SiGe 正孔トンネル型RTDの作製技術と特性制御
3. 学会等名 第65回応用物理学会春季学術講演会
4. 発表年 2018年

1. 発表者名 脇谷実、塚本貴広、須田良幸
2. 発表標題 スパッタエピタキシー法で作製した高電流密度のSi/SiGe 正孔トンネル型RTD
3. 学会等名 第65回応用物理学会春季学術講演会
4. 発表年 2018年

1. 発表者名 栗原祥太、脇谷実、塚本貴広、須田良幸
2. 発表標題 格子定数整合GeSiSn/Ge系p-RTDの試作
3. 学会等名 第65回応用物理学会春季学術講演会
4. 発表年 2018年

1. 発表者名 Takahiro Tsukamoto, Kazuaki Haneda, Hiroto Iwamori, Nobumitsu Hirose, Akifumi Kasamatsu, Toshiaki Matsui, Yoshiyuki Suda
2. 発表標題 Formation of Lattice-Matched GeSiSn/Ge Quantum Well Structure by Sputter Epitaxy
3. 学会等名 2017 Material Research Society Fall Meeting (国際学会)
4. 発表年 2017年

〔図書〕 計0件

〔出願〕 計1件

産業財産権の名称 半導体積層膜の製造方法、および半導体積層膜	発明者 須田 良幸、塚本 貴 広、笠松 章史、広瀬 信光、松井 敏明	権利者 同左
産業財産権の種類、番号 特許、特願2018 - 527637	出願年 2018年	国内・外国の別 外国

〔取得〕 計0件

〔その他〕

-

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
研究 分担者	塚本 貴広  (Tsukamoto Takahiro)  (50640942)	電気通信大学・大学院情報理工学研究科・助教   (12612)	
研究 分担者	広瀬 信光  (Hirose Nobumitsu)  (90212175)	国立研究開発法人情報通信研究機構・未来ICT研究所企画室・ エキスパート   (82636)	