

令和 2 年 6 月 26 日現在

機関番号：82118

研究種目：若手研究(A)

研究期間：2017～2019

課題番号：17H04840

研究課題名(和文)高抵抗シリコンプロセスと容量結合を用いた超高速X線撮像・分光装置の開発

研究課題名(英文)Development of super high-speed X-ray spectroscopic imager based on high-resistive silicon process and capacitive-coupled interconnection method

研究代表者

岸下 徹一(Kishishita, Tetsuichi)

大学共同利用機関法人高エネルギー加速器研究機構・素粒子原子核研究所・准教授

研究者番号：80789165

交付決定額(研究期間全体)：(直接経費) 7,500,000円

研究成果の概要(和文)：本研究では、高速なX線イメージャを開発するために、構成要素であるセンサー・エレクトロニクス一体型のピクセルチップやアナログ・デジタル変換回路を小さいピクセル面積に集積化したチップなどを複数回試作し、それらの評価試験を実施した。また試作チップの評価に関して、汎用的にデータ取得に使用できるエレクトロニクスがなかったため、本研究では新たにFPGAを搭載したDAQボードGoSHIKを開発し、効率的に評価試験が実施できる環境を整備した。異種チップ間の接合技術に関しては、既存の bumps 技術に替わる候補としてスクリーンオフセット印刷技術を用いた試験を実施し、克服すべき課題や技術に関する基本的知見が得られた。

研究成果の学術的意義や社会的意義

本研究で着目した高抵抗モノリシックセンサープロセスは、技術的に改良の余地があるものの、これまでは別々の半導体プロセスを使用して製作していたセンサーとエレクトロニクスのチップを、一体化できるため、コストを大幅に削減し、高機能なイメージングシステムを開発できると期待される。また、ASICやセンサーを設計・評価できる環境を整備できたことは、今後超高集積半導体テクノロジーを駆使した新しい検出器を自分たちの手で開発する上で重要であると考えられる。

研究成果の概要(英文)：A series of prototyping of the monolithic sensor-electronics chips and pixelated analog-to-digital conversion circuit was performed to construct a high-speed X-ray imaging system. In the evaluation testing, a new DAQ electronics, in which a commercial FPGA was on board, was newly developed for effective and general-purpose ASIC testing. The screen-offset print technology was also tested as an alternative approach of the bump bonding technology. This study established a basic design/verification environment to develop the key components of the high-speed X-ray imagers.

研究分野：素粒子実験

キーワード：X線イメージャ ASIC モノリシックピクセル 半導体検出器

様式 C-19、F-19-1、Z-19 (共通)

1. 研究開始当初の背景

本研究は、宇宙ガンマ線の観測用に開発された半導体コンプトンカメラに用いられているシリコンストリップ検出器の代替にモノリシックピクセル検出器を利用することで性能の格段的な向上が見込めるという着想に基づき、モノリシックピクセル単体としても高速X線イメージャとして動作させる場合に必要となる要素技術の研究を計画するに至った。半導体コンプトンカメラは、位置分解能に優れたシリコン検出器を多段にすることで、ガンマ線に対しては散乱要素として機能するとともに、軟X線に対しては単体で光電吸収による撮像・分光データが取得できる。従って原理的にはコンプトンカメラ単体でkeV~MeVという広帯域をカバーできる。一方、現状のSi/CdTeコンプトンカメラは、ストリップ検出器を構成要素として用いており、信号処理には全ストリップチャンネルからの波高値の取得とコモンモードノイズの差し引きを必要とするため、1イベントごとに生じるシステム全体のデッドタイムが数百マイクロ秒と大きい。そのためガンマ線バーストやX線連星などの非熱的かつ高輝度な変動天体からの信号を広エネルギー帯域にわたって時間精度良く観測することは容易ではない。このデッドタイムはストリップ検出器の代わりにアクティブなピクセル検出器を用いることで激減できる。カギとなるのがセンサーからの信号を処理するエレクトロニクスである。2次元状に読み出しチャンネルを配置したASICをピクセルセンサーとバンプ技術を用いて接合するハイブリッド型ピクセル検出器は、素粒子実験に端を発し、現在でも精力的に開発が進められているが、コンプトンカメラで要求されるリアルタイム“photon-by-photon”の分光・撮像を可能にするピクセル検出器を開発することは容易ではない。こうした2次元の読み出しASICには、(1)連続エネルギー情報再構築のための低雑音アナログ信号処理回路、(2)高レート環境で動作するための各ピクセルで独立なマイクロ秒程度の信号処理、そして(3)ストリップ検出器に匹敵する位置分解能を達成するための100 μm 以下のピクセルサイズ、といった性能が要求される。低雑音のアナログ信号処理回路をセンサーと一体化させたチップと、アナログ・デジタル変換回路をピクセル化したチップを別々の半導体プロセスで製作し、2つを接合することができれば、従来のストリップとは比較にならない、マイクロ秒スケールでの“photon-by-photon”の検出という超高速X線撮像分光への道が拓ける。こうした研究背景の中で、申請者は最近利用が可能となった(A)高抵抗シリコンプロセスと(B)容量結合による読み出し手法を用いれば、上述の(1)~(3)を満たすピクセル検出器を実験室レベルで開発できるのではないかと考えた。

2. 研究の目的

本研究では、Si/CdTeコンプトンカメラのデッドタイムを2桁以上改善させることを目的として、既存のSiストリップに換わるバンプレスなピクセル検出器を開発する。現在ピクセル検出器は、2次元読み出しASICをセンサーとバンプ技術で接合するハイブリッド型が主流だが、連続エネルギー情報の取得に必要なアナログ信号処理回路と、ADCを含むデジタル回路を50~100 μm 角の独立なピクセルエレクトロニクスとして組み合わせた例はない。こうしたピクセル検出器を高価なバンプや3次元実装技術を用いることなく実現できれば、マイクロ秒の時間分解能を持つ超高速のイメージング分光装置として多方面に応用展開できる。本研究では高抵抗Siプロセスと通常のCMOSで作ったチップを“容量結合”で接合し、実時間で光子検出が可能なX線イメージャを実現する。

3. 研究の方法

高速X線イメージャを実現するための要素技術を以下にまとめる。本研究では、各要素技術に対して、試作・試験を実施した。

(A) 高抵抗シリコンプロセスは、空乏層化したセンサーからドリフトによる電荷収集が可能である。またマルチプルウェル構造を用いてセンサー直上にCMOSによるエレクトロニクスを形成できる。そのため従来のピクセルエレクトロニクスに含まれていた機能の一部をセンサーチップに移すことが可能である。そこで本研究では、従来のピクセルエレクトロニクスに含まれていた電荷有感型増幅回路や波形整形回路といったアナログ回路をセンサー直上のdeep N-wellに囲まれたCMOS層へと移行させたセンサー・エレクトロニクス一体型のチップを設計し、複数回の試作を通して原理実証を行う。

(B) 1ピクセル中で増幅・信号処理されたアナログ信号をデジタル化するために、アナログ・デジタル変換回路をピクセル化したデジタルチップを開発する。複数チャンネルのアナログ・デジタル変換回路を搭載する上で課題となるのが消費電力である。そこで本研究では、電荷再分配型の逐次近所アーキテクチャを採用し、微細プロセスを用いて高集積化を行う。

(C) 従来のハイブリッド検出器は、接合にバンプと呼ばれる特殊な技術を用いるため、複雑なハンドリングと多額のコストを要するという問題がある。別々の半導体プロセスで作った2つのチップを、スクリーンオフセット印刷技術を用いて電極パッドに対応した導電体を塗布できれば、こうした問題を克服でき、安価で大面積のイメージャ開発の突破口となりうる。またセンサー・アナログチップはそのまま、アプリケーションに応じてデジタルチップだけを変更するという柔軟な組み合わせが実験室レベルで行えるという狙いもある。

4. 研究成果

各構成要素に対する得られた研究成果を以下にまとめる。

(A) 高抵抗プロセスは、コスト面を考慮し、XFAB 社の XT018 プロセスを選択した。図 1 に設計したチップのレイアウトとテストパルスを入力した時のアナログ出力を示す。1 ピクセルのサイズを $270 \mu\text{m}$ 角として 1 ピクセルの中央にハイブリッド接合用の電極パッドを配置し、電荷を収集するための電極で外側を囲い、その内部に増幅・波形整形回路を配置した。各ピクセルからはアナログ波形を出力するような回路構成とした。最初の試作では、センサー部分である高抵抗サブストレート部分にバイアス電圧を印加できないという問題が発生、調査の結果、プロセス上の大幅な変更があったため、それ以前に使用していたダイオード構造では機能しないということがわかったため、レイアウトを変更したものを再試作した。テストパルスを用いた測定から回路は設計通りに機能していることが確認でき、レーザーを照射した際の反応からセンサー部分もダイオードとして機能していることを確認した。

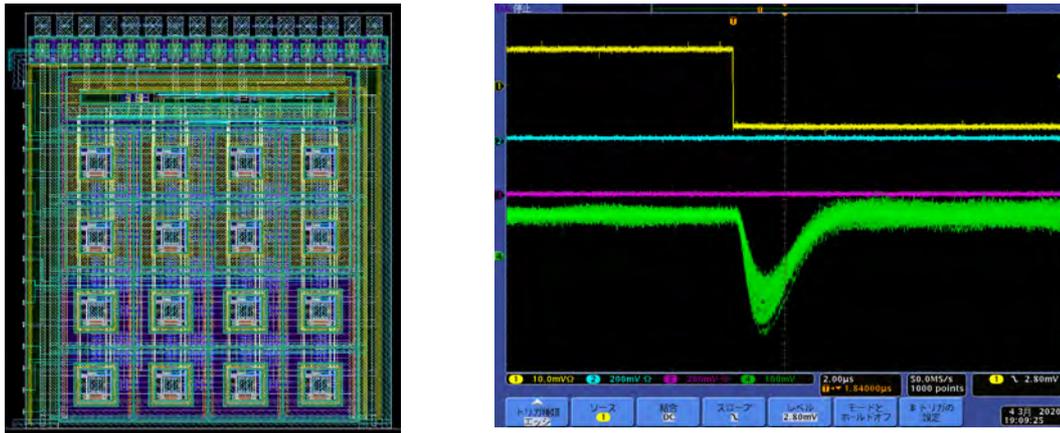


図 1: (左) 1 ピクセルに増幅・整形回路を内蔵したセンサー・エレクトロニクス一体型チップのレイアウト (右)テストパルス(黄)を入力した時の 1 ピクセルのアナログ出力(緑)

一方で、センサーダイオード部分の漏れ電流が予想以上に大きいという課題が判明した。図 2 に IV 特性の一例を示す。プロセス公称値は 200 V までの耐圧を掲げているが、実際の測定では、冷却するなどの工夫をしないと低雑音の信号処理ができないため、電荷収集電極と読み出しエレクトロニクスの初段の増幅回路とは AC カップリングで接続する必要があり、今後の開発では、TCAD などのプロセスシミュレータを用いて電場構造や漏れ電流のパスなどがレイアウトによってどこまで改善するかといった課題が挙げられる。

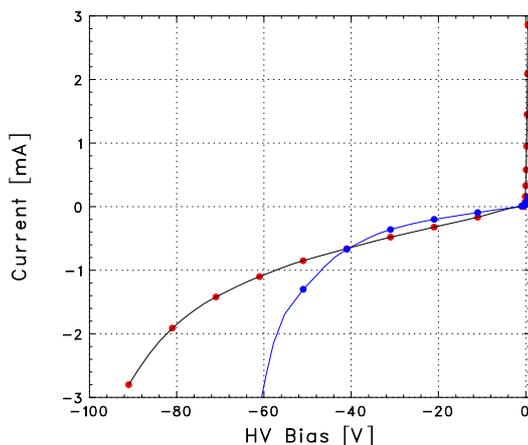


図 2: IV 特性

(B) ADC チップの開発は微細化とコストの両面から TSMC 社の 65 nm CMOS プロセスを選択した。この開発では、別資金のプロジェクト(英知を結集した原子力科学技術・人材育成推進事業)との相乗りの関係でトランジスタ単体の放射線耐性がどれくらいあるかを評価するためのチップも設計し、回路要素の実証を目的として複数回の試作を実施した。本研究では、こうした小規模な試作チップの開発と並行して、汎用的に利用できるデータ取得用のエレクトロニクスがなかったため、DAQ ボードを新規に開発した(GoSHIK と命名し、回路著作権に登録)。図 3 に GoSHIK を用いた測定セットアップの例を示す。右図右側に見えるのが GoSHIK ボードである。基板には FPGA が搭載されているため、任

意のデジタルパターンを出力でき、8チャンネルのADCとDACによるASICからのアナログ出力の取得や、任意のバイアス電圧の設定が容易にでき、ASICを実装した基板は電源やモニターするための端子だけですむため、非常に汎用性が高い。実際GoSHIKは本研究のみならず、KEKで進められている液体アルゴンを用いたニュートリノ実験用のTPC読み出しエレクトロニクスの開発や暗黒物質探索実験NEWAGEの読み出しエレクトロニクスの評価などでも使用されるようになってきており、今後もニーズが増えると期待される。

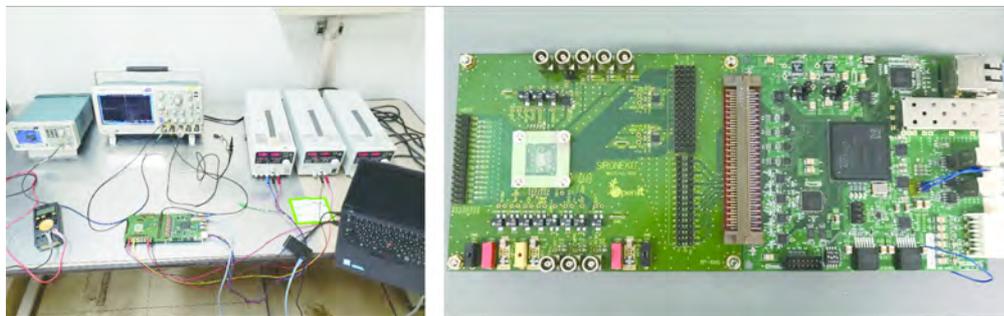


図3: (左)GoSHIKを用いた試作チップの評価試験セットアップ (右)ASICが実装された基板とGoSHIKボード(右側)の接続例

図4に試作したピクセル型のADCチップのレイアウトを示す。ピクセルサイズは70 μm 角とし、1チップに4x5=20チャンネルのアナログ・デジタル変換回路が独立して含まれている。ピクセルピッチはバンプ技術を使用することができるように大きめの100 μm とした。1ピクセルには接合を目的とした電極を備えている。シミュレーションによる見積もりでは、1チャンネルあたり毎秒10メガサンプルを50 μW という低消費電力で動作する仕様となっている。現在、製作したチップ単体に対して評価試験を実施している。また相乗りしたトランジスタ単体の評価から少なくとも数百メガradという放射線に対して実用に耐えうる閾値電圧の変化で済むことから、65 nmプロセスを用いたチップは、原発の廃炉プロジェクトや加速器のビームモニターなどの分野にも応用できると期待される。

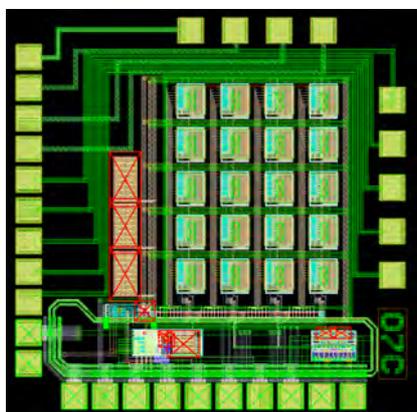


図4: ピクセル型ADCチップ(4x5)のレイアウト

(C)当初はAC結合による2チップ間の接合を計画したが、電源などは導体を用いた物理的接合が不可欠であるため、既存のバンプ技術の代替として、スクリーンオフセット技術を用いてピクセルチップの電極に導電体を直に印刷するという試みを産総研と共同で実施した。しかしながら、前述で試作したチップのサイズがいずれも数mm角という小ささのため、導電体印刷後に2チップを接合する際の位置合わせが困難であるという技術的な課題が明らかとなった。既存のバンプ技術を用いる場合であってもこのチップサイズによる制約が判明し、チップ単位で接合する技術を今後も模索していく必要がある。

5. 主な発表論文等

〔雑誌論文〕 計1件（うち査読付論文 1件/うち国際共著 1件/うちオープンアクセス 1件）

1. 著者名 Nakazawa M., Kishishita T., Shoji M., Sakashita K., Ikeda T., Ishiura H., Battat J.B.R., Nicoloff C., Tanaka M.M., Hasegawa T., Miuchi K.	4. 巻 14
2. 論文標題 Prototype analog front-end for negative-ion gas and dual-phase liquid-Ar TPCs	5. 発行年 2019年
3. 雑誌名 Journal of Instrumentation	6. 最初と最後の頁 T01008 ~ T01008
掲載論文のDOI（デジタルオブジェクト識別子） 10.1088/1748-0221/14/01/T01008	査読の有無 有
オープンアクセス オープンアクセスとしている（また、その予定である）	国際共著 該当する

〔学会発表〕 計4件（うち招待講演 0件/うち国際学会 0件）

1. 発表者名 坂口将尊ら
2. 発表標題 KEKエレクトロニクスシステムグループにおけるASICの放射線耐性評価への取り組みと現状
3. 学会等名 日本物理学会
4. 発表年 2018年

1. 発表者名 岸下 徹一
2. 発表標題 65 nm CMOSを用いたHL-LHCピクセル検出器用G-bitドライバーの開発
3. 学会等名 日本物理学会
4. 発表年 2018年

1. 発表者名 中澤 美季
2. 発表標題 陰イオンガスマイクロTPC/液体アルゴンTPC用ASIC(LTARS2016_K01)の性能評価
3. 学会等名 日本物理学会
4. 発表年 2018年

1. 発表者名 堤 祐樹
2. 発表標題 J-PARC muon g-2/EDM実験: シリコンストリップ検出器用読み出しASICの性能評価
3. 学会等名 日本物理学会
4. 発表年 2018年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
--	---------------------------	-----------------------	----