

令和 2 年 4 月 11 日現在

機関番号：17104

研究種目：基盤研究(C) (一般)

研究期間：2017～2019

課題番号：17K00081

研究課題名(和文)最先端LSIの電源供給信号線の欠陥に対するテスト・診断手法に関する研究

研究課題名(英文)LSI Test and Diagnosis for Defects on Power Supply Network

研究代表者

宮瀬 紘平(Miyase, Kohei)

九州工業大学・大学院情報工学研究院・准教授

研究者番号：30452824

交付決定額(研究期間全体)：(直接経費) 3,500,000円

研究成果の概要(和文)：LSIの微細化により欠陥の起こるメカニズムは非常に複雑化し、欠陥回路のテスト・診断が非常に難しくなっている。微細化が進むと電源供給信号線の欠陥が電源供給に与える影響が大きくなると考えられ、本研究では電源供給信号線上の欠陥のテスト・診断手法の研究を実施した。研究成果として、欠陥が大きな影響を与えると考えられる高消費電力エリアを特定、および欠陥検出向上のための特定したエリアに対する消費電力制御テスト生成にてテスト時の特定エリアの電力制御を可能とし、電源供給信号線の欠陥を検出・診断するための基礎技術を確立した。

研究成果の学術的意義や社会的意義

今日のIoTを支える最先端LSIはモバイル製品に搭載されることが多い。バッテリーの長寿命化や消費電力削減など電源関係の技術開発が今後も進むと考えられる。そのため電源関係の信頼性保証が重要となり、本研究の成果は、LSIの性能劣化回避、信頼性向上などに貢献する。医療機器や、自動車制御、自動車自動運転技術など、今後さらに高い品質と信頼性が求められるLSIに関しても電力の問題は解決すべき課題であり、本研究の成果は必要不可欠なものとなる。

研究成果の概要(英文)：Shrinking feature size of LSI, test and diagnosis for complex defects are getting more difficult. It is considered that defects on power supply network may affect the degree of power supply as further shrinkage. In this work, we proposed methods to test and diagnose defects on power supply network. As the results, we established basic methods to test and diagnose defects by specifying high power consuming areas which are strongly affected by defects, and controlling power consumption for the specified areas.

研究分野：LSIテスト

キーワード：LSIテスト 消費電力解析 LSI設計

様式 C - 19、F - 19 - 1、Z - 19 (共通)

1. 研究開始当初の背景

限界とも言われている LSI の微細化は、現在も少しずつであるが進んでいる。微細化は、高速化・高集積化・低電力化など様々なメリットがある一方、微細化された LSI は非常に複雑な要因により欠陥を引き起こす。そのような欠陥回路のテスト・診断は非常に困難であり今後さらに発展する微細化製造技術とともに解決しなければならない問題である。今後は、従来のテスト・診断手法に加え、これまで起こり得なかった欠陥メカニズムを解明し、新しい欠陥に対するテスト・診断手法を確立していくことが必要不可欠である。

これまでの LSI の電源供給信号線は多重化・冗長化設計されており、電源供給信号線上に多少の欠陥が存在しても電源を供給するという目的を達成すれば、欠陥の顕在化や回路の性能劣化を引き起こすことは非常に少なかった。しかし、微細化が進むにつれ、電源供給信号線の欠陥が、NAND や AND 等のスタンダードセルの電源供給に与える影響が大きくなると考えられる。スタンダードセルの電源供給が不十分になると、回路の遅延増加や、電圧が閾値を超えない場合は正しい論理値を取ることができず、重大な故障や信頼性低下の原因となる。

図 1 にレイアウト設計データの例を示す。図 1(a)は、(b)内のセルと電源線を見やすくしたものである。Power Strap と呼ばれる電源供給信号線は、それより細い Power Rail と呼ばれる信号線に VIA を介して接続され、Power Rail が U460 と U462 というスタンダードセルに接続されている。図 1(c)は、Power Strap と Power Rail の VIA が欠如した場合である。図 1 は一例であるが、今後の微細化回路においては、このような VIA が欠如するような欠陥の検出(テスト)・位置の特定(診断)が必要不可欠となり、今後の LSI の微細化の発展に必要不可欠な技術であると位置づけられる。

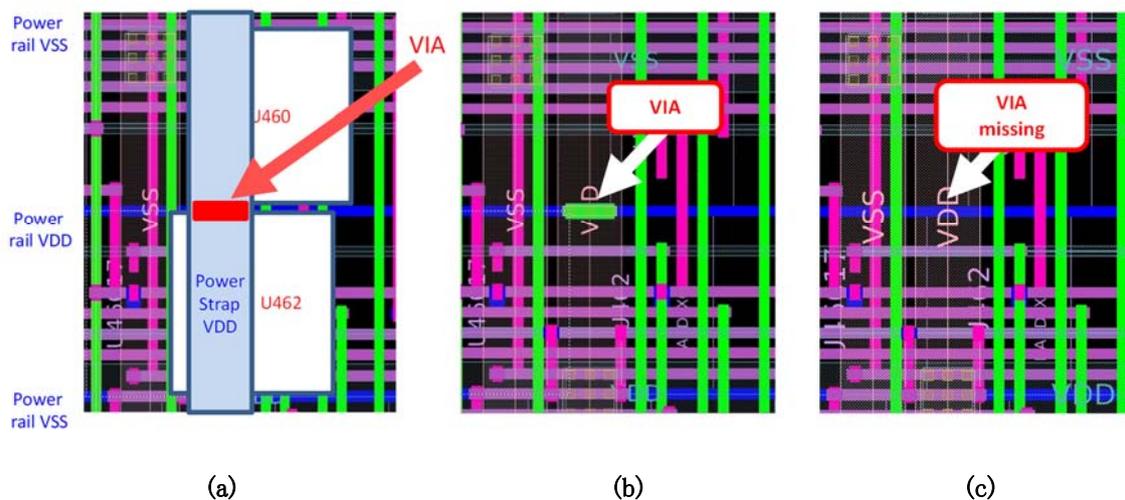


図 1:レイアウト設計データ上での電源供給信号線上の VIA の欠如

2. 研究の目的

近年の半導体製造技術は、配線幅 20nm 以下まで微細化することが可能になってきた。一方、微細化により欠陥の起こるメカニズムは非常に複雑化し、欠陥回路のテスト・診断が非常に難しくなっている。通常、電源供給信号線は多重化・冗長化設計されており、多少の欠陥であれば顕在化することも回路性能を劣化させることも非常に少なかった。しかし、微細化が進むにつれ、電源供給信号線の欠陥がスタンダードセル(NAND、AND 等のセル)に対する電源供給に与える影響が大きくなると考えられる。本研究では、電源供給信号線上の欠陥をテスト・診断する手法に関する研究を行う。電源供給信号線上の欠陥が、故障、信頼性低下、性能劣化、消費電力増加を引き起こすメカニズムを解明し、それらを解決するテスト・診断手法を確立することが目的である。

3. 研究の方法

【2017 年度】

(1)電源供給信号線上の欠陥データ作成

近年問題となっている消費電力増加に起因する欠陥を、電源供給信号線上の欠陥に絞り、欠陥のある回路を意図的に設計する。具体的には、位置を変えて階層の異なる電源供給信号線の VIA を意図的に削除した回路を数回路設計する。

(2)電力・遅延解析による欠陥の顕在化検証

作成した欠陥回路に対して、論理シミュレーション、電力解析、IR-drop 解析を行い、正常回路と比較して欠陥の影響が顕在化するかを検証する。

【2018 年度】

(1)最先端 LSI 設計環境における欠陥の影響範囲の見積り

利用している EDA ツール(商用 LSI 設計・検証ツール)の利用可能ライセンスの変更があり、研究教育機関では契約している EDA ベンダーの提供するツールを用いた IR-Drop 解析が実施できなくなった。そのため本研究で想定している欠陥がどれだけの範囲に影響を与えるかを解析できなくなった。そこで、欠陥が存在した場合に、電力不足になり易いと考えられる消費電力の高いエリアを特定する。また、メモリ回路の欠陥の影響範囲特定も進める。

(2)欠陥検出シミュレータ

上記(1)の EDA ツールの利用可能ライセンスの変更で、IR-Drop 解析ツールの結果を用いたシミュレータの実装は困難となったが、欠陥を顕在化するような信号値遷移の発生範囲を特定するシミュレータを開発する。

【2019 年度】

(1)電源供給信号線上の欠陥に対する診断

電源供給信号線の電力や電源からの距離などを考慮した IR-Drop 解析は実施できないが、LSI 内の NAND などのスタンダードセルが消費電力を解析する消費電力解析機能を利用し、消費電力の高いエリアの特性を調査する。また、2018 年に研究開発した、消費電力の高くなる信号値遷移数が多数発生する範囲を特定する手法を改善する。

(2)診断用テスト入力生成

欠陥検出の向上を目的として、特定したエリアの消費電力を制御するためのテスト生成を行う。

4. 研究成果

【2017 年度】

(1)電源供給信号線上の欠陥データ作成

消費電力増加に起因する欠陥を、電源供給信号線上の欠陥に絞り、欠陥のある回路を意図的に設計した。具体的には、位置を変えて階層の異なる電源供給信号線の VIA を意図的に削除した回路を数回路設計した。

(2)電力・遅延解析による欠陥の顕在化検証

作成した欠陥回路に対して、論理シミュレーション、電力解析、IR-drop 解析を行い、正常回路と比較して欠陥の影響が顕在化するかを検証した。この時点で、研究教育用に利用できる設計環境(配線幅 90nm)を利用したところ、欠陥による電力への影響は非常に小さいことが分かった。そのため電力低下による遅延増加も確認できていない。配線幅が 20nm であるなど、微細化技術の進んだ LSI では、本研究で対象としている欠陥が顕在化すると考えられる。しかし、現状、研究教育用で、配線幅が 90nm 以下の設計データは、配置配線まで可能なものは存在したが、配置配線後に電源供給信号線の電力や距離を考慮可能な IR-Drop 解析まで可能なデータは入手できない。そのため、欠陥が存在した場合に欠陥が顕在化するような条件を特定することを目標とした。

本研究で対象としている電源供給信号線上の欠陥は、欠陥の周辺の消費電力が高い場合に電力不

足となり過度な遅延値の増加につながると考えられる。回路中の信号値遷移が起きるスタンダードセル（論理ゲート）が集まっているエリアの消費電力が高くなるため、そのようなエリアの特定を高速に行う手法を提案し実装した。図 2 に、IWLS2005 で公開させている OpenCore 回路の 1 つである des_perf(5 万ゲート規模)に対する実験結果を示す。提案手法は回路の論理情報のみを用いて高消費電力エリアを特定するが、提案手法が特定したエリアの消費電力がどのようになっているか検証するために対象回路に対する遷移遅延故障用のテストパターンを生成し、論理シミュレーションにより信号値遷移を発生させ各エリアの信号値遷移率を評価した。

図 2 の左図は回路を 9 分割で信号値遷移の頻繁に起きるゲートが集まっているエリアを特定 (Highest のエリア)、右図はさらに詳細な解析で消費電力の高くなるエリアを特定したものである。簡易的な方法として 9 分割などの均一に分割したエリアの解析が良く使用されるが不正確であることが判明した。また、通常動作時での信号値遷移率は 5%~10%といわれるが、右図で特定されたエリア内の信号値遷移率は 35%と非常に高くなっていることが分かった。この成果は、2017 年に台湾で開催された IEEE Workshop on RTL and High Level Testing 2017 で発表している。

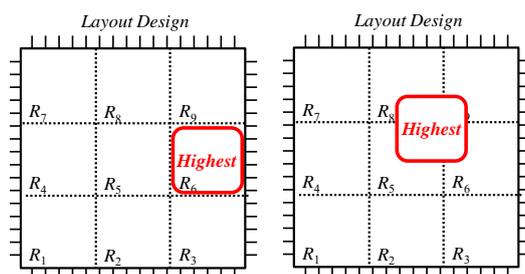


図 2: 9 分割信号値遷移解析手法と提案手法

【2018 年度】

(1)最先端 LSI 設計環境における欠陥の影響範囲の見積り

利用している EDA ツール (商用 LSI 設計・検証ツール) の利用可能ライセンスの変更があり、研究教育機関では契約している EDA ベンダーの提供するツールを用いた IR-Drop 解析が実施できなくなった。そのため本研究で想定している欠陥がどれだけの範囲に影響を与えるかを解析できなくなった。そこで、欠陥が存在した場合に、電力不足になり易いと考えられる消費電力の高いエリアを特定することを中心に研究を進めることとした。また、欠陥が存在しても信頼性が保てる技術を海外の研究グループと国際会議で発表した。

(2)欠陥検出シミュレータ

上記(1)の EDA ツールの利用可能ライセンスの変更で、IR-Drop 解析ツールの結果を用いたシミュレータの実装は困難となったが、欠陥を顕在化するような信号値遷移の発生範囲を特定するシミュレータを開発した。この技術は、消費電力が増加する範囲を短時間で求めるための基礎技術となり、LSI 設計およびテストなど広い範囲に応用可能な技術となる。短時間で消費電力解析が可能となれば、LSI 設計・テスト期間の短縮にダイレクトに効果がある。

【2019 年度】

(1)電源供給信号線上の欠陥に対する診断

電源供給信号線の電力や電源からの距離などを考慮した IR-Drop 解析は実施できないが、LSI 内の NAND などのスタンダードセルが消費する電力を解析する消費電力解析機能を利用し、消費電力の高いエリアの特性を調査した。また、2018 年までに研究開発した、消費電力の高くなるエリアを特定する手法を改善した。提案手法は、信号値遷移発生率が高いエリアを特定する手法であり、SCOAP というテスト生成の一部の技術を用いることにより高消費電力エリアの特定精度を向上させた。

図 3 に、IWLS2005 で公開されている OpenCore 回路の 1 つである des_perf(5 万ゲート規模)に対する実験結果を示す。改善した高消費電力エリア特定手法も、前年度までに研究開発した手法と同様に、回路の論理情報のみを用いて高消費電力エリアを特定する。提案手法が特定したエリアの消費電力がどのようになっているか検証するために対象回路に対する遷移遅延故障用のテストパターンを生成し、論理シミュレーションにより信号値遷移を発生させ各エリアの信号値遷移率を評価した。

図 3 で丸点がプロットされているエリアが提案手法により消費電力が高いと特定したエリアである。図

中の三角点でプロットした点は、論理シミュレーションにより信号値遷移率の高かったエリアである。この実験結果では、信号値遷移率の高かったエリアは提案手法で特定したエリアに含有される。提案手法で特定したエリアに信号値遷移率が高いエリアが含まれないこともあるが、提案手法で特定したエリアが回路面積の 25% 程度の範囲なので利用価値は高いと言える。

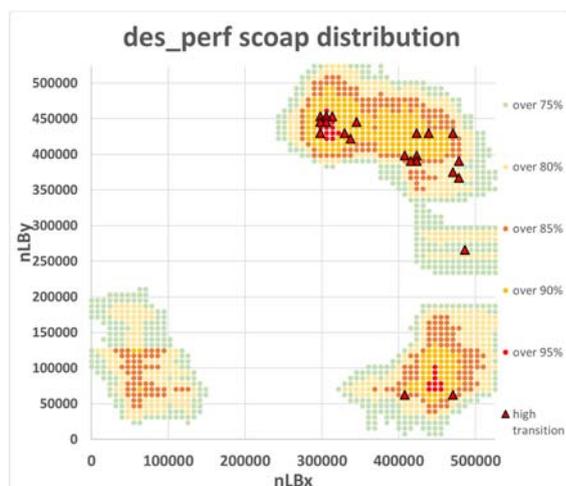


図 3: SCOAP による高消費電力エリア特定手法(des_perf)

図 4 に OpenCore 回路の 1 つである pci_bridge32 (3 万ゲート規模) に対する実験結果を示す。図 3 の回路に対する実験は良い結果といえるが、図 4 が示す実験結果は、改善の余地がある。丸点でプロットされた提案手法で特定したエリアが回路面積の 75% 程度を占めているが、三角点で示される実際の信号値遷移率の高いエリアは非常に狭い。信号値遷移率の高いエリアを含む範囲を含んでいるという点では問題ないが、回路面積の 75% は広範囲すぎる。遷移率の高いエリアが広範囲でなければ 25% 以下の範囲で信号値遷移率の高いエリアが特定されることが重要となる。この成果は、2019 年に東京で開催された IEEE International Test Conference in Asia 2019 で発表している。

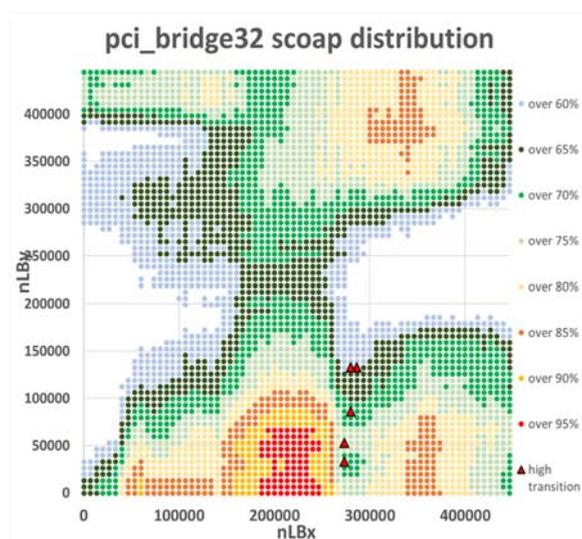


図 4: SCOAP による高消費電力エリア特定手法(pci_bridge32)

(2) 診断用テスト入力生成

EDA ツールのライセンス構成の変更で欠陥を検出するテスト入力生成を行う研究は困難となったが、信号値遷移に対する評価をベースとして特定したエリアの消費電力を制御するためのテスト生成を行った。消費電力の制御で電力を増加することができれば、電源供給信号線に欠陥がある場合に、欠陥を顕在化させることが可能である。シミュレーション実験によって特定したエリアの消費電力制御が可能であり、欠陥検出の向上に利用可能であることを確認した。テスト生成自体のアルゴリズムを変更するまでには至らなかったが、成果を国内研究会で研究発表している。

5. 主な発表論文等

〔雑誌論文〕 計0件

〔学会発表〕 計6件（うち招待講演 0件 / うち国際学会 2件）

1. 発表者名 Kohei Miyase, Yudai Kawano, Shyue-Kung Lu, Xiaoqing Wen, Seiji Kajihara
2. 発表標題 A Static Method for Analyzing Hotspot Distribution on the LSI
3. 学会等名 IEEE International Test Conference in Asia (国際学会)
4. 発表年 2019年

1. 発表者名 児玉優也, 宮瀬紘平, 高藤大輝, 温暁青, 梶原誠司
2. 発表標題 メモリ搭載LSIに対するロジック部の消費電力解析に関する研究
3. 学会等名 信学技報, vol. 119, no. 420, DC2019-93, pp. 43-48
4. 発表年 2020年

1. 発表者名 史傑, 宮瀬紘平, 温暁青, 梶原誠司
2. 発表標題 LSIの高消費電力エリアに対する信号値遷移制御率向上に関する研究
3. 学会等名 信学技報, vol. 119, no. 420, DC2019-94, pp. 49-54
4. 発表年 2020年

1. 発表者名 Shyue-Kung Lu, Hui-Ping Li, and Kohei Miyase
2. 発表標題 Progressive ECC Techniques for Phase Change Memory
3. 学会等名 2018 IEEE 27th Asian Test Symposium (国際学会)
4. 発表年 2018年

1. 発表者名 K. Miyase, Y. Kawano, X. Wen, and S. Kajihara
2. 発表標題 Locating Hot Spot with Justification Techniques in a Layout Design
3. 学会等名 IEEE Workshop on RTL and High Level Testing
4. 発表年 2017年

1. 発表者名 河野雄大, 宮瀬紘平, 温暁青, 梶原誠司
2. 発表標題 正当化操作を用いたレイアウト上のホットスポット特定に関する研究
3. 学会等名 DC研究会
4. 発表年 2018年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
---------------------------	-----------------------	----