

研究種目：特定領域研究

研究期間：2006～2009

課題番号：18063008

研究課題名（和文） ナノスケール配線および回路のシグナル・インテグリティに関する研究

研究課題名（英文） Signal Integrity of Nano-Scale interconnect and Circuit

研究代表者

益 一哉 (MASU KAZUYA)

東京工業大学・統合研究院・教授

研究者番号：20157192

研究分野：集積回路工学

科研費の分科・細目：電気電子工学 電子デバイス・電子機器

キーワード：ナノ配線、シグナル・インテグリティ、インテグリティ、揺らぎ、ばらつき

1. 研究計画の概要

2013年には最小加工寸法（ハーフピッチ、hpと称される）32nmで高性能信号処理チップではチップ面積(140mm²)上に15億個のトランジスタを集積(Integration)し、回路ブロック中では10GHz以上のクロック信号で動作させようとしている。LSI上の多層配線構造における信号伝送は、加工揺らぎや物理限界に起因するデバイスや配線などの特性揺らぎやばらつき、さらにはintegrationされたときの隣接配線間のCross Talk雑音などによってますます厳しくなっている。

本研究では、加工寸法で言えば32nm以降のナノスケールデバイスやナノ配線を集積化したときの、物理的な揺らぎの影響や多数の回路や配線を集積化したときに生じるクロストークなどの相互干渉の影響を定量的に評価、予測し、集積化設計技術として構築する。

具体的には、まずナノ金属及びカーボンナノチューブ (CNT) やウォール (CNW) の電気伝導、特に高周波(110GHz)信号伝搬特性を明らかにする。次に、ナノデバイス、ナノ配線を集積化したときの回路性能、回路特性揺らぎ、ジャンクルのような長距離多層配線構造内における 100GHz の周波数成分を有する信号伝送の揺らぎやクロストーク評価を行い、ナノデバイス集積におけるシグナルインテグリティ研究を行う。アウトプットとして、信号伝送モデルや揺らぎモデルとして提示し、ナノメータデバイス集積化指針の構築を目指す。

2. 研究の進捗状況

(1) 研究計画に沿って、平成18年度でナノ金属及びCNT/CNWの信号伝搬評価のために110GHzまでの高周波特性評価システムを立ち上げた。平成19年度では、金属配線について実際の測定を行い、de-embeddingの重要性を明確にするとともに簡略De-embedding手法を提案した。平成20年度では、引き続き金属配線について実際の測定を行い、de-embeddingの重要性を明確にするとともに2ポートおよび多ポート de-embedding手法を提案、実証した。

(2) また伝送距離が数百 μ mmからcmに達するグローバル配線でのEb/No-BER特性やアイパターン特性評価を行った。さらに、金属配線、CNT配線、光配線を統一的に評価し得る性能指数 (FoM: Figure of Merit) を定義し各配線の評価を行った。その結果、チップ内やチップ間のcm程度配線には伝送線路配線が最適であることを示した。マルチドロップ型の伝送線路配線を実験的に評価するとともに、より低消費電力化の可能な回路方式としてパルス化回路の提案を行った。

(3) オンチップ伝送線路配線について、マルチドロップ型の伝送線路配線を実験的に評価した (平成19年度)。より低消費電力化の可能な回路方式としてパルス化回路の試作と評価、プリエンファシス方式を取り入れて高速伝送化回路の設計、試作、評価を行った (平成20年度)。

3. 現在までの達成度

②おおむね順調に進展している。

研究計画に従った研究進捗を果たしており、順調に進展していると判断している。さらに、ナノ金属配線やカーボンナノチューブ配線の評価検討を行うことで計画通り、さらにはそれ以上の進捗を目指す。

4. 今後の研究の推進方策

最終年度に向けて、これまでの成果を発展させるとともに、ナノ配線の Signal Integrity の課題を理論的に明らかにする。

5. 代表的な研究成果

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 17 件) (すべて査読有)

- ① 益 一哉, 「オンチップ伝送線路配線の期待と課題—True Scaling を可能とする次世代配線技術—」電子情報通信学会誌, Vol.91, No.3, pp.170-175, March, 2008.
- ② Takumi Uezono, Takashi Sato, and Kazuya Masu, "One-Shot Voltage-Measurement Circuit Utilizing Process Variation", IEICE Transactions on Fundamentals of Electronics, Vol.E92-A, No.4, pp. 1024-1030, April 2009.
- ③ Hiroyuki Ito, Makoto Kimura, Kazuya Miyashita, Takahiro Ishii, Kenichi Okada, Kazuya Masu, "A Bidirectional- and Multi-Drop-Transmission-Line Interconnect for Multipoint-to-Multipoint On-Chip Communications," IEEE Journal of Solid-State Circuits, Vol. 43, No. 4, pp. 1020-1029, April 2008.

(和文論文誌 3 編、英文論文誌 1 4 編)

[学会発表] (計 132 件)

- ① A. Mineyama, T. Suzuki, H. Ito, S. Amakawa, N. Ishihara, and K. Masu, "A 20 Gb/s 1:4 DEMUX with near-rail-to-rail logic swing in 90 nm CMOS process," IEEE Int. Workshop Series on Signal Integrity and High-Speed Interconnects (IMWS2009-R9), pp. 119-122, Guadalajara, Mexico, February 20, 2009.
- ② Takashi Sato, Hiroyuki Ueyama, Noriaki Nakayama, and Kazuya Masu, "A MOS transistor array with pico-ampere order precision for accurate characterization of leakage current variation", IEEE Asian solid-state circuit conference (ASSCC), pp.389-392, Fukuoka, November 25, 2008.

- ③ Tomoaki Maekawa, Hiroyuki Ito, and Kazuya Masu, "An 8Gbps 2.5mW On-Chip Pulsed-Current-Mode Transmission Line Interconnect with a Stacked-Switch Tx," the 34th European Solid-State Circuits Conference, pp.474-477, Edinburgh, Scotland, September 18, 2008.
- ④ Hiroyuki Ito, and Kazuya Masu, "A Simple Through-Only De-Embedding Method for On-Wafer S-Parameter Measurements up to 110 GHz", IEEE MTT-S International Microwave Symposium2008 (IMS 2008),pp.383-386, Atlanta, June 18, 2008.
- ⑤ Shuhei Amakawa, Hiroyuki Ito, and Kazuya Masu, "Signal transmission through interconnects with repetitive loads," Advanced Metallization Conference (AMC), pp.173-174, Albany, New York, October 9, 2007; Advanced Metallization Conference, Asian Session (ADMETA), pp.94-95, Tokyo, October 23, 2007.
- ⑥ 前川智明, 天川修平, 石原 昇, 益 一哉, 「抵抗帰還を用いたインバーター型オンチップ出力バッファの低ジッタ化設計」電子情報通信学会 総合大会, C-12-33, 2009 年 3 月 18 日 (於 愛媛大学)
- ⑦ 上蘭巧, 佐藤高史, 益 一哉, 「プロセスばらつきの積極的活用による非繰返し電圧波形の測定」, pp. 439-444, 第 21 回 回路とシステム軽井沢ワークショップ (於 軽井沢), April 22, 2008.

(国際会議など: 44 件、電子情報通信学会講演会など: 88 件)

[その他]

本研究の基礎となった研究について 2003 年に出願していた特許が米国で認められた。

- ① 益 一哉、岡田健一、伊藤浩之、「集積回路の並走配線」、特許第4210248号(登録日:平成20年10月31日)、Kazuya Masu, Kenichi Okada and Hiroyuki Ito, "Parallel wiring and integrated circuit", USP 7,504,587, (Date Issued: March 17, 2009)