

研究種目：特定領域研究

研究期間：2006～2009

課題番号：18063017

研究課題名（和文） シリコン系ナノ構造集積と機能メモリデバイス開発

研究課題名（英文） Integration of silicon-based nano-scale structure and its functional memory device application

研究代表者

宮崎 誠一 (MIYAZAKI SEIICHI)

広島大学・大学院先端物質科学研究科・教授

研究者番号：70190759

研究成果の概要（和文）：

自己組織化形成したシリコン量子ドット上に Ni 薄膜を形成後、水素プラズマ処理を施して Ni シリサイドナノドットを形成すると共に、この Ni シリサイドナノドットが極薄シリコン酸化膜を挟んでシリコン量子ドット上に配置したハイブリッドナノドット構造を作成し、フローティングゲートメモリへの応用研究を推進した。

ハイブリッドナノドット MOS デバイスにおいて、パルスゲートバイアス印加により、電荷注入放出過程を調べた結果、シリコンナノドットの離散化したエネルギー準位を反映した多段階の電荷注入・放出特性が得られると共に、Ni シリサイドの深いポテンシャル井戸を反映した、良好な電荷保持特性が得られた。

研究成果の概要（英文）：

With a combination of self-assembling formation of Si-quantum dots (QDs) and the silicidation of pre-grown Si-QDs promoted with an exposure to remote H₂ plasma without external heating after ultrathin Ni film formation, a hybrid nanodots structure consisting of Ni-silicide nanodots and Si-QDs was fabricated and applied to a floating gate in MOS (Metal-Oxide-Semiconductor) capacitors. The charge storage capacity of the hybrid nanodots FG is attributable to a deep potential well of the Ni-silicide nanodots, and the charge injection characteristics measured with applications of pulsed gate biases can be interpreted in terms of multistep electron injection to and emission from the Ni-silicide nanodots through the discrete energy states of the underlying Si-QDs.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2006年度	27,500,000円	0	27,500,000円
2007年度	34,800,000円	0	34,800,000円
2008年度	29,200,000円	0	29,200,000円
2009年度	17,600,000円	0	17,600,000円
年度			
総計	109,100,000円	0	109,100,000円

研究分野：半導体工学

科研費の分科・細目：電気電子工学・電子・電気材料工学

キーワード：量子ドット、ハイブリッドナノドット、フローティングゲートメモリ

1. 研究開始当初の背景

これまでメモリデバイスをはじめとする半導体デバイスは、スケールリング則に従った微細化により、高性能化、高集積化を実現してきた。しかし、微細化の限界に際し、スケールリングによらない高性能化、高集積化手法が模索されつつある。

ナノメートルサイズの Si 量子ドットは室温において、量子閉じ込め効果やクーロンブロック効果などが顕在化するため、MOSFET に組み込むことで離散化したエネルギー準位を反映して、しきい値電圧を段階的にシフトさせることができる。そのため、メモリデバイスへ応用すれば、多値メモリへの応用が期待されている。しかしながら、Si 量子ドットフローティングゲート MOSFET において、トンネル SiO₂ 膜の薄膜化(<4nm)により、保持電荷が酸化膜をトンネルし基板へ電子が放出することで、電荷保持特性が低下するという課題を有する。

2. 研究の目的

シリコン MOS デバイスのスケールリング限界を打開し、小数電子・小数光子を使って高度な知能情報処理を室温且つ高エネルギー効率で実現するために、半導体量子ドットや金属ナノドットを活用して MOS デバイスの機能レベルでの進化を目指した研究を実施する。具体的には、電子系のエネルギー離散化に極めて有効な量子ドットとみなせるシリコン-ゲルマニウム(Si-Ge)系ナノ結晶と電子系に対する深い閉じ込めポテンシャル井戸が実現できる金属シリサイドドットに着目し、価電子制御した Si-Ge 系量子ドットや、熱的に安定でかつ仕事関数が Si ミッドギャップ付近にある Ni シリサイド(または W シリサイド)のナノドットを、極薄酸化層で隔てて高密度に立体集積した構造において、孤立量子ドットにない三次元結合ドット系固有の物性・機能を探索する。

本研究では、価電子制御した Si-Ge 系量子ドットの高密度アレーと金属シリサイドナノドットの高密度アレーを複合集積した構造において、電荷注入・保持・放出特性を制御し、室温・多値動作する機能メモリの応用研究を展開すると共に、光電効果による複合ドット集積構造内の電荷移動を利用した、新規光電融合デバイスの可能性を探求する。

3. 研究の方法

減圧 CVD 反応の精密制御によって、Ge や SiGe をコアに持つ Si-Ge 系量子ドットをシリコン酸化膜上に自己組織的に高密度一括形成する際に、PH₃(あるいは B₂H₆)を微量パルス添加して量子ドット内に P(あるいは B)を高効率にデルタドーピングをする。Ni(あるいは W)シリサイドナノドットの形成では、Ni(あるいは W)のハロゲン化合物あるいは有機錯体を用いた減圧 CVD の精密制御によって、あらかじめ自己

組織化形成した Si 量子ドット上へ Ni(あるいは W)の選択堆積を検討する。堆積時の基板温度および堆積後の熱処条件を精密制御してシリサイド化反応を制御する。

これらの結果を踏まえて、価電子制御した Si-Ge 系量子ドットと金属シリサイドナノドットの高密度アレーを複合集積した構造を作成し、異種ドット間のキャリアトンネリングやクーロンブロック効果に関する知見を得る。特に Si-Ge 系量子ドットから金属シリサイドナノドットへのキャリア移動やパルス光照射による金属シリサイドナノドットから Si-Ge 系量子ドットへの電子励起によって生じる誘電分極やその緩和現象を定量評価する。また、この複合ナノドット集積構造を MOSFET のゲート絶縁膜スタック内にフローティングゲートとして組み込んで、高信頼・多値動作を実現・実証すると共に、光入力機能スイッチの実現の可能性を探索する。

4. 研究成果

1. AFM/ケルビンプローブによる不純物添加 Si 系量子ドットの帯電評価

個々の量子ドットにおける荷電状態を直接評価するために、以下の手順で試料を作製した。p-Si(100)基板上に 1000°C で膜厚約 4nm の SiO₂ 膜を形成後、SiH₄ の減圧 CVD 法(580°C, 0.05 Torr)により、半球状の Si 量子ドット(面密度 4x10⁸cm⁻²)を自己組織化形成した。Si 量子ドット表面は、560 °C でリモート O₂ プラズマによりラジカル酸化(酸化膜厚 2nm)した。また、Ge コアを持つ Si ドットの形成では、Si 量子ドット(面密度 2x10⁸cm⁻²)上に Ge を GeH₄(400°C, 0.2 Torr)ガスの減圧 CVD で選択成長し、引き続いてドット上に Si を減圧 CVD して、Ge コアを Si クラッドで覆った。この場合、ドット形状は球状になることが、TEM 観察から分っている[11]。これは、Si クラッドと Ge コア界面に発生する構造歪を緩和するためと考えられる。P あるいは B の添加は、Si ドット

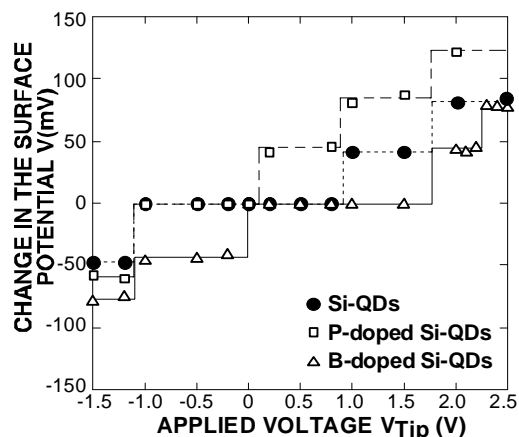


図1 真性及び不純物添加 Si 量子ドットにおける表面電位変化の探針印加電圧依存性。

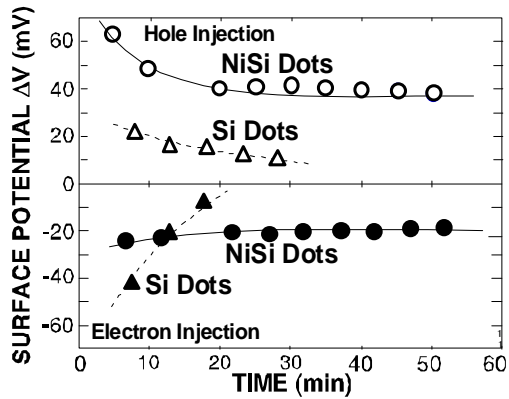


図2 Ni シリサイドナノドットおよび真性 Si 量子ドットにおける帯電電位の時間依存性

トの自己組織化形成の際(Ge コア Si 量子ドットの場合は、Ge コア形成時に)、 PH_3 あるいは B_2H_6 を微量パルス導入して行った。NiSiドットは、あらかじめ自己組織化形成した Si 量子ドット上へ Ni 蒸着量を制御して Ni 膜を形成し、堆積時の基板温度および堆積後の熱処条件を精密制御してシリサイド化反応を制御した。

室温・クリーンルーム大気中において、作製した試料表面を-3~+3V印加した導電性AFM探針でタッピング走査(コンタクトモード)して、電子注入または電子放出を行った。その後、ドットの帯電状態を定量する為に、Kelvinプローブモード(ノンコンタクトモード)で表面電位像を測定した。

Si 量子ドットの表面電位変化を AFM 探針印加電圧の関数としてまとめた結果を図1に示す。真性 Si 量子ドットから価電子 1 個の放出に伴う正帯電は探針電圧+1V で起こるのに対して、P 及び B をデルタドーピングした場合には、1 個の電子放出に相当する正帯電は探針電圧+0.2V 及び+2.0V で観測される。P ドープ Si 量子ドットは、デルタドーピングした P ドナーから生じた伝導電子が引き抜かれ、P ドナーの正電荷が顕在化したと解釈できる。

P 及び B をデルタドーピングした Ge コアを有する Si 量子ドットにおいても、離散的なエネルギー準位を反映した多段階的な電位変化が観測され、真性 Ge コア Si 量子ドットからの 1 個の電子放出・保持による正帯電及び負帯電はそれぞれ探針電圧+2.0V 及び-1.5V で起こるのに対して、P をデルタドーピングした場合電子放出による正帯電は+0.5V、B をデルタドーピングした場合、電子保持による負帯電は-0.5V で観測される。Ge コアのない B ドープ Si 量子ドットと比べると、単電子注入による負帯電は 0.3V 増大する。これらの結果は、プローブ電位と Ge コア Si 量子ドット/ SiO_2 / Si(100)スタック構造のエネルギーバンド構造の関係から理解できる。すなわち、P デルタドーピングでは P ドナーから生じた伝導電子が引き抜かれ、P ドナーの正電荷が顕在化し、B デルタドーピングにおいては正孔への電子注入によって B アクセプターの負電荷が顕在化すると

考えられる。

Ni シリサイドドットにおいても、電圧印加前は Si 量子ドットと同様に一樣な表面電位が得られ、-0.7V 印加したプローブでの走査によって、電圧印加領域の負帯電が認められた。同バイアス印加条件では、同程度のサイズの Si 量子ドットにおいて表面電位に変化が認められず、伝導帯への電子注入による負帯電には、-1.0V 以上のバイアス印加が必要である。正電圧印加による電子放出においても、NiSiドットでは、+0.5V で、Si 価電子帯からの電子放出に必要な電位(+1V 以上)よりも大幅に小さい。これらの結果は、NiSi のフェルミレベルが Si ミッドギャップ付近に存在することと矛盾しない。また、Ni シリサイドナノドットにおいては、同サイズの Si 量子ドットに比べて、荷電状態が安定保持できることを明らかにした(図2)。

2. NiSiドット/Si量子ドット積層ハイブリッドフローティングゲートMOSキャパシタにおける電子注入・放出特性および電荷保持特性

n-Si(100)基板に、膜厚 3.4nm のトンネル SiO_2 膜を熱酸化により形成し、表面を希釈 HF(0.1%)処理により反応活性な OH 末端にした後、 SiH_4 ガスの減圧 CVD(575°C, 0.2Torr)により Si 量子ドットを自己組織化形成した(平均ドット高さ:6nm, 面密度: $3.5 \times 10^{11} \text{cm}^{-2}$)。その後 850°C 熱酸化を行うことで、ドット表面を酸化し(膜厚~1nm または~3nm)、同様に 2 層目のドット形成を行った。2 層目の Si 量子ドット表面を希釈 HF 処理により水素末端後、EB 蒸着により厚さ~1.8nm の Ni 膜を形成し、熱処理(300°C)または室温でリモート H_2 プラ

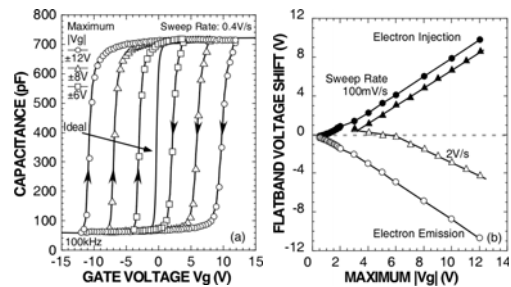


図3. ハイブリッドフローティングゲート MOS キャパシタの容量-電圧特性(a)および V_{FB} シフトの最大印加電圧依存性.

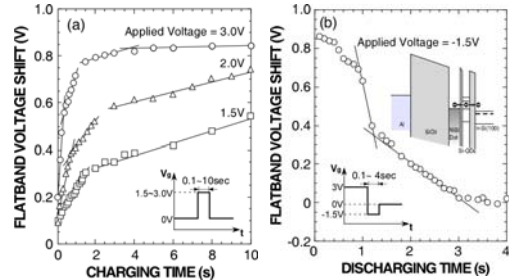


図4. ハイブリッドフローティングゲート MOS キャパシタの電子注入特性(a)および電子放出特性(b).

ズマ(60MHz-ICP, 260mTorr, 400W)処理を施すことで Ni シリサイドドットを形成した. その後, HF 処理による表面自然酸化膜除去と, HCl 処理による未反応 Ni 除去を行った. 引き続き, リモートプラズマ CVD によりコントロール SiO₂膜(~22nm)形成後, Al ゲート電極(直径 1mm)を形成した.

(a) 電子注入・放出特性

ハイブリッドドットフローティングゲート MOS キャパシタの高周波容量-電圧(C-V)特性を図 3(a)に示す. 電子注入(放出)による正(負)のフラットバンド電圧シフト(ΔV_{FB})が明瞭に観測できる. ここで NiSi ドット内の電子数がドット当たり 1 個変化した場合の ΔV_{FB} は約 1.1V と見積もられ, 多数電荷が注入保持されていることが分かる. 掃引速度 0.1V/s および 2V/s で測定した C-V 特性から得られた ΔV_{FB} を最大印加ゲート電圧 $|V_g|$ の関数としてまとめた結果を図 3(b)に示す. 掃引速度 2V/s の場合, Si の伝導帯端と NiSi ドットのフェルミレベル差を反映して, 電子放出が起こるバイアスにすぎない値が観測される. 一方, 掃引速度を十分遅くした場合(0.1V/s), 注入電荷量が飽和しているため, 正負の最大印加ゲート電圧に対して $|\Delta V_{FB}|$ がほぼ等しくなっている. 次に, パルスゲートバイアス印加により電子注入・放出したときの ΔV_{FB} をパルスバイアス印加時間の関数としてまとめた結果を図 4 に示す. 正バイアスパルス印加による ΔV_{FB} の増加は(図 4(a)), ドットフローティングゲート中の電荷量の増加レートが, 段階的に減少することを示している. 同様に, 電子注入後の負バイアスパルス印加においては, 放出レートが段階的に減少する(図 4(b)). これらの結果は, Si 量子ドットに比べて深い閉じ込めポテンシャルを持つ NiSi ドット内の電子数の変化が Si 量子ドットの離散化したエネルギー状態で制限されることに起因していると解釈できる.

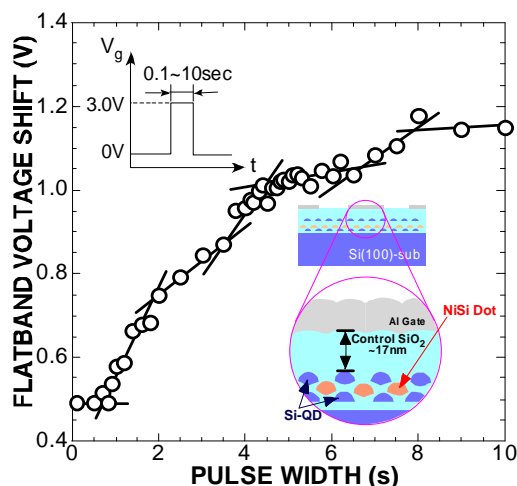


図 5 ハイブリッド FG-MOS キャパシタの電子注入特性.

3. Si量子ドット/NiSiドット/Si量子ドットハイブリッドFG-MOSキャパシタにおける電子注入特性

n-Si(100)基板に, 膜厚 3.4nm のトンネル SiO₂ 膜を熱酸化により形成し, 表面を希釈 HF(0.1%)処理により反応活性な OH 終端にした後, SiH₄ ガスの減圧 CVD(575°C, 0.2Torr)により Si 量子ドットを自己組織化形成した(平均ドット高さ:6nm, 面密度: $3.5 \times 10^{11} \text{cm}^{-2}$). その後 850°C 熱酸化を行うことで, ドット表面を酸化し(膜厚~1nmまたは~3nm), 同様に2層目のドット形成を行った. 2層目の Si 量子ドット表面を希釈 HF 処理により水素終端後, EB 蒸着により厚さ~1.8nm の Ni 膜を形成し, 熱処理(300°C)または室温で純 H₂ ガスの RP 処理(60MHz-ICP, 260mTorr, 400W)を施すことで Ni シリサイドドットを形成した. その後, HF 処理による表面自然酸化膜除去と, HCl 処理による未反応 Ni 除去を行った. その後, RP-CVD により SiO₂ 膜(~2nm)形成後, 再度 OH 終端し Si 量子ドットを形成した. 引き続き, RP-CVD によりコントロール SiO₂ 膜(~22nm)形成した.

ハイブリッドドット FG-MOS キャパシタの高周波容量-電圧(C-V)特性においても, Si 量子ドット/NiSi ドットスタック構造と同様に, 多数電子注入(放出)による正(負)のフラットバンド電圧シフト(ΔV_{FB})を室温で明瞭に観測できた. パルスゲートバイアス印加により電子注入・放出したときの ΔV_{FB} をパルスバイアス印加時間の関数としてまとめた結果(図 5), 正バイアスパルス印加による ΔV_{FB} の増加は, ドット FG 中の電荷量の増加レートが, 段階的に変化することを示している. これは, ドット FG 層間の電荷移動に伴う内部電界変化や Si 量子ドットの離散化したエネルギー状態が Si 量子ドットに比べて深い閉じ込めポテンシャルを持つ NiSi ドットへの電子注入に反映された結果であると解釈できる.

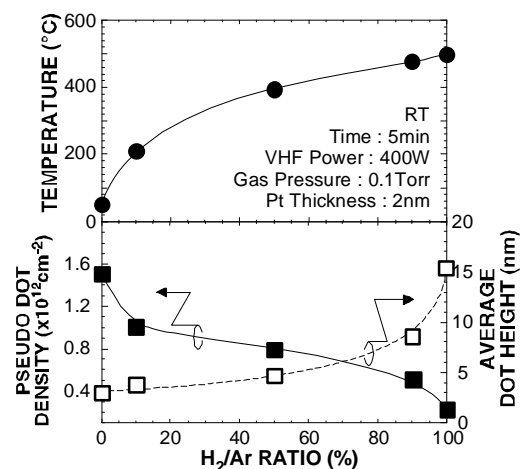


図 6 表面温度および Pt ドット面密度・平均ドット高さの RP 処理時の H₂ 濃度依存性.

4. リモート水素プラズマ支援による金属ナノドット形成メカニズム

極薄金属薄膜へのRP処理による金属ナノドット形成において、ナノドット形成時の表面温度を測定することで、その形成メカニズムを解明した。具体的には、SiO₂膜(厚さ3.6nm)上にスパッタ堆積したPt薄膜(膜厚:~2.0nm)に、外部加熱なしで、Ar, H₂ガスおよびそれらの混合ガスのリモートプラズマ処理(60MHz-ICP: 400W, 0.1Torr, 5min)を施し形成したPtドットのサイズと、Pt箔で覆った熱電対を用いて計測したRP処理時の表面温度との比較(図6)から、RP支援によるPtナノドットの形成は、Pt表面における原子状水素の再結合に起因した局所加熱によるPt原子の凝集であることが分かった。また、同一RP処理条件(350W, 0.26Torr, 2min)において、種々の金属表面における上昇温度が異なることから(表面温度Pt: ~340°C, Ni: ~360°C, Pd: ~305°C, Al: ~80°C)、原子状水素の金属表面での再結合で生じた熱エネルギーによって金属原子の表面マイグレーションおよび凝集が促進されると示唆される。

5. ハイブリッドFG-MOSキャパシタ

(a) Si-QDs/NiSi-NDsハイブリッドFG-MOS構造における光誘起電荷移動

p-Si(100)基板に、膜厚 4.8nm のトンネルSiO₂膜を熱酸化により形成し、表面を希釈HF(0.1%)処理により反応活性なOH終端にした後、SiH₄ガスの減圧CVD(575°C, 0.2Torr)によりSi量子ドット(Si-QDs)を自己組織化形成した(平均ドット高さ:6nm, 面密度:3.5×10¹¹cm⁻²)。その後、850°C熱酸化を行うことで、ドット表面を酸化し(膜厚~3nm)、同様に2層目のドット形成を行った。2層目のSi-QDs表面を希釈HF処理により水素終端後、EB蒸着により厚さ~3nmのNi膜を形成し、室温で純H₂ガスのリモートプラズマ(RP)処理(60MHz-ICP, 260mTorr, 400W)を施すことでNiシリサイドドット(NiSi-NDs)を形成した。NiSi-NDs上にRP-CVDによりSiO₂膜(3nm)を形成後、3層目のSi-QDsを1層目と

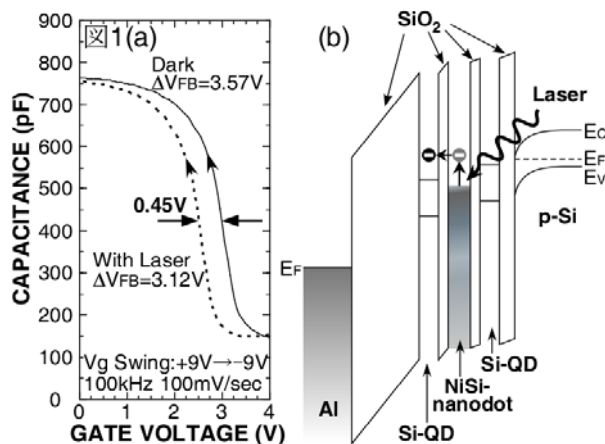


図7 暗状態および光照射下で測定した高周波容量-電圧(C-V)特性(a)およびエネルギーバンド図(b)

同様に形成した。引き続き、RP-CVDによりコントロールSiO₂膜(21nm)を堆積した。最後に、Alゲート電極(直径1mm)を形成した。光照射は、Si-QDsとSi基板での電子・正孔対の生成を避けるため波長1310nmの赤外レーザーを用いて、Si基板裏面側から行った。

暗状態および光照射下で測定した高周波容量-電圧(C-V)特性を図7(a)に示す。暗状態においてゲート電圧を+9Vから負バイアス方向へ掃引したとき、フラットバンド電圧(V_{FB})が理想C-V特性から3.57Vシフトしていることから、ハイブリッドFG中へは電子が注入・保持されていることが分かる。NiSi-NDのフェルミ準位がSi-QDのバンドギャップのほぼ中央に位置することを考慮すると、注入電子はNiSi-ND中に保持されていると考えられる。一方、光照射下においては、V_{FB}が暗状態に比べて0.45V減少した。これは、正ゲート電圧とNiSi-NDsに保持されている電荷により生じる電界によりNiSi-NDs内で光励起された電子が3層目のSi-QDsに移動することで電荷中心がゲート電極側へシフトした結果として理解できる(図7(b))。

(b) NiSi-NDs/Si-QDsハイブリッドFG-MOSキャパシタにおける電荷注入特性

上述1.1と同様な条件で、厚さ~3.4nmのSiO₂膜/n-Si(100)上にNiSiドット/Si量子ドット積層ハイブリッドFGを形成した。引き続き、RP-CVDによりコントロールSiO₂膜(約22nm)を形成した。最後に、Alゲート電極(直径1mm)を形成した。

負のパルスバイアス印加により正孔注入した時のフラットバンド電圧シフト(ΔV_{FB})をパルスバイアス印加時間の関数としてまとめた結果を図8(a)に示す。ΔV_{FB}の減少は、FGの正帯電量の増加レートが、段階的に減少することを示している。また、ゲートバイアス-2V印加してFGに正孔を注入後、正バイアスパルス印加した場合には、n-Si基板からの電子注入によりFGの正帯電量が段階的に減少する(図8(b))。これらの結果は、Si-QDsに比べ、深い閉じ込めポテンシャルを持つNiSi-NDsの正帯電量の変化が、Si-QDsの離散化したエネルギー状態で制限されることに起因していると解釈できる。

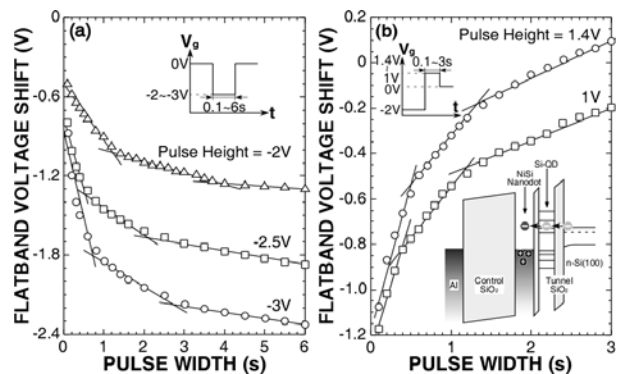


図8 負パルス電圧印加(a)および正帯電後に正パルス電圧印加(b)したときのフラットバンド電圧シフトのパルス電圧印加時間依存性

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計 25 件)(以下 4 件全て査読有)

- [1] A. Kawanami, K. Makihara, M. Ikeda and S. Miyazaki, "Formation of Cobalt and Cobalt-silicide Nanodots on Ultrathin SiO₂ Induced by Remote Hydrogen Plasma", Jpn. J. Appl. Phys.2010, In Press
- [2] K. Makihara, K. Shimanoe, M. Ikeda, A. Ohta, S. Higashi and S. Miyazaki, "Electronic Charged States of Pt-silicide Nanodots as Evaluated by Using an AFM/Kelvin Probe Technique", Trans. of MRS-J., Vol. 34, No. 2, 2009, pp. 309-312.
- [3] S. Miyazaki, M. Ikeda, K. Makihara, K. Shimanoe and R. Matsumoto, "Formation of Metal Silicide Nanodots on Ultrathin SiO₂ for Floating Gate Application", Solid State Phenomena Vol. 154, 2009, pp. 95-100.
- [4] K. Shimanoe, K. Makihara, M. Ikeda, R. Matsumoto, S. Higashi and S. Miyazaki, "Formation of Pd Nanodots Induced by Remote Hydrogen Plasma Treatment and Its Application to Floating Gate MOS Memories", IEICE Trans. on Electronics, Vol. E92-C, No. 5, 2009, pp. 616-619.

他21 件

[学会発表](計 87 件)(国際 52 件、国内 35 件)

- [1] S. Miyazaki, N. Morisawa, S. Nakanishi, A. Kawanami, M. Ikeda and K. Makihara, "Charge Storage and Optical Response of Hybrid Nanodots Floating Gate For Functional Memories", 2009 MRS Fall Meeting, O12.5, (Boston, MA, USA, Nov. 30-Dec.4.2009).
- [2] 宮崎誠一, (招待講演),「プラズマによる薄膜形成技術」, 第 20 回プラズマエレクトロニクス講習会「プラズマプロセスの基礎と応用」-低圧・大気圧実用プロセスから先端薄膜・バイオ応用-, (於 慶応義塾大学 日吉キャンパス 来往舎), pp. 37- 47, 2009 年 10 月 29 日-30 日.
- [3] N. Morisawa, M. Ikeda, S. Nakanishi, A. Kawanami, K. Makihara and S. Miyazaki, "Light Induced Carrier Transfer in NiSi-Nanodots/Si-Quantum-Dots Hybrid FG in MOS Structure", 2009 International Conference on Solid State Devices and Materials (SSDM), pp.276-277, (Sendai, Oct.6-9. 2009).
- [4] 宮崎誠一, (招待講演),「メタル/高誘電率絶縁膜ゲートスタックにおける内部電位評価-メタルゲート仕事関数変化の起源」, 2009 年秋季 第 70 回応用物理学学術講演会, (於 富山大学), 9a-TC-5, 2009 年 9 月 8 日-11 日.
- [5] 森澤直也、池田弥央、中西翔、川浪彰、牧原克典、東清一郎、宮崎誠一, 「Si量子ドット/NiSiナノドットハイブリッド積層FG-MOS構造における光誘起電荷移動」, 第 70 回秋季応用物理学学会, (於 富山大学), 9a-TG-11, 2009 年 9 月 8 日-11 日
- [6] 中西 翔、池田弥央、森澤直也、牧原克典、川浪彰、東清一郎、宮崎誠一, 「NiSiナノド

ット/Si量子ドット積層ハイブリッドフローティングゲートにおける電荷注入・放出特性」, 第 70 回秋季応用物理学学会, (於 富山大学), 9a-TA-8, 2009 年 9 月 8 日-11 日

- [7] A. Kawanami, K. Makihara, M. Ikeda and S. Miyazaki, "Formation of Cobalt and Cobalt-silicide Nanodots on Ultrathin SiO₂ Induced by Remote Hydrogen Plasma", International Symposium on Dry Process (DPS2009), pp. 251-252, (Busan, Korea, Sep.6-9.2009).
- [8] K. Makihara, M. Ikeda, A. Kawanami and S. Miyazaki, "Random Telegraph Signals in Two-Dimensional Array of Si Quantum Dots", 2009 Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices (AWAD2009), 3A-6, (Busan, Korea, June24-26. 2009).

他国際会議 48 件、国内 31 件

[図書](計 5 件)

- [1] 「実用薄膜プロセス-機能創製・応用展開-」, 宮崎誠一, 技術教育出版社(第 1 編「創製技術」第 5 章「CVD」pp. 68-90) 2009
- [2] 「熱プラズマによるアモルファスシリコンの結晶化:講座 熱流を伴う反応性プラズマを用いた材料合成プロセス 3. 結晶化・相変化制御への応用」, 東清一郎、宮崎誠一、プラズマ・核融合学会誌(Vol. 85, No. 3, pp. 119-123).2009

他 3 件

[産業財産権]

○出願状況(計 6 件)

名称:半導体メモリ、それを用いた半導体メモリシステム、および半導体メモリに用いられる量子ドット製造方法

発明者:牧原克典、宮崎誠一、東清一郎

権利者:広島大学

種類:PCT

番号:PCT/JP2008/000740、

出願年月日:2008 年 3 月 1 日

国内外の別:国外

他 5 件

[その他]

ホームページ等:

<http://home.hiroshima-u.ac.jp>

6. 研究組織

(1)研究代表者

宮崎 誠一(MIYAZAKI SEIICHI)

広島大学・大学院先端物質科学研究科・教授
研究者番号:70190759

(2)研究分担者

東 清一郎(HIGASHI SEIICHIRO)

広島大学・大学院先端物質科学研究科・准教授

研究者番号:30363047

村上 秀樹(MURAKAMI HIDEKI)

広島大学・大学院先端物質科学研究科・助教
研究者番号:70314739

(3)連携研究者 なし