

平成 22 年 5 月 1 日現在

研究種目： 特定領域研究  
 研究期間： 2006 ～ 2009  
 課題番号： 18080008  
 研究課題名（和文） 局在電磁波配線を用いた単一磁束量子論理回路の設計および設計支援に関する研究  
 研究課題名（英文） Studies on Logic Design and Design Automation of Single-Flux-Quantum Circuits based on Localized Electromagnetic Waves  
 研究代表者  
 高木 一義 (Kazuyoshi Takagi)  
 名古屋大学・大学院情報科学研究科・准教授  
 研究者番号： 70273844

## 研究成果の概要（和文）：

単一磁束量子デバイスによる実現に適した論理回路構成法を検討し、回路設計フローとそのために必要な設計支援に関する研究を行ない、以下の成果を得た。

- (1) 乗算および開平のための回路アルゴリズムの設計を行なった。
- (2) クロック同期式順序回路の合成のための一手法を提案した。
- (3) クロック信号の配信のための、クロックスケジューリングアルゴリズムを提案した。
- (4) レイアウトを考慮したクロック木構成法を開発した。
- (5) パイプライン動作の検証手法を開発した。

## 研究成果の概要（英文）：

We have investigated logic circuit architecture using single-flux-quantum devices and developed circuit design flow and design automation algorithms specific for the devices. The following results are obtained.

- (1) Circuit algorithms for multiplication and square-root
- (2) A synthesis method for synchronous sequential circuits
- (3) A clock scheduling algorithm used for clock distribution
- (4) A method of layout-driven clock tree synthesis
- (5) A verification method for pipeline processing behavior

## 交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2006 年度	3,100,000	0	3,100,000
2007 年度	3,400,000	0	3,400,000
2008 年度	3,700,000	0	3,700,000
2009 年度	2,000,000	0	2,000,000
年度			
総計	12,200,000	0	12,200,000

研究分野：計算機科学

科研費の分科・細目：

キーワード：単一磁束量子回路、局在電磁波配線、論理設計支援、クロック配信、タイミング検証

### 1. 研究開発当初の背景

単一磁束量子デバイスを用いた論理回路は、パルスの有無で論理を表現すること、また、スイッチングが非常に高速であることから、その性能を引き出すためには、従来の半導体集積回路とは異なるアーキテクチャに基づく論理設計が必要となる。また、現在の回路設計手順では人手による作業が多く、今後実現可能となる大規模回路の正確かつ迅速な設計のためには、計算機による回路設計支援が不可欠である。

### 2. 研究の目的

本研究は、新たに確立されつつある電磁波配線技術を前提とし、本デバイスに適したデータ伝送・処理の方式、および、回路設計手法を示すことを目的とする。

提案方式による論理設計およびレイアウト設計を行ないその有用性を実証する。また、従来人手で行なってきた設計のノウハウを統合し、論理設計およびレイアウト設計の支援と設計自動化の手法を確立することを目指す。

### 3. 研究の方法

単一磁束量子回路のスイッチング速度は極めて高速であるが、従来の回路設計ではジョセフソン接合を用いた能動配線によるタイミング調整を随所で行っており、特長を十分生かすことができていないと考えられる。

局在電磁波配線を積極的に用いてタイミング調整を最小限に抑えることができれば、より高速、小面積の回路を実現できる可能性があるが、そのためには新しい設計手法および設計支援系が必要である。

この考え方に基づき、これまでに、単一磁束量子論理回路のための種々の算術演算アルゴリズムや回路構成法を提案し、また、設計支援のためのアルゴリズムを開発してきた。次章では、個々の研究成果について述べる。

### 4. 研究成果

#### (1) 乗算および開平のための回路アルゴリズム

単一磁束量子デバイスでの実現に適する回路アルゴリズムを提案した。

高性能な計算機構の実現には、優れた演算アルゴリズムの開発が必要である。単一磁束量子デバイスによる高スループット演算回路の実現には、同一のプロセッシングエレメントを多数並べ、隣接するプロセッシングエレメント間で通信して計算を進める、シストリックアーキテクチャが適しているという見通しを得た。

乗算および開平について、計算手順を詳細に設計し、回路の性能と規模の評価を行った。

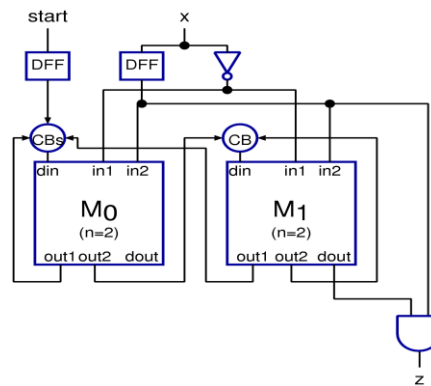
#### (2) クロック同期式順序回路の合成

単一磁束量子デバイスを用いたクロック同期式論理回路では、すべての論理ゲートがクロックパルスによって駆動される点が半導体と異なるため、高スループット性を引き出すための構成法が必要となる。

提案手法では、いくつかの基本ゲートから構成される「状態モジュール」を用いて、状態を one-hot 状態割り当てでエンコードし、状態モジュール間を接続する。

状態モジュール間の接続にクロックを必要としない合流ゲートを用いるため、フィードバックループからクロックが必要なゲートが排除され、高スループットな順序回路が構成される。本手法で構成される回路の構造を下図に示す。

ベンチマーク回路を用いて実験を行ない、



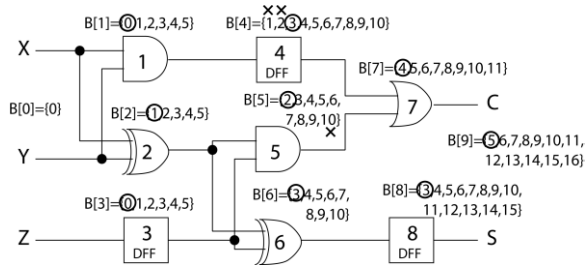
本手法の有用性を示した。

#### (3) クロックスケジューリングアルゴリズム

人手での設計は困難であり、かつ、方式の工夫により高速化が見込まれる点である、クロック信号の配信方式について、アルゴリズムを提案し評価した。

提案アルゴリズムは、与えられたコンカレントフロー・クロッキング回路に対し、クロックスケジューリングを行う。全てのゲートについて、許容されるクロック入力タイミングのリストを求め、ゲートの接続関係から不適切な値が見つければ、これを排除して周辺のゲートのクロック入力タイミングリストを更新する。この操作を繰り返し、値が収束するまでバックトラックによる探索を行う。アルゴリズムの適用例を下図に示す。各ゲートの上に書かれた  $B[I]$  がクロック入力タイミングリストであり、丸で囲まれた値が最終的に選択されるタイミングである。

計算機上の実験で、提案手法を用いることによって、従来法に比べクロック周波数が高い回路が設計できることを示した。



#### (4) レイアウトを考慮したクロック木構成法

クロックスケジューリングを実現する、レイアウトを考慮したクロック木構成法を開発した。

同期回路が正しく動作するためには、次の2つのタイミング制約を満たす必要がある。

- 零クロック制約

クロックゲートにクロックが入力され、データが到着する前に次のクロックが入力されてはならない。

- 二重クロック制約

クロックゲートにデータが入力され、次のクロックが入力される前に次のデータが入力されてはならない。

コンカレントフロー方式の回路がタイミング制約を満たすためには、タイミング違反領域にかからないように、クロック入力時刻やデータ入力時刻を調整する必要がある。

提案手法の目的は、入力された回路のネットリストから、回路が正常に動作する、すなわち、各ゲートでタイミング制約が満たされるようなクロック木を合成し、また、そのときの概略配置を得ることである。提案手法では配線は全てPTLを用いる。また、タイミング調整を行うため、JTLを遅延素子として用いる。分岐は全て分岐素子SPLにより行う。

入力はクロック木を含まないネットリストと目標クロック周期であり、出力はクロック木を含むネットリストとネットリスト中の各論理ゲートの概略配置である。出力ネットリストは、配線がすべてPTLで行われ、論理ゲートが概略配置に従って配置された場合に目標クロック周期で正常動作するものとする。

提案手法では、入力ネットリスト中のクロックゲートをレベル分けし、レベルごとに処理を行う。レベルは、各ゲートの外部入力からのクロックゲートの段数とする。クロック木はこのレベルごとに構成する。あるレベルのクロック木は前のレベルの1点から分岐するようにする。クロック木を構成する際のタイミング調整はスプリッタの段数を基にしたクロックスケジューリングを用いて行う。同じレベルのゲートは縦一列に並べて配置する。また、ゲートの横の並びはレベルに従って決まる。配線遅延はマンハッタン長に比例するとする。

提案手法の流れは次のとおりである。まず、クロックゲートをレベル分けした後、レベルごとに、各ゲートのスケジュール設定、ゲートの並べ替え、クロック木合成を順に行う。最終レベルまで処理を行ったら、結果を出力する。

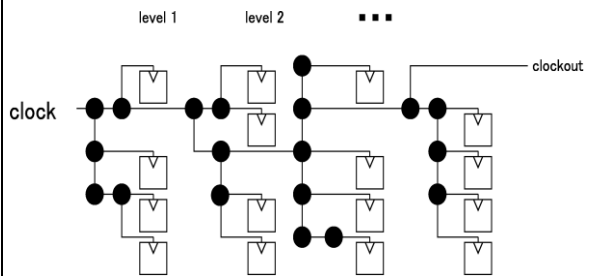
クロックスケジューリングの設定は、データ入力時刻を基に行う。この時点で前のレベルのクロック木は構成済みであり、ゲートの位置も決まっている。従って、データ入力時刻は、ゲートの配置する位置が決まれば一意に定まる。スケジュールは、データ入力時刻に対し、クロック入力時刻がタイミング制約に違反しないように、ゲートまでのスプリッタ数を求める。この際、適宜クロック配線にJTLを挿入しタイミングの微調整を行う。

この後ゲートの並べ替えを行うが、クロックスケジューリングはゲートの配置位置に依存するため、あらかじめ配置可能な位置すべてに対し、スケジュールを求める。

ゲートの並べ替えでは、タイミング調整に必要な素子数が少なくなるような並び順を求める。並び順の個数は膨大であるため、ゲートをブロックに分け、ブロックごとに最適解を求め、ブロック間でゲートを交換する手順を数回繰り返す、近似解法をとる。

クロック木の合成は、並べ替えで得られた並び順ごとに、端からスケジュールを満たすようにゲートとクロック木をつなぐことで行う。この際、挿入するスプリッタが最小になるように接続先スプリッタを選べば、全体としても遅延素子数が最小になることが示せる。

下図にクロック木構成の例を示す。



提案手法により、タイミング調整されたクロック木を構成することができ、単純な並べ替えを行った場合と比べ、平均33%少ない遅延素子数でクロック木を構成することができた。

開発したクロック木構成法は、特に人手では設計困難な大規模回路に対して有効である。

#### (5) パイプラインタイミングの検証手法

設計された回路がタイミング制約を満たし、かつ、設計者の意図する論理を実現する

ことを保証する、パイプライン動作の検証手法を提案した。

単一磁束量子回路は論理ゲート1段毎のパイプライン構造をとることで動作するため、動作タイミングの制約条件が複雑である。従って、タイミングの正しさを人手で確認することは困難であり、シミュレーションによる検証では全ての動作条件を網羅できない。このため、設計者が意図する回路の動作を記述し、設計された回路がそれを正しく実現していることを検証する手法を提案した。

提案手法では、パイプライン動作の検証を以下の二つのフェーズに分けて行う。

i) パイプラインのタイミング解析

1 クロック毎にデータパルスがクロックゲートを1段進むパイプライン動作となっていることを検証する。

まず、設計された回路のレイアウト、ネットリストから、回路の各ゲートにデータパルス、クロックパルスが到達する時刻を計算する。

各ゲートにおけるクロックパルスの到着時刻は一般に異なるため、クロックパルスの遅延時間とデータパルスの遅延時間の両方を評価し、各ゲートでのパルスの到着時刻の相対的な時間が、セットアップおよびホールド制約を満たすことを確認する。

ii) パイプライン処理の動作検証

設計者から与えられる仕様と設計された回路のレイアウトとを比較し、回路が設計者の意図するパイプライン動作を行うことを検証する。

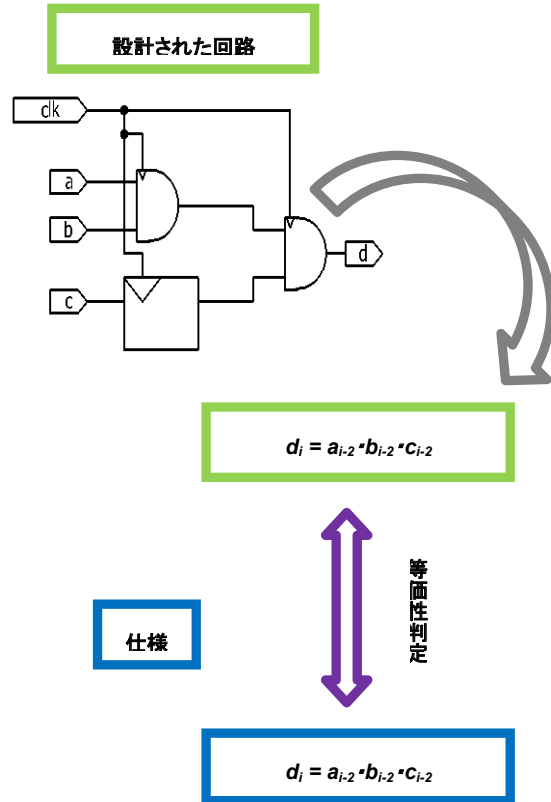
仕様は、通常の論理式の各変数に時刻の情報を付加した、時刻付き論理式として与えられる。設計された回路のレイアウトとネットリストからその回路の実現する動作を表す時刻付き論理式を抽出する。その論理式と仕様として与えられる時刻付き論理式の等価性を判定することにより、検証を行う。

与えられた回路に対して、出力ピンから入力ピンへ回路内のゲートを一つずつ辿ることにより、その回路の実現する論理を順に抽出する。この際、論理式に時刻情報を付加するため、クロックゲートを通るたびに時刻を一つ遡る。これにより、出力が何時刻前の入力によって、どのように計算されるかを表す時刻付き論理式を得る。回路はクロックゲートをいくつか含む有向経路であるフィードバックループを含むことがある。抽出アルゴリズムでは、フィードバックループを検出した際には、フィードバックループ上のカットポイントの論理値を表す内部変数を置き、この内部変数に関する新たな時刻付き論理式を生成する。

抽出された論理式と仕様として与えられ

る論理式の等価性判定では、両論理式を必要分時間展開し、初期条件を与えることにより行う。ここで、有限時刻分だけ展開し等価性を証明すれば、帰納法により全ての時刻において等価となるという性質を利用する。

提案手法を実際の回路に適用し、単一磁束量子回路特有の設計ミスや違反を検出することが出来ることを確かめた。提案手法により、単一磁束量子回路のパイプライン動作の



網羅的な検証が高速にできるようになるため、大規模回路の設計に有用である。

(6) 研究成果のまとめ

単一磁束量子デバイスを用いて論理回路を構成するための効率のよい方式を開発し、また、設計支援における問題点を明らかにし解法を提案した。これらの成果は今後の単一磁束量子論理回路の開発に有用と考えられる。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 2 件)

1. Koji Obata, Kazuyoshi Takagi, Naofumi Takagi, "A Clock Scheduling Algorithm for High-Throughput RSFQ Digital Circuits," IEICE Trans. Fundamentals, 査読有, Vol. E91-A, 2008, pp. 3772-3782.

2. Koji Obata, Kazuyoshi Takagi, Naofumi Takagi, "A Method of Sequential Circuit Synthesis using One-hot Encoding for Single-Flux-Quantum Digital Circuits," IEICE Trans. Electron., 査読有, Vol. E90-C, 2007, pp. 2278-2284.

[学会発表] (計 11 件)

1. Kazuyoshi Takagi, Shota Takeshima, Motoki Sato, Masamitsu Tanaka, Naofumi Takagi, "Timing Optimization Methods for Superconducting SFQ Circuits," Superconducting SFQ VLSI Workshop (SSV 2010), 2010年1月12日, Yokohama National University.

2. Motoki Sato, Masamitsu Tanaka, Kazuyoshi Takagi, Naofumi Takagi, "A Verification Method for Pipeline Processing Behavior of Single-Flux-Quantum Circuits by Equivalence Checking of Timed Logic Formulae," Superconducting SFQ VLSI Workshop (SSV 2010), 2010年1月12日, Yokohama National University.

3. 佐藤元紀、田中雅光、高木一義、高木直史、"パイプライン動作を考慮した単一磁束量子回路のための論理設計検証手法"、電子情報通信学会SCE研究会、2009年10月20日、東京都。

4. 佐藤元紀、田中雅光、高木一義、高木直史、"単一磁束量子回路のためのパイプライン検証手法"、2009年電子情報通信学会エレクトロニクスソサイエティ大会、2009年9月18日、新潟市。

5. Kazuyoshi Takagi, Yuki Ito, Masamitsu Tanaka, Naofumi Takagi, "A Method for Layout-Driven Skewed Clock Tree Synthesis for SFQ Circuits," Superconducting SFQ VLSI Workshop (SSV 2009), 2009年6月15日, 福岡市。

6. Motoki Sato, Masamitsu Tanaka, Kazuyoshi Takagi, Naofumi Takagi, "Verification Method of Pipeline Processing Behavior of SFQ Circuits," Superconducting SFQ VLSI Workshop (SSV 2009), 2009年6月15日, 福岡市。

7. 伊藤祐喜、高木一義、高木直史、"SFQ回路のためのレイアウトを考慮したスキューのあるクロック木の構成法"、電子情報通信学会総合大会、2009年3月20日、愛媛大学。

8. 竹島将太、田中雅光、高木一義、高木直史、"多層配線単一磁束量子回路のための自動配線手法"、電子情報通信学会超伝導エレクトロニクス研究会、2008年10月30日、産業技術総合研究所。

9. Kazuyoshi Takagi, Naofumi Takagi, Masamitsu Tanaka, Koji Obata, Yuki Ito, "Computer-Aided Design of Superconducting SFQ Digital Circuits," Superconducting SFQ VLSI Workshop (SSV 2008), 2008年3月17日, Yokohama National University.

10. 小畑幸嗣、古田卓也、高木一義、高木直史、"シストリックアーキテクチャに基づく高スループットSFQビットシリアル浮動小数点乗算器"、電子情報通信学会エレクトロニクスソサイエティ大会、2007年9月11日、鳥取市。

11. 田中雅光、小畑幸嗣、高木一義、高木直史、"単一磁束量子回路による冗長2進表現を用いたシストリック開平器の設計"、電子情報通信学会エレクトロニクスソサイエティ大会、2007年9月11日、鳥取大学。

[図書] (計 0 件)

[産業財産権]

○出願状況 (計 0 件)

○取得状況 (計 0 件)

[その他]

6. 研究組織

(1) 研究代表者

高木 一義 (Kazuyoshi Takagi)

名古屋大学・大学院情報科学研究科・准教授

研究者番号：70273844

(2) 研究分担者

高木 直史 (Naofumi Takagi)

名古屋大学・大学院情報科学研究科・教授

研究者番号：10171422

(3) 連携研究者