

平成 21 年 6 月 10 日現在

研究種目：若手研究 (B)
 研究期間：2006 ～ 2008
 課題番号：18700046
 研究課題名 (和文)
 マルチクロックドメイン・システムオンチップのテスト容易化設計に関する研究
 研究課題名 (英文)
 Research on Design for Testability for Multi-Clock Domain SoCs
 研究代表者
 米田 友和 (YONEDA TOMOKAZU)
 奈良先端科学技術大学院大学・情報科学研究科・助教
 研究者番号：20359871

研究成果の概要：プロセッサコア、機能コア、メモリアコアなどのコア毎に異なるクロック周波数で動作するマルチクロックドメイン・システムオンチップに対するテスト容易化設計に関する研究を行った。その結果、高品質かつ高速テストを実現するための課題を明確化し、その課題を解決するテストアーキテクチャおよびテストスケジューリング手法の確立を行った。

交付額

(金額単位：円)

	直接経費	間接経費	合計
2006 年度	2,200,000	0	2,200,000
2007 年度	700,000	0	700,000
2008 年度	700,000	210,000	910,000
年度			
年度			
総計	3,600,000	210,000	3,810,000

研究分野：総合領域

科研費の分科・細目：情報学・計算機システム・ネットワーク

キーワード：設計自動化、テスト容易化設計、テストアーキテクチャ、テストスケジューリング、システムオンチップ、マルチクロックドメイン

1. 研究開始当初の背景

通信やデジタル信号処理などに用いられるシステムオンチップ (SoC) は、それを構成するプロセッサコア、機能コア、メモリアコアなどのコア毎に異なるクロック周波数で動作するマルチクロックドメイン SoC が主流である。さらに、マルチクロックドメイン SoC 内に分散するコアにおいても、複数のクロック周波数で動作するマルチクロックドメインコアが数多く存在する。このような状況下において、マルチクロックドメイン SoC

を対象としたテストに関する研究はほとんど行われていないという状況であった。

しかしながら、マルチクロックドメイン SoC に対する高品質かつ高速テストを可能とするテスト容易化設計技術の研究開発は非常に重要な課題であり、本研究課題を着想するに至った。

2. 研究の目的

本研究の目的は、マルチクロックドメイン SoC に対して、高品質かつ高速テストを可能

とするための以下の三つの手法の確立が目的であった。

(1) マルチクロックドメインコアのテスト手法の確立

(2) コア間のデータ転送に関するテスト手法の確立

(3) (1)、(2)を統合した目的関数に基づくシステム全体のテストの最適化手法の確立

各項目に対し、現在の状況における問題点を明確にし、各問題点を解決する高品質かつ高速テストを可能とするテストアーキテクチャ、テスト容易化設計法、テストスケジューリング手法の確立を目指した。また、提案する手法の有効性を評価実験により示すことを目指した。

3. 研究の方法

(1) マルチクロックドメインコアのテスト手法の確立

高品質テストを実現するための条件として低消費電力と実動作速度遅延テストを採用し、実動作速度遅延テストが実現可能なテストアーキテクチャの開発を試みた。また、コアのテスト容易化設計として **IEEE std. 1500** という標準化が存在するので、その標準化に準拠することも目的とした。

ゲーティッドクロックの技術を用いることで低消費電力制約下でも柔軟なテストスケジューリングが可能ということが判明したので、ゲーティッドクロックを用いたテストアーキテクチャおよびテストスケジューリングの開発を行った。また、開発したアーキテクチャおよびテストスケジューリング手法の有効性をベンチマーク回路に対する実験で評価した。

(2) コア間のデータ転送に関するテスト手法の確立

システムオンチップのコア間のデータ転送方式をシステムバス方式とネットワークオンチップ方式に分類し、それぞれの方式に基づいたテスト手法の確立を試みた。システムバス方式は、現在主流のデータ転送方式であり数多くの製品で使用されている。ネットワークオンチップ方式は、今後の普及が期待されている新しいデータ転送方式である。

上記の二つの方式に共通の特徴として、コア間のデータ転送基盤が充実しているという点が挙げられる。そこで本研究では、システムに既存のデータ転送基盤およびデータ

転送帯域幅を最大限に利用することで、テスト容易化設計に伴う面積オーバーヘッドの削減を試みた。

高速テストを可能とするためには、時分割多重化データ転送を用いることが効果的と判明したので、時分割多重化データ転送を可能とするテストアーキテクチャおよびテストスケジューリング手法の開発を行った。また、開発した手法の有効性をベンチマーク回路に対する実験で評価した。

(3) (1)、(2)を統合した目的関数に基づくシステム全体のテストの最適化手法の確立

システム全体のテストの最適化目標は、製品や設計者によって異なるのが一般である。そこで、本研究では、目的に応じた最適化が可能な手法の開発を試みた。

最適化を考慮する要素を、テスト容易化設計に伴う面積オーバーヘッド、テスト実行時間、テスト時の消費電力、テスト時の発熱量、テスト時に使用する外部ピン数として最適化手法の開発を進めた。開発した手法の評価をベンチマーク回路を用いた実験により行った。

4. 研究成果

(1) マルチクロックドメインコアのテスト手法の確立

マルチクロックドメインコアに対するテスト手法として、**IEEE std. 1500** に準拠したラッパー設計法を提案した。提案手法はゲーティッドクロックを用いたアーキテクチャを採用しており、従来手法に比べ低消費電力かつ短いテスト時間で高品質遅延テストの実現が可能である。本成果は、**VLSI** テストに関する国際会議である「**IEEE VLSI Test Symposium**」等で発表した。

(2) コア間のデータ転送に関するテスト手法の確立

コア間のデータ転送に関するテスト手法として、システムバスおよびネットワークオンチップに基づく二つの異なる **SoC** を対象とし、高品質かつ高速テストを実現するテストアーキテクチャおよびテストスケジューリング手法を提案した。提案手法は、既存のデータ転送基盤を最大限に利用したアーキテクチャを採用しており、少ない面積オーバーヘッドでの実現が可能である。また、テストデータ転送においては、時分割多重化手法を採用しており、既存のデータ転送帯域を効率

的に使用することでテスト実行時間の削減を達成している。本成果は、VLSI 設計自動化に関する国際会議である「IEEE International Conference on Computer Design」や「Asia and South Pacific Design Automation Conference」等で発表した。

(3) (1)、(2)を統合した目的関数に基づくシステム全体のテストの最適化手法の確立

テスト容易化設計による面積オーバーヘッド、システムのテスト実行時間、消費電力量および発熱量を考慮したシステム全体のテスト最適化手法も提案した。これにより、テスト設計者のトレードオフ目的に応じた柔軟な最適化設計が可能となる。本成果は、VLSI テストに関する国際会議である「IEEE Asian Test Symposium」等で発表した。

今後は、コアとして非同期回路やアナログ回路を含む複雑なシステムオンチップやコア間のデータ転送方式として非同期ネットワークオンチップに基づくシステムオンチップを対象とし、そのテストにおける問題点およびその解決手法を明らかにしたい。また、集積度を高める新しい技術である3次元集積化されたシステムオンチップに対するテスト時の問題点およびその解決手法を明らかにしたい。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 6 件)

- ① Thomas Edison Yu, Tomokazu Yoneda, Krishnendu Chakrabarty and Hideo Fujiwara, "Thermal-Aware Test Access Mechanism and Wrapper Design Optimization for System-on-Chips," IEICE Transactions on Information and Systems, Vol. E91-D, No. 10, pp.2440-2448, Oct. 2008. 査読有
- ② Fawnizu Azmadi Hussin, Tomokazu Yoneda, and Hideo Fujiwara, "On NoC Bandwidth Sharing for the Optimization of Area Cost and Test Application Time," IEICE Transactions on Information and Systems, Vol. E91-D, No. 7, pp.1999-2007, July, 2008. 査読有
- ③ Fawnizu Azmadi Hussin, Tomokazu Yoneda, and Hideo Fujiwara, "NoC-compatible Wrapper Design and

Optimization Under Channel Bandwidth and Test Time Constraints," IEICE Transactions on Information and Systems, Vol. E91-D, No. 7, pp.2008-2017, July, 2008. 査読有

- ④ Tomokazu Yoneda, Kimihiko Masuda and Hideo Fujiwara, "Test Scheduling for Multi-Clock Domain SoCs under Power Constraint," IEICE Transactions on Information and Systems, Vol. E91-D, No. 3, pp.747-755, Mar. 2008. 査読有
- ⑤ Thomas Edison Yu, Tomokazu Yoneda, Danella Zhao and Hideo Fujiwara, "Effective Domain Partitioning for Multi-clock Domain IP Core Wrapper Design Under Power Constraints," IEICE Transactions on Information and Systems, Vol. E91-D, No. 3, pp.807-814, Mar. 2008. 査読有
- ⑥ Fawnizu Azmadi Hussin, Tomokazu Yoneda, Alex Orailoglu and Hideo Fujiwara, "Scheduling power-constrained tests through the soc functional bus," IEICE Transactions on Information and Systems, Vol. E91-D, No. 3, pp.736-746, Mar. 2008. 査読有

[学会発表] (計 21 件)

- ① Thomas Edison Yu, Tomokazu Yoneda, Krishnendu Chakrabarty and Hideo Fujiwara, "Test Infrastructure Design for Core-Based System-on-Chip Under Cycle-Accurate Thermal Constraints," 14th Asia and South Pacific Design Automation Conference (ASP-DAC2009), pp. 793-798, Jan. 2009. 査読有
- ② Tomokazu Yoneda and Hideo Fujiwara, "Wrapper and TAM co-optimization for reuse of soc functional interconnects," Design, Automation and Test in Europe (DATE'08), pp. 1366-1369, Mar. 2008. 査読有
- ③ Thomas Edison Yu, Tomokazu Yoneda, Krishnendu Chakrabarty and Hideo Fujiwara, "Thermal-safe test access mechanism and wrapper co-optimization for system-on-chip," IEEE 16th Asian Test Symposium (ATS'07), pp.187-192,

Oct. 2007. 査読有

- ④ Tomokazu Yoneda, Yusuke Fukuda and Hideo Fujiwara, "Test scheduling for memory cores with built-in self-repair," IEEE 16th Asian Test Symposium (ATS' 07), pp.199-204, Oct. 2007. 査読有
- ⑤ Fawnizu Azmadi Hussin, Tomokazu Yoneda and Hideo Fujiwara, "Area overhead and test time co-optimization through noc bandwidth sharing," IEEE 16th Asian Test Symposium (ATS' 07), pp.459-462, Oct. 2007. 査読有
- ⑥ Danella Zhao, Ronghua Huang, Tomokazu Yoneda, and Hideo Fujiwara, "Power-aware multi-frequency heterogeneous SoC test framework design with floor-ceiling packing," 2007 IEEE International Symposium on Circuits and Systems (ISCAS 2007), pp.2942-2945, May 2007. 査読有
- ⑦ Fawnizu Azmadi Hussin, Tomokazu Yoneda and Hideo Fujiwara, "Optimization of noc wrapper design under bandwidth and test time constraints," The IEEE European Test Symposium 2007 (ETS' 07), pp.35-40, May 2007. 査読有
- ⑧ Tomokazu Yoneda, Akiko Shuto, Hideyuki Ichihara, Tomoo Inoue and Hideo Fujiwara, "TAM design and optimization for transparency-based soc test," IEEE 25th VLSI Test Symposium (VTS' 07), pp.381-386, May 2007. 査読有
- ⑨ Thomas Edison Yu, Tomokazu Yoneda, Danella Zhao and Hideo Fujiwara, "Using domain partitioning in wrapper design for IP cores under power constraints," IEEE 25th VLSI Test Symposium (VTS' 07), pp.369-374, May 2007. 査読有
- ⑩ Fawnizu Azmadi Hussin, Tomokazu Yoneda, Alex Orailoglu, and Hideo Fujiwara, "Core-Based Testing of Multiprocessor System-on-Chips Utilizing Hierarchical Functional Buses," 12th Asia and South Pacific

Design Automation Conference 2007 (ASP-DAC' 07), pp.720-725, Jan. 2007. 査読有

- ⑪ Tomokazu Yoneda, Masahiro Imanishi and Hideo Fujiwara, "An SoC Test Scheduling Algorithm using Reconfigurable Union Wrappers," Design, Automation and Test in Europe (DATE' 07), pp.231-236, Apr. 2007. 査読有
- ⑫ Fawnizu Azmadi Hussin, Tomokazu Yoneda, Alex Orailoglu and Hideo Fujiwara, "Power-constrained SOC test schedules through utilization of functional buses," 24th IEEE International Conference on Computer Design (ICCD' 06), pp.230-236, Oct. 2006. 査読有

6. 研究組織

(1) 研究代表者

米田 友和 (YONEDA TOMOKAZU)

奈良先端科学技術大学院大学・情報科学研究科・助教

研究者番号：20359871