

平成 21 年 4 月 27 日現在

研究種目：若手研究(B)
研究期間：平成 18 年度 ～平成 20 年度
課題番号：18700047
研究課題名(和文) 非同期式回路を対象とした動作合成・最適化手法に関する研究

研究課題名(英文)

研究代表者 齋藤 寛(Hiroshi Saito)
会津大学コンピュータ理工学部 准教授

研究者番号：50361671

研究成果の概要：

本研究では、制約のある C 言語記述より、東データ方式による非同期式回路の論理設計を自動合成する動作合成手法を提案した。また、提案手法をベースとした設計支援 CAD プロトタイプをプログラミング言語 JAVA を用いて開発した。このため、非同期式回路の設計手法を熟知していない設計者でも、扱える C 言語の構文と合成される回路モデルさえ理解すれば、非同期式回路を容易に実現することが可能である。

交付額

(金額単位：円)

	直接経費	間接経費	合計
18 年度	1,400,000	0	1,400,000
19 年度	1,200,000	0	1,200,000
20 年度	900,000	270,000	1,170,000
年度			
年度			
総計	3,500,000	270,000	3,770,000

研究分野：総合領域

科研費の分科・細目：情報学・計算機システム・ネットワーク

キーワード：非同期式回路 動作合成

1. 研究開始当初の背景

半導体素子の微細化技術が進むにつれて、クロック信号をチップ全体に分配して計算や通信を行う同期式回路では、クロック信号の供給に伴うスキュー、消費電力、電磁波干渉などの問題が顕著となる。そのため、要求仕様を満たす回路を実現するには、設計の上で相当の工夫や改良が必要になると予想される。一方、事象の因果関係に基づいて動作する非同期式回路は、クロック信号を用いないことから、クロック信号にまつわる問題が起こらない。そのため、同期

式回路と比べ、高信頼、低消費電力な回路を実現することが期待できる。国際半導体技術ロードマップ(ITRS)でも65nm以降の設計では、通信や信頼性を中心に、非同期式回路設計の必要性を示している。

しかしながらこうした利点とは裏腹に、クロック信号を用いないことにより、設計、検証、テストが、同期式回路の場合と比べ困難である。特に設計においては、ハザード(予期せぬ信号遷移。同期式回路の場合、次のクロック信号遷移までに正しい値が得られれば問題とならない。)のない回路が要求され、

熟練の設計者でもない限り、正しく動作し、なおかつ性能の良い非同期式回路を設計するのは極めて困難である。こうした問題を解決するためには、非同期式回路の設計自動化が必須である。

2. 研究の目的

本研究の全体構想は、非同期式回路の実用化を支援する設計支援CADシステムのプロトタイプを実現することにある。実現において核心となる部分は、C言語によって記載されたアプリケーションの動作仕様より、設計制約を満たす最適な束データ方式による非同期式回路の論理設計を自動合成する手法（動作合成手法）の提案と、プログラミング言語を用いた提案手法の実装である。報告者のこれまでの研究より、CADプロトタイプの基礎となる部分はほぼ実装が完成した。そこで、以下の2項目を目的として研究を行った。

- i. 仕様の規模を考慮した既存手法の改良と新規合成手法の提案、並びに性能・コスト最適化手法の提案
- ii. 扱える構文の拡張

3. 研究の方法

初年度（平成18年度）は、CADプロトタイプの基礎となる部分（演算スケジューリング、資源割り当て、制御合成）を、プログラミング言語JAVAを用いて統合し、プロトタイプを開発した。

二年目（平成19年度）は、CADプロトタイプで扱えるC言語構文を拡張した。一つは制御構造（条件分岐や繰り返し）、一つは配列、もう一つは浮動小数点演算である。制御構造に関しては、合成手法を拡張し、CADプロトタイプに実装し、性能や回路面積の面で評価を行った。配列と浮動小数点演算に関しては、合成手法の拡張を検討した。

最終年度（平成20年度）は、配列や浮動小数点を扱えるよう合成手法を拡張し、性能や回路面積の評価を行った。なお、CADプロトタイプへの統合はまだ完了していない。次に、スループット向上のための、パイプライン化である。時間制約や入力データインターバル制約のもと、回路面積が最適となるようパイプライン回路を自動合成する。なお、この手法の評価とCADプロトタイプへの統合は今後の課題である。

4. 研究成果

提案手法をベースとした設計支援CADプロトタイプの構築により、制約のあるC言語

記述より、束データ方式による非同期式回路の論理設計を自動生成することができる。このため、非同期式回路の設計手法を熟知していない設計者でも、扱えるC言語の構文と合成される回路モデルさえ理解すれば、非同期式回路を容易に実現することが可能である。また、画像処理やフィルタなどに使われるベンチマークを合成し、合成された回路における回路面積や性能の評価を行い、ベンチマークや制約によっては同期式回路より優れていることを示した。なお、Application of concurrency to system design (ACSD2008) という国際会議で、CADプロトタイプのデモも行った。

今後は、プロトタイプへの統合が完了していない、配列、浮動小数点、パイプライン化を統合する。最終的には、構築したCADプロトタイプをwebに公開する予定である。

5. 主な発表論文等

（研究代表者、研究分担者及び連携研究者には下線）

〔雑誌論文〕（計 2 件）

Naohiro Hamada, Yuuki Shiga, Takao Konishi, Hiroshi Saito, Tomohiro Yoneda, Chris Myers, Takashi Nanya, "A Behavioral Synthesis System for Asynchronous Circuits with Bundled-data Implementation", IPSJ Transaction on System LSI Design Methodology, vol. 2, pp. 64-79, 2009.

Hiroshi Saito, Naohiro Hamada, Tomohiro Yoneda, Chris Myers, Takashi Nanya, "Scheduling Methods for Asynchronous Circuits with Bundled-Data Implementations Based on the Approximation of Start Times", IEICE Transaction, vol. E90-A, no. 12, pp. 2, 790-2, 799, 2007.

〔学会発表〕（計 3 件）

Naohiro Hamada, Yuuki Shiga, Hiroshi Saito, Tomohiro Yoneda, Chris Myers, Takashi Nanya, "A Behavioral Synthesis System for Asynchronous Circuits with Bundled-data Implementation (tool paper)", 8th International Conference on Application of Concurrency to System Design, pp. 50-55, June 2008.

Takao Konishi, Naohiro Hamada, Hiroshi Saito, "A Control Circuit Synthesis Method for Asynchronous Circuits in Bundled-Data Implementation", International Conference on Compute and Information

Technology, pp.847--852, October 2007.

Hiroshi Saito, Nattha Jindapetch, Tomohiro Yoneda, Cris Myers, Takashi Nanya, "ILP-Based Scheduling for Asynchronous Circuits in Bundled-Data Implementation", International Conference on Compute and Information Technology, September 2006.

[図書] (計 件)

[産業財産権]

○出願状況 (計 件)

名称 :

発明者 :

権利者 :

種類 :

番号 :

出願年月日 :

国内外の別 :

○取得状況 (計◇件)

名称 :

発明者 :

権利者 :

種類 :

番号 :

取得年月日 :

国内外の別 :

[その他]

ホームページ等

6. 研究組織

(1) 研究代表者

齋藤 寛 (Hiroshi Saito)

研究者番号 : 50361671

(2) 研究分担者

()

研究者番号 :

(3) 連携研究者

()

研究者番号 :

