

令和 4 年 6 月 13 日現在

機関番号：82108

研究種目：基盤研究(B) (一般)

研究期間：2018～2021

課題番号：18H01482

研究課題名(和文)原子薄膜半導体による超低消費電力トンネルトランジスタの開発

研究課題名(英文)Low power consumption tunnel FETs in two-dimensional materials

研究代表者

中払 周 (NAKAHARAI, Shu)

国立研究開発法人物質・材料研究機構・国際ナノアーキテクトニクス研究拠点・主幹研究員

研究者番号：90717240

交付決定額(研究期間全体)：(直接経費) 13,500,000円

研究成果の概要(和文)：情報処理における消費電力を大きく削減すると期待されるトンネルトランジスタを2次元物質で構成し、そのデバイス動作実証を行った。チャネル層に遷移金属ダイカルコゲナイド系半導体材料であるニテルル化モリブデンを、絶縁層に六方晶窒化硼素をそれぞれ用いて、金属電極として白金とニッケルを並列して設置する特殊な構成を用いた。これらの金属の仕事関数の違いを利用することで、n型/p型領域を2つの独立したゲート電極による電界ドーピング法で形成した。2つのゲートに印加するバイアスの極性を調整して、デバイスを流れる電流を観測することで、バンド間トンネリングが生じていることを確認した。

研究成果の学術的意義や社会的意義

本研究は、将来の高度な情報社会における情報処理において消費される総電力量を抑制することに繋げることを意図したものである。現在のシリコンに立脚した半導体技術では、将来のIoT技術を含む高度な情報社会でのデータ処理における総消費電力量の劇的な増大に対処できない。そこで、新しい材料として2次元物質を導入することでこの莫大になり続ける消費エネルギーの問題に対処しようとしている。本研究ではその新しい材料による情報処理におけるいくつかの課題に対処しようとするものであり、将来の新しい技術開発を一步進める成果を得るに至った。

研究成果の概要(英文)：Tunnel transistors on two-dimensional materials were fabricated, in which the power consumption in data processing expected to be reduced, and their transistor operation was demonstrated. A semiconductor of transition metal dichalcogenides was used in the channel, and hexagonal boron nitride layer was used in the dielectric layer. For the source/drain electrodes, platinum and nickel were placed in parallel to form a hybrid contact structure to realize injection of both electrons and holes from both source and drain contacts. The difference of the work function in these two metals were utilized to realize electrostatic doping to form n- and p-type regions in a single transistor device which were controlled by two independent gate electrodes. Band-to-band tunneling current was detected in the drain current of this device by tuning the polarity of two gate electrodes.

研究分野：電子工学

キーワード：トランジスタ バンド間トンネリング 2次元物質 遷移金属ダイカルコゲナイド

1. 研究開始当初の背景

現代の情報社会においては、世界中で処理される総情報量の爆発的増大が今後も継続すると考えられているが、これらの情報の処理を行うにあたって消費される総エネルギー量も同様に爆発的な増大を続けている。従って情報処理デバイスでの消費電力抑制は喫緊の課題である。その対応策の一つとして、個々のトランジスタの動作電圧を低減することが非常に重要であるのだが、トランジスタサイズの縮小によるスケール則が破綻しつつあり、個々のトランジスタの動作電圧が下げられないのが現状である。これらの動作電圧の問題の起源は、短チャネル効果と総称される効果であり、ゲート電界のチャネルに対する支配力の低下、ドーパントのばらつきが顕著になることに起因する閾値のばらつき、更には熱励起に起因するSS(subthreshold swing)値の下限の存在等も同様に動作電圧低減への制限となっている。これらの問題に対して、トンネルトランジスタは動作電圧を劇的に下げられる技術と期待されてきたが、一方でバンド間トンネルによる電流駆動力が非常に弱く、その結果、情報処理能力を大きく劣化させてしまうことが問題である。

2. 研究の目的

上記の課題に対応するためには、トンネルトランジスタのバンド間トンネリングを増大させる必要があるが、バンド間トンネリングはトンネル長に指数関数的に影響される。従って、トンネル長をできるだけ短くすることが重要であるが、このトンネル長はチャネル膜厚とゲート絶縁膜厚が薄いほど有利となる。この点では、数ナノメートル程度まで薄膜化されたシリコンチャネルでは伝導特性が極端に劣化することが知られているため、原子レベルまで薄膜化された半導体チャネルの必要性が認識されてきた。そこで、本研究では、原子レベルで平坦かつ均一な膜厚のチャネルとなり得る半導体材料として、遷移金属ダイカルコゲナイドと、ゲート絶縁膜として同じく2次元物質である六方晶窒化硼素(hBN)を用いる。こうすることで、駆動電流値の増大が原理的に見込まれるため、将来のトンネルトランジスタの材料として検討がなされている。一方で、これらの遷移金属ダイカルコゲナイド系の半導体材料では、金属電極との間で形成されるショットキー接合の特性制御に課題がある。これは金属電極のフェルミ準位が半導体のバンドギャップ内のある準位に固定(ピンニング)されることで、金属電極からチャネルに電荷を注入する場合に大きなショットキー障壁が立ち上がることになる。大部分の遷移金属ダイカルコゲナイド系半導体材料の場合、フェルミ準位ピンニングが伝導帯端付近にピンニングされるため、正孔の注入が非常に難しい。我々はこの問題を解決する可能性のある材料として二硫化モリブデンに着目し、金属種によるフェルミ準位ピンニングの状態を探索したところ、同類の他の材料とはことなり、一部の金属に対してフェルミ準位ピンニングの効果が弱いことを見出した(参考文献1)。具体的には、比較的仕事関数の大きい白金を電極に用いることで、正孔を注入可能であること、従ってp型のトランジスタが容易に形成できることを見出している。本研究ではこの結果を適用することで、トンネルトランジスタに必要なp型部分を形成して2次元物質のトンネルトランジスタの動作を実証する。

3. 研究の方法

本研究では、単一の2次元物質の半導体シートをチャネルとしたトンネルトランジスタを形成しその動作を実証するが、特にトンネルトランジスタに必要なp型領域とn型領域を、ゲート電極による静電ドーピングで形成する。こうすることで、各領域の自由電荷の極性を電気的に変更可能となり、トランジスタ形成に必要な不純物ドーピングを回避することができる。その結果、ドーパントの半導体表面上でのマイグレーション、脱離といった問題が解消するのに加えて、微細加工の精度も向上する。更には、ゲート電圧を調整することでトランジスタの構成を変更することが可能であり、これは将来的には再構成可能(reconfigurable)なトランジスタの実現につながる。ここで、局所ゲートを作製するにおいては様々な問題が生じるが、とりわけゲート電極とソース・ドレイン電極との位置関係は重要である。即ち、2次元物質のチャネルの同じ側にこれらの電極を形成すると、ショットキー接合へのゲート電界の制御が弱まることが想定された。そのため、ゲート電極と

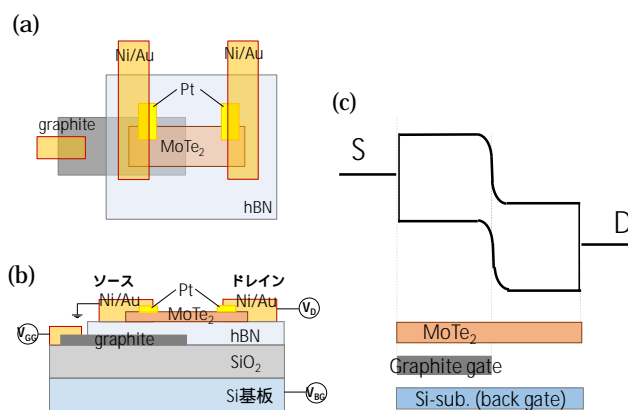


図1. 作製したトンネルトランジスタの概念図。半導体チャネルの半分が埋め込みのグラファイトゲートで制御され、残り半分がバックゲートで制御される。Pt電極部分が正孔の注入に、Ni電極部分が電子の注入に使われる、異種電極を並列したハイブリッドコンタクト構造である。これらの注入特性はゲート電界によって制御される。(a) 上面から見た図。(b) 側面から見た図。(c) バンド図と各ゲートの位置関係。

ース・ドレイン電極はチャンネルのシートの表裏に互いに反対側に設置することが望ましいとの結論に達し、2種類のゲート電極をともにチャンネルの裏面側に形成し、ソース・ドレイン電極をチャンネルの表面側に形成することにした。このようなデバイス構造が可能になるのも2次元物質の利点の一つである。また、埋め込みの局所ゲートが生じる段差を低減するために、埋め込みゲート電極として数層のグラファイトを用いることにした。これらのような要求を満たすデバイス構造は図1に示す。

4. 研究成果

本研究課題が目指すデバイス形成するために、ドライ転写法により積層した2次元物質の各層をシリコン基板上に積層した(図2)。ここでMoTe₂は5層程度、hBNは上下ともに10nm程度の厚さであり、285nmの熱酸化膜を有するシリコン基板上に作製した。このMoTe₂のフレークの両脇のhBNからはみ出している部分にPt/Niのハイブリッドコンタクトを図1(a)(b)に示す位置に配置している。ここでは、ゲートによる正バイアスの静電制御でバンドがフェルミ準位に対して押し下げられた場合、Niの部分がn型のコンタクトとして機能し電子を注入する。ここではNiのフェルミ準位は半導体の伝導帯近くにピンニングされている。逆に、負バイアスの静電制御はバンドを持ち上げるが、この場合はPt部分がp型のコンタクトとして機能して正孔を出し入れすることができる。即ち、Ptのフェルミ準位が半導体の荷電子帯端付近にピンニングされている。これらのような2つの独立したゲートによる静電制御での極性操作とハイブリッドコンタクトの効果によって、n型とp型の領域の様々な組み合わせが可能になった。このような新しいタイプのトンネルトランジスタの動作は図3に示す。ここではまずバックゲートバイアス(V_{BG})の極性によって、局所(グラファイト)ゲートバイアス(V_{GG})に対するトランジスタ動作の挙動が異なる。バックゲート電圧が正の場合、グラファイトゲートのない領域のチャンネルはn型となり、コンタクトのNi部分が電子を出し入れする。この時、グラファイトゲートの電圧が正の場合、チャンネル全体がn型となり大きな電流が生じる一方で、負の電圧を印加したグラファイトゲート下はp型となり、この場合、チャンネル中央部にトンネル接合が形成され、p型部分からn型部分に電子がトンネルしてn型領域をドレインまで伝導すると同時に、生成した正孔がソースまで駆動されるトンネル電流が生じていることが図3(a)から見て取れる。ここで、チャンネルで生成した正孔はソースのPtコンタクト部分から排出される。一方で、バックゲート電圧が負の場合、グラファイトゲート電圧が同じく負の場合にチャンネル全体がp型となって電流が生じる。逆にグラファイトゲート電圧が正の場合はドレイン側がp型となるが、この場合チャンネルのバンドギャップとドレイン電圧(1V)で生じるポテンシャル差がほぼ同程度になるため、僅かに電流が生じている。このデバイスでは得られた電流値が期待されたものよりも小さかったが、これはコンタクト部分の接触抵抗に起因すると考えられる。チャンネル層を転写する際にポリマー表面に付着させて各層をピックアップして積層し、最後に基板上にドロップするが、この過程でチャンネル層のコンタクト部分がポリマーに接したまま積層工程

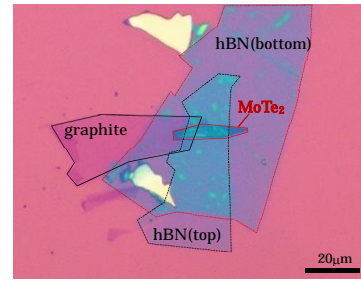


図2. シリコン基板上に積層した試料の光学顕微鏡像。グラファイトが最下層にあって埋め込みゲートを構成し、その上にMoTe₂がhBNに表裏を挟まれて貼り付けてある。MoTe₂の左右両脇が表面に露出していて、ここに金属電極を形成した。

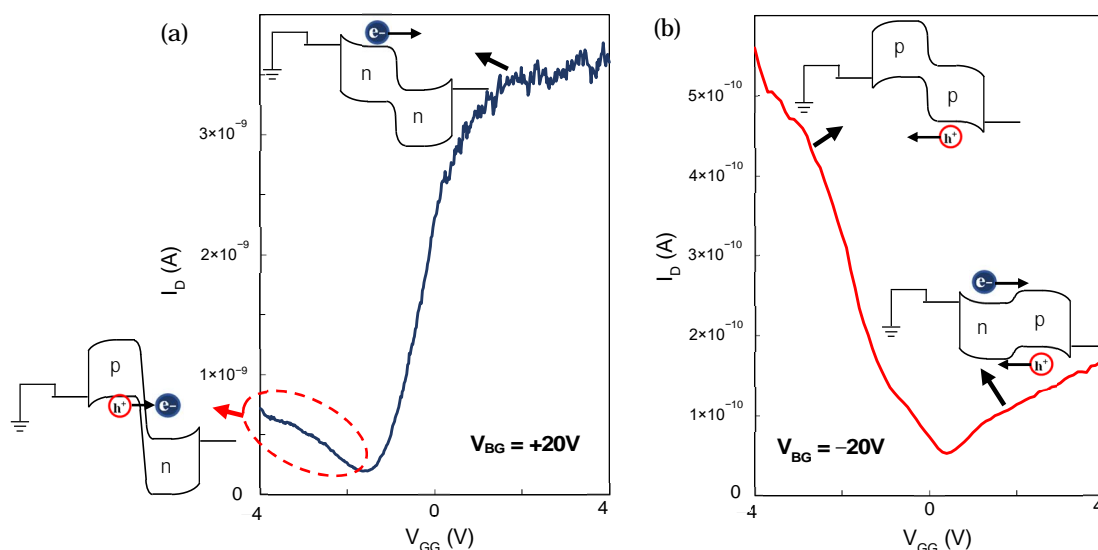


図3. 作製したデバイスのトランジスタ動作。ドレイン電圧は+1V。(a)バックゲート(V_{BG})が正バイアスの場合。グラファイトの局所ゲート(V_{GG})が負バイアスの場合に素子のソース側がp型となって、バンド間トンネリングを生じる。逆に局所ゲートが正バイアスの場合はチャンネル全体がn型となり通常のオン電流となる。(b)バックゲート(V_{BG})が負バイアスの場合。局所ゲートが負バイアスの場合にチャンネル全体がp型となり電流が生じる。逆に局所ゲートが正バイアスの場合は順方向のダイオードとなって電流が生じる。

を行うため、ポリマー残渣がショットキー接合内に残留し易い。この問題の回避が今後の課題ではあるが、将来的にCVD法等での大規模な清算の際には別の工程を取ることが考えられるため、ポリマー残渣の問題は本質的な障害ではない。しかし、本研究課題の技術を今後更に発展させていくためには、この問題を回避して駆動電流の向上の効果を確認していくこと、更に静電ドーピングの効果を増大させていくこと等が求められる。

参考文献 1 . S.Nakaharai, *et al.*, ACS Applied Materials & Interfaces **8**, p.14732 (2016).

5. 主な発表論文等

〔雑誌論文〕 計5件（うち査読付論文 5件/うち国際共著 0件/うちオープンアクセス 0件）

1. 著者名 Mukherjee Bablu, Hayakawa Ryoma, Watanabe Kenji, Taniguchi Takashi, Nakaharai Shu, Wakayama Yutaka	4. 巻 7
2. 論文標題 ReS ₂ /h BN/Graphene Heterostructure Based Multifunctional Devices: Tunneling Diodes, FETs, Logic Gates, and Memory	5. 発行年 2020年
3. 雑誌名 Advanced Electronic Materials	6. 最初と最後の頁 2000925 ~ 2000925
掲載論文のDOI (デジタルオブジェクト識別子) 10.1002/aelm.202000925	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 Zulkefli Amir, Mukherjee Bablu, Sahara Ryoji, Hayakawa Ryoma, Iwasaki Takuya, Wakayama Yutaka, Nakaharai Shu	4. 巻 13
2. 論文標題 Enhanced Selectivity in Volatile Organic Compound Gas Sensors Based on ReS ₂ -FETs under Light-Assisted and Gate-Bias Tunable Operation	5. 発行年 2021年
3. 雑誌名 ACS Applied Materials & Interfaces	6. 最初と最後の頁 43030 ~ 43038
掲載論文のDOI (デジタルオブジェクト識別子) 10.1021/acсами.1c10054	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 Mukherjee Bablu, Zulkefli Amir, Watanabe Kenji, Taniguchi Takashi, Wakayama Yutaka, Nakaharai Shu	4. 巻 30
2. 論文標題 Laser Assisted Multilevel Non Volatile Memory Device Based on 2D van der Waals Few Layer ReS ₂ /h BN/Graphene Heterostructures	5. 発行年 2020年
3. 雑誌名 Advanced Functional Materials	6. 最初と最後の頁 2001688 ~ 2001688
掲載論文のDOI (デジタルオブジェクト識別子) 10.1002/adfm.202001688	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 Zulkefli Amir, Mukherjee Bablu, Hayakawa Ryoma, Iwasaki Takuya, Nakaharai Shu, Wakayama Yutaka	4. 巻 14
2. 論文標題 Light Assisted and Gate Tunable Oxygen Gas Sensor Based on Rhenium Disulfide Field Effect Transistors	5. 発行年 2020年
3. 雑誌名 physica status solidi (RRL) - Rapid Research Letters	6. 最初と最後の頁 2000330 ~ 2000330
掲載論文のDOI (デジタルオブジェクト識別子) 10.1002/pssr.202000330	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Zulkefli Amir、Mukherjee Bablu、Iwasaki Takuya、Hayakawa Ryoma、Nakaharai Shu、Wakayama Yutaka	4. 巻 60
2. 論文標題 Gate-bias tunable humidity sensors based on rhenium disulfide field-effect transistors	5. 発行年 2020年
3. 雑誌名 Japanese Journal of Applied Physics	6. 最初と最後の頁 SBBH01 ~ SBBH01
掲載論文のDOI (デジタルオブジェクト識別子) 10.35848/1347-4065/abd2a0	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

〔学会発表〕 計3件 (うち招待講演 1件 / うち国際学会 2件)

1. 発表者名 中払周
2. 発表標題 2次元物質の新しいエレクトロニクス応用
3. 学会等名 プラズマ材料科学第153委員会 第154回研究会 (招待講演)
4. 発表年 2022年

1. 発表者名 A. Zulkefli, B. Mukherjee, R. Sahara, R. Hayakawa, T. Iwasaki, Y. Wakayama, S. Nakaharai
2. 発表標題 Effect of Light Illumination towards Enhanced Selectivity of Volatile Organic Compound Gas Sensor using a Single-Device ReS2 FET
3. 学会等名 International Conference on Solid State Devices and Materials (国際学会)
4. 発表年 2021年

1. 発表者名 A. Zulkefli, B. Mukherjee, T. Iwasaki, R. Hayakawa, S. Nakaharai, Y. Wakayama
2. 発表標題 Gate-Bias Assisted Humidity Sensor based on ReS2 Field-Effect Transistors
3. 学会等名 International Conference on Solid State Devices and Materials (国際学会)
4. 発表年 2020年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
--	---------------------------	-----------------------	----

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------