

令和 3 年 5 月 31 日現在

機関番号：14301

研究種目：基盤研究(A)（一般）

研究期間：2018～2020

課題番号：18H03779

研究課題名（和文）半絶縁性SiCの物性・欠陥解明とイオン注入による相補型ロバストJFETの作製

研究課題名（英文）Clarification of physical properties in semi-insulating SiC wafers and fabrication of complimentary junction field-effect transistors

研究代表者

木本 恒暢 (Tsunenobu, Kimoto)

京都大学・工学研究科・教授

研究者番号：80225078

交付決定額（研究期間全体）：（直接経費） 34,200,000円

研究成果の概要（和文）：高温動作可能な集積回路を目指して、SiC半導体を用いた相補型素子に関する基礎研究を実施した。まず、半絶縁性SiCの高温における電子物性とフェルミ準位を決定した。次に、SiC結晶に存在する貫通転位は、室温～500 Kの範囲でpn接合の特性に影響を与えないことを明らかにした。半絶縁性SiC基板へのイオン注入によって横型サイドゲート接合型電界効果トランジスタ(JFET)を作製し、n、pチャネルJFETともに良好なノーマリオフ特性を達成した。このn-、p-JFETを組み合わせることで、相補型SiC JFET (CJFET)インバータを世界で初めて作製し、室温～300 Kにおいて良好な動作を実証した。

研究成果の学術的意義や社会的意義

Si集積回路の進展は著しく、エレクトロニクス社会の根幹を支えるハードウェアとなっているが、Siの物性限界により、250 K以上の高温や放射線下で安定に動作する集積回路を作製することは困難である。高温動作に関しては、エンジン、ボイラー等の燃焼炉制御、資源（石油など）採掘など、放射線環境動作に関しては、原子炉モニター、宇宙探査などの応用があり、根強いニーズがある。本研究を通じて、SiC半導体の高温電子物性を明らかにでき、さらに低消費電力の相補型トランジスタ(CJFET)の室温～300 K動作を実証した。本研究により、SiC CJFETを用いた耐環境動作集積回路の基盤を築くことができた。

研究成果の概要（英文）：SiC is a promising wide bandgap semiconductor for integrated circuits (ICs) operational under harsh environment such as high temperature. In this study, basic subjects on the SiC material, especially semi-insulating SiC, for IC applications and fabrication of SiC-based complimentary junction field-effect transistors (CJFETs), which we proposed, have been investigated. Based on several studies on ion implantation and device designing to avoid short-channel effects, a world-first SiC CJFET inverter has been demonstrated. The SiC CJFET inverter consisting of normally-off n- and p-channel JFETs exhibited good characteristics with very low static power consumption at a power-supply voltage as low as 1.4 V.

研究分野：半導体工学

キーワード：炭化珪素 半絶縁性基板 イオン注入 電界効果トランジスタ 耐環境素子

1. 研究開始当初の背景

Si 集積回路の進展は著しく、エレクトロニクス社会の根幹を支えるハードウェアとなっている。しかしながら、Si の物性限界により、250 以上の高温や放射線下で安定に動作する集積回路を作製することは困難である。高温動作に関しては、エンジン、ボイラー等の燃焼炉制御、資源(石油など)採掘など、放射線環境動作に関しては、原子炉モニター、宇宙探査などの応用があり、根強いニーズがある。

炭化珪素(SiC)は化学結合が強く、バンドギャップの広い半導体であり、本質的に耐熱性や耐放射線特性に優れる。SiC は高品質で大口径ウェハが広く市販され、イオン注入により n 型、p 型の伝導性制御が可能である。この特徴を活用すれば、n チャネルおよび p チャネル接合型電界効果トランジスタ(JFET)で構成する相補型素子(CJFET: 研究代表者が提案、図 1) を作製可能である。厳環境動作が期待される SiC 相補型集積回路であるが、材料科学およびデバイス物理の両面において多くの学術的課題が山積している。中でも重要な学術的課題として、以下の項目が挙げられる。半絶縁性 SiC ウェハが市販されているが、半絶縁性を支配する深い準位、点欠陥の起源、およびフェルミ準位の位置が不明である。半絶縁性 SiC へのイオン注入により形成した n 型、p 型領域の電子物性や生じる欠陥に関する学術的知見が極めて乏しい。SiC ウェハ中に存在する転位が高温動作デバイスの性能と信頼性に与える影響に関する知見がほぼ皆無である。SiC 集積回路自体がほとんど研究されておらず、集積化や相補型素子に適したデバイス構造が未開拓である。高温、放射線照射下における SiC 素子の劣化モードに関する学術的知見がほとんどない状況である。

SiC 半導体の分野では、研究代表者らの研究成果を基にパワーデバイスの開発が進展し、SiC ショットキー障壁ダイオードとパワー MOSFET (耐圧 1kV 級) の電源、太陽電池用パワーコン、電車等への搭載が進んでいる。しかしながら、現在、SiC 半導体の研究開発は電力用パワーデバイスに特化されており、将来の SiC 集積回路に向けた基礎研究は極めて少ない。特に材料科学やデバイス物理など、学理に着目した SiC 集積回路の基礎研究は皆無である。

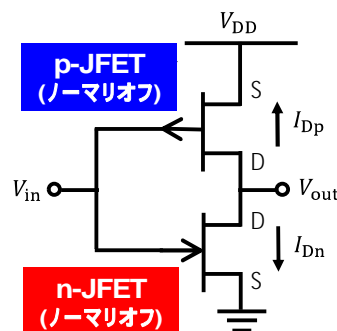


図 1 相補型 JFET(CJFET)の回路構成

2. 研究の目的

本研究では、特に高温で安定に動作する集積回路を目指して、SiC 相補型素子に関連する材料科学とデバイス物理の基盤確立を目指す。具体的な研究目的は以下の通りである。

- (1) 半絶縁性 SiC の電子物性および欠陥物理の解明
 - (2) SiC 結晶に存在する転位が電子デバイスの高温動作に与える影響解明
 - (3) SiC 相補型 JFET に関するデバイス物理の体系化と独自構造デバイスの原理実証
- いずれも SiC 半導体の材料科学とデバイス物理に関わる学術的要素を含む研究となっている。

3. 研究の方法

(1) 半絶縁性 SiC の電子物性の解明

半絶縁性 SiC ウェハが市販されているが、半絶縁性を支配する深い準位(トラップ)や、その起源は未知である。そこで本研究では、SiC の半絶縁性を支配する深い準位を調べるために、半絶縁性 SiC 基板に特殊なコンタクト構造を設けることにより、Hall 効果測定を行った。約 900K までの超高温 Hall 効果測定を行うことにより、抵抗率やキャリア密度の温度依存性を調べた。

(2) SiC 結晶に存在する転位が電子デバイスの高温動作に与える影響解明

半絶縁性 SiC 基板へのイオン注入によって、pn 接合ダイオードを作製し、その電気的特性を広い温度範囲で調べた。一方、フォトルミネセンス(PL)イメージングにより SiC ウェハ内の転位の位置と種類を特定し、pn 接合ダイオードの耐圧やリーク電流との相関を明らかにした。

(3) SiC 相補型 JFET に関するデバイス物理の体系化と独自構造デバイスの原理実証

まず、半絶縁性 SiC へのイオン注入により形成した n 型層、p 型層の電子物性を Hall 効果測定により評価した。次に、SiC 相補型 JFET の基本特性をシミュレーションにより計算し、相補型素子を作製する上で重要なノーマリオフ特性を得るための条件を明らかにした。特に、独自の横型ダブルゲート構造を採用することにより、従来構造に比べてノーマリオフ動作を維持しながら、高いドレイン電流と相互コンダクタンスが得られることを実証する。

4. 研究成果

(1) 半絶縁性 SiC の電子物性の解明

半絶縁性 SiC 基板の電子物性を解明するために、様々な試料を作製し、高温 Hall 効果やショットキー障壁の C-V 特性の解析を行った。デバイス作製を想定して、様々な高温熱処理も施したが、半絶縁性 SiC 基板は非常に抵抗が高く、室温 ~ 450 (723K) の範囲では電気的測定が困難であった。そこで、500 (773K) 以上の温度範囲で抵抗率測定や Hall 効果測定を行った。

熱処理や熱酸化処理によって若干、キャリア密度や抵抗率が変化するものの、773-923K の高温でも十分高い抵抗率を示すこと (図 2) および半絶縁性を支配する欠陥準位は伝導帯底から約 1.6 eV (ミッドギャップ) に存在することがわかった。また、この半絶縁性は 1700 の高温 Ar アニールや 1400 の高温熱酸化を施しても維持されるので、SiC CJFET 集積回路を作製する基板として有用であることがわかった。このように、デバイス作製を考慮した半絶縁性 SiC 基板の評価は本研究が初めてである。

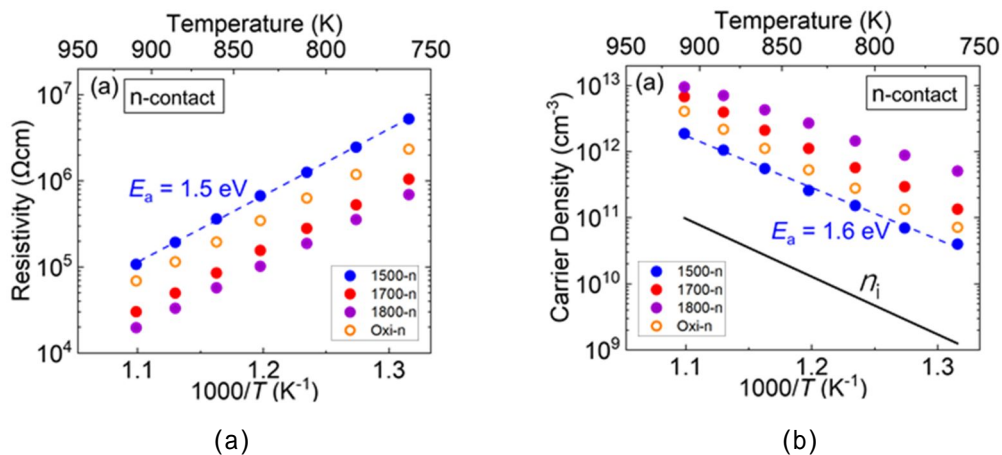


図2 半絶縁性 SiC 基板の (a) 抵抗率、(b) キャリア密度の温度依存性

(2) SiC 結晶に存在する転位が電子デバイスの高温動作に与える影響解明

半絶縁性 SiC 基板へのイオン注入によって、pn 接合ダイオードを作製し、その電気的特性を広い温度範囲で調べた。適切な活性化アニールを施して作製した pn 接合は、良好な整流性を示し、その耐圧は SiC の衝突イオン化係数から計算される理想耐圧にほぼ等しい (理想耐圧の 95% 以上) ことがわかった。また、作製した pn 接合のリーク電流は測定系のノイズレベル (10^{-8} A/ cm^2) に近いこともわかった。PL イメージングにより SiC 基板内に存在する転位の種類 (貫通せん転位、貫通刃状転位、混合転位) と位置を調べ、pn 接合ダイオードの特性との相関を調べたが、室温から 500 の範囲で、耐圧、リーク電流いずれの観点でも転位による悪影響は確認されなかった。つまり、SiC ではこれらの転位がキラ欠陥として作用しないことが判明した。これは、SiC の真性キャリア密度が極めて小さく (Si に比べて 10 桁以上低い) 欠陥を介したキャリア生成率が小さいことが原因と考えられる。つまり、広禁制帯幅半導体である SiC は欠陥耐性が高く、貫通転位は 500 の高温でもキラ欠陥にならないと言える。

(3) SiC 相補型 JFET に関するデバイス物理の体系化と独自構造デバイスの原理実証

半絶縁性 SiC 基板に P, Al イオンを注入して注入層の電気的性質を調べた。注入層のドーピング密度は、JFET のチャンネル領域を想定して、 $10^{17} \sim 10^{18}$ cm^{-3} の範囲で変化させた。約 1650 の

高温熱処理を施すことによって 95%以上というほぼ完全な電氣的活性化率が得られること、および注入層の移動度は電子、正孔ともに SiC エピタキシャル成長層の移動度と遜色ないことを明らかにした。次に、このイオン注入技術を用いて、独自の横型ダブルゲート構造を有する n チャンネルおよび p チャンネル JFET を作製し、両 JFET で室温から 400 の温度範囲でノーマリオフ特性（しきい値電圧：n-JFET: +1.32 V、p-JFET: - 0.68 V）を達成した（図 3）。温度が上昇すると、pn 接合の拡散電位が若干減少するので、JFET のしきい値電圧の絶対値は温度上昇と共に小さくなったが、その変化は高々 0.2V 程度であり、集積回路動作の上では十分に許容範囲である。なお、作製した JFET のゲート特性から得られるサブスレッシュヨルド特性の傾きは室温で 61 mV/decade であり、理想特性（60 mV/decade）に近い値が得られた。

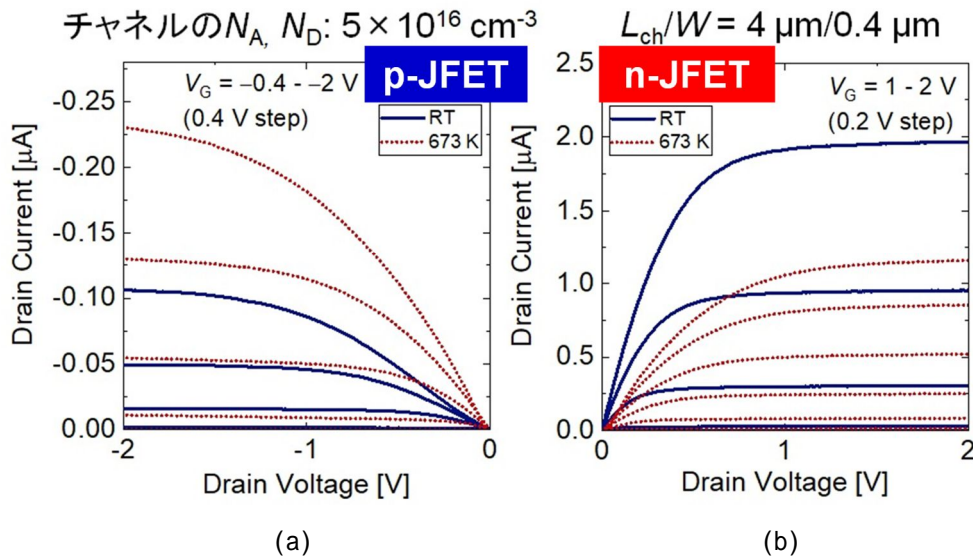


図 3 半絶縁性 SiC 基板へのイオン注入により作製した横型ダブルゲート JFET のドレイン特性. (a) p チャンネル JFET、(b) n チャンネル JFET

FET の研究ではチャンネル長の微細化が性能向上に最も有効である。しかし、チャンネル長を短くしすぎると、半導体材料に関わらず短チャンネル効果が発現して FET 特性を悪化させる。そこで、チャンネル長とチャンネル厚を変化させた SiC JFET (n チャンネル、p チャンネル両方) を作製し、特性を解析して短チャンネル効果の発現条件の見極めを行った。一例として、ドレイン誘起障壁低下係数 ($\gamma_s = -\Delta V_T/\Delta V_D$) の L/a 比依存性を図 4 に示す (L : チャンネル長、 a : チャンネル厚)。短チャンネル効果を抑制するためには、 L/a 比 > 3 となるチャンネルを形成する必要があることが判明した。並行してチャンネル内の空乏層およびポテンシャル分布を求める解析モデルによって実験結果(ドレイン誘起障壁低下やサブスレッシュヨルド領域の傾き)を定量的に再現できることを明らかにした。SiC JFET において短チャンネル効果を調べた報告はなく、本知見は将来の微細 SiC CJFET 設計・作製時の重要な指針となる。

SiC JFET のしきい値電圧の精密制御を行う上で重要な注入イオンの横方向拡がりを複数の方法により調べた。具体的には、ゲート領域形成に用いる Al イオン注入 (n チャンネル JFET 作製時) P イオン注入 (p チャンネル JFET 作製時) の注入イオンの横方向拡がりを電子顕微鏡、走査型容量顕微鏡、および JFET 特性の解析の 3 種類の方法により調べ、いずれの方法においても横方向拡がりが 0.3 ~ 0.4 μm (注入エネルギーや結晶方位に依存) であることを明らかにした (表 1、表 2)。SiC において注入イオンの横方向拡がりを実験的に決定したのは、本研究が初めてであり、JFET に限らず微細 SiC デバイス設計、作製時に必須の重要な知見を得た。

最後に、上記のノーマリオフ型の n チャンネル、p チャンネル SiC JFET を組み合わせることで、相補型 SiC JFET (CJFET) インバータを世界で初めて作製し、室温から 300 の温度範囲において動作を実証した (図 5)。CJFET インバータは室温 ~ 300 で良好な動作を示し、SiC CJFET を用いた耐環境動作集積回路の基盤を築くことができた。

表 1 注入 Al イオンの横方向拡がりの定量結果

Implanted atoms		Al		
Method	$\Delta a_{[1\bar{1}00]}$ (nm)	$\Delta a_{[11\bar{2}0](up)}$ (nm)	$\Delta a_{[11\bar{2}0](down)}$ (nm)	
Threshold-voltage analysis	0.4	0.4	0.4	
SEM	0.5	0.5	0.5	
SCM	0.33	0.28	0.38	

表 2 注入 P イオンの横方向拡がりの定量結果

Implanted atoms		P		
Method	$\Delta a_{[1\bar{1}00]}$ (nm)	$\Delta a_{[11\bar{2}0](up)}$ (nm)	$\Delta a_{[11\bar{2}0](down)}$ (nm)	
Threshold-voltage analysis	0.4	0.4	0.4	
SEM	0.5	0.4	0.6	
SCM	0.38 ± 0.02	0.25	0.40	

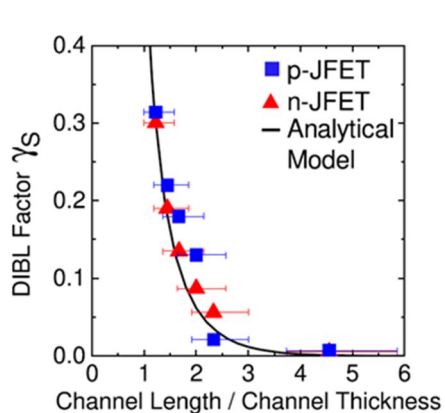


図 4 SiC JFET のドレイン誘起障壁低下係数の L/a 比依存性 (印：実験、線：数値計算)

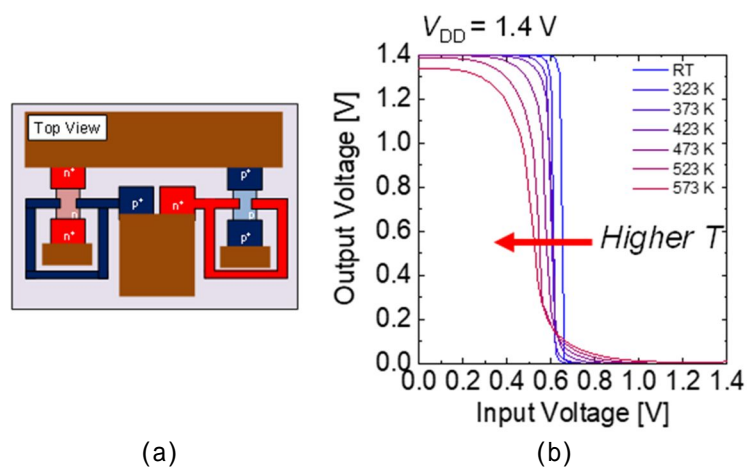


図 5 半絶縁性 SiC へのイオン注入で作製した SiC 相補型 JFET インバータ (a) 上面模式図、(b) インバータ特性

5. 主な発表論文等

〔雑誌論文〕 計14件（うち査読付論文 14件 / うち国際共著 0件 / うちオープンアクセス 2件）

1. 著者名 M. Nakajima, M. Kaneko and T. Kimoto	4. 巻 40
2. 論文標題 Normally-off 400 operation of n- and p-JFETs with a side-gate structure fabricated by ion implantation into a high-purity semi-insulating SiC substrate	5. 発行年 2019年
3. 雑誌名 IEEE Electron Device Letters	6. 最初と最後の頁 866-869
掲載論文のDOI（デジタルオブジェクト識別子） 10.1109/LED.2019.2910598	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 K. Ito, T. Kobayashi, and T. Kimoto	4. 巻 58
2. 論文標題 Influence of vacuum annealing on interface properties of SiC (0001) MOS structures	5. 発行年 2019年
3. 雑誌名 Japanese Journal of Applied Physics	6. 最初と最後の頁 78001
掲載論文のDOI（デジタルオブジェクト識別子） 10.7567/1347-4065/ab2557	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 S. Asada, J. Suda, and T. Kimoto	4. 巻 66
2. 論文標題 Demonstration of conductivity modulation in SiC bipolar junction transistors with reduced base spreading resistance	5. 発行年 2019年
3. 雑誌名 IEEE Transactions on Electron Devices	6. 最初と最後の頁 4870-4874
掲載論文のDOI（デジタルオブジェクト識別子） 10.1109/TED.2019.2941884	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 M. Kaneko, U. Grossner, and T. Kimoto	4. 巻 963
2. 論文標題 SiC Vertical-Channel n- and p-JFETs Fully Fabricated by Ion Implantation	5. 発行年 2019年
3. 雑誌名 Materials Science Forum	6. 最初と最後の頁 841-844
掲載論文のDOI（デジタルオブジェクト識別子） 10.4028/www.scientific.net/MSF.963.841	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 M. Hara, S. Asada, T. Maeda, and T. Kimoto	4. 巻 13
2. 論文標題 Forward thermionic field emission transport and significant image force lowering caused by high electric field at metal/heavily-doped SiC Schottky interfaces	5. 発行年 2020年
3. 雑誌名 Applied Physics Express	6. 最初と最後の頁 41001
掲載論文のDOI (デジタルオブジェクト識別子) 10.35848/1882-0786/ab7bcd	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 M. Kaneko and T. Kimoto	4. 巻 39
2. 論文標題 High-temperature operation of n- and p-channel JFETs fabricated by ion implantation into a high-purity semi-insulating SiC substrate	5. 発行年 2018年
3. 雑誌名 IEEE Electron Device Letters	6. 最初と最後の頁 723-726
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/LED.2018.2822261	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 S. Asada, J. Suda and T. Kimoto	4. 巻 57
2. 論文標題 Analytical formula for temperature dependence of resistivity in p-type 4H-SiC with wide-range doping concentrations	5. 発行年 2018年
3. 雑誌名 Japanese Journal of Applied Physics	6. 最初と最後の頁 88002
掲載論文のDOI (デジタルオブジェクト識別子) 10.7567/JJAP.57.088002	査読の有無 有
オープンアクセス オープンアクセスとしている(また、その予定である)	国際共著 -

1. 著者名 S. Asada, J. Suda and T. Kimoto	4. 巻 65
2. 論文標題 Determination of surface recombination velocity from current-voltage characteristics in SiC p-n diodes	5. 発行年 2018年
3. 雑誌名 IEEE Transactions on Electron Devices	6. 最初と最後の頁 4786-4791
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/TED.2018.2867545	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 T. Kobayashi, J. Suda, and T. Kimoto	4. 巻 12
2. 論文標題 Reduction of interface state density in SiC (0001) MOS structures by low-oxygen-partial-pressure annealing	5. 発行年 2019年
3. 雑誌名 Applied Physics Express	6. 最初と最後の頁 31001
掲載論文のDOI (デジタルオブジェクト識別子) 10.7567/1882-0786/ab032b	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 T. Kimoto	4. 巻 58
2. 論文標題 Updated trade-off relationship between specific on-resistance and breakdown voltage in 4H-SiC(0001) unipolar devices	5. 発行年 2019年
3. 雑誌名 Japanese Journal of Applied Physics	6. 最初と最後の頁 18002
掲載論文のDOI (デジタルオブジェクト識別子) 10.7567/1347-4065/aae896	査読の有無 有
オープンアクセス オープンアクセスとしている(また、その予定である)	国際共著 -

1. 著者名 Kaneko M., Chi X., Kimoto T.	4. 巻 67
2. 論文標題 Tunneling Current in 4H-SiC p-n Junction Diodes	5. 発行年 2020年
3. 雑誌名 IEEE Transactions on Electron Devices	6. 最初と最後の頁 3329 ~ 3334
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/TED.2020.3001909	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Kimoto Tsunenobu, Watanabe Heiji	4. 巻 13
2. 論文標題 Defect engineering in SiC technology for high-voltage power devices	5. 発行年 2020年
3. 雑誌名 Applied Physics Express	6. 最初と最後の頁 120101 ~ 120101
掲載論文のDOI (デジタルオブジェクト識別子) 10.35848/1882-0786/abc787	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Kaneko M., Nakajima M., Jin Q., Kimoto T.	4. 巻 67
2. 論文標題 Experimental Study on Short-Channel Effects in Double-Gate Silicon Carbide JFETs	5. 発行年 2020年
3. 雑誌名 IEEE Transactions on Electron Devices	6. 最初と最後の頁 4538 ~ 4540
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/TED.2020.3017143	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Hara Masahiro, Kaneko Mitsuaki, Kimoto Tsunenobu	4. 巻 60
2. 論文標題 Nearly Fermi-level-pinning-free interface in metal/heavily-doped SiC Schottky structures	5. 発行年 2021年
3. 雑誌名 Japanese Journal of Applied Physics	6. 最初と最後の頁 SBBD14 ~ SBBD14
掲載論文のDOI (デジタルオブジェクト識別子) 10.35848/1347-4065/abe3d8	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

〔学会発表〕 計23件 (うち招待講演 12件 / うち国際学会 23件)

1. 発表者名 T. Kimoto
2. 発表標題 SiC power devices: Overview, defect electronics, and reliability
3. 学会等名 2019 IEEE Int. Reliability Physics Symposium (招待講演) (国際学会)
4. 発表年 2019年

1. 発表者名 T. Kimoto
2. 発表標題 Growth and defect reduction of SiC for low-loss power devices
3. 学会等名 2nd Nucreation and Growth Research Conference (招待講演) (国際学会)
4. 発表年 2019年

1. 発表者名 T. Kimoto
2. 発表標題 Progress and future challenges of SiC power devices
3. 学会等名 Cambridge Power Electronics Colloquium 2019 (招待講演) (国際学会)
4. 発表年 2019年

1. 発表者名 T. Kimoto, T. Kobayashi, K. Tachiki, and K. Ito
2. 発表標題 Promise and future challenges of SiC power MOSFETs
3. 学会等名 International Conference on Insulating Films on Semiconductors 2019 (招待講演) (国際学会)
4. 発表年 2019年

1. 発表者名 K. Tachiki and T. Kimoto
2. 発表標題 Reduction of interface states in 4H-SiC/SiO ₂ near both conduction and valence band edges by high-temperature nitrogen annealing
3. 学会等名 International Conference on Silicon Carbide and Related Materials 2019 (国際学会)
4. 発表年 2019年

1. 発表者名 K. Ito, T. Kobayashi, and T. Kimoto
2. 発表標題 Interface state density distributions near the conduction band edge originating from the conduction band fluctuation in SiO ₂ /SiC systems
3. 学会等名 International Conference on Silicon Carbide and Related Materials 2019 (招待講演) (国際学会)
4. 発表年 2019年

1 . 発表者名 M. Nakajima, Q. Jin, M. Kaneko, and T. Kimoto
2 . 発表標題 Experimental study on short-channel effects in side-gate SiC JFETs
3 . 学会等名 International Conference on Silicon Carbide and Related Materials 2019 (国際学会)
4 . 発表年 2019年

1 . 発表者名 M. Hara, S. Asada, T. Maeda, and T. Kimoto
2 . 発表標題 Forward thermionic field emission current and barrier height lowering in heavily-doped 4H-SiC Schottky barrier diodes
3 . 学会等名 International Conference on Silicon Carbide and Related Materials 2019 (国際学会)
4 . 発表年 2019年

1 . 発表者名 C. Koo, M. Kaneko, and T. Kimoto
2 . 発表標題 Impacts of high-temperature annealing and thermal oxidation on electrical properties of high-purity semi-insulating 4H-SiC substrates grown by HTCVD
3 . 学会等名 International Conference on Silicon Carbide and Related Materials 2019 (国際学会)
4 . 発表年 2019年

1 . 発表者名 K. Kanegae, T. Okuda, M. Horita, J. Suda, and T. Kimoto
2 . 発表標題 Depth profiles of deep levels generated by ICP-RIE in 4H-SiC
3 . 学会等名 International Conference on Silicon Carbide and Related Materials 2019 (国際学会)
4 . 発表年 2019年

1 . 発表者名 M. Kaneko, A. Tsibizov, T. Kimoto, and U. Grossner
2 . 発表標題 Breakdown characteristics of lateral PIN diodes fully fabricated by ion implantation into HTCVD-grown high-purity semi-insulating SiC substrate
3 . 学会等名 International Conference on Silicon Carbide and Related Materials 2019 (国際学会)
4 . 発表年 2019年

1 . 発表者名 C. Koo, M. Kaneko, and T. Kimoto
2 . 発表標題 Resistivity of high-purity semi-insulating 4H-SiC substrates
3 . 学会等名 9th Asia-Pacific Workshop on Widegap Semiconductors (国際学会)
4 . 発表年 2019年

1 . 発表者名 M. Nakajima, Q. Jin, M. Kaneko, and T. Kimoto
2 . 発表標題 Impacts of channel length on electrical characteristics in side-gate SiC JFETs
3 . 学会等名 9th Asia-Pacific Workshop on Widegap Semiconductors (国際学会)
4 . 発表年 2019年

1 . 発表者名 T. Kimoto, X. Chi, Y. Zhao, H. Niwa, and M. Kaneko
2 . 発表標題 Breakdown phenomena in high- and low-voltage SiC devices
3 . 学会等名 Materials Research Meeting 2019 (招待講演) (国際学会)
4 . 発表年 2019年

1. 発表者名 T. Kimoto and M. Kaneko
2. 発表標題 Progress and future challenges of SiC power devices for energy efficiency
3. 学会等名 12th Int. Symp. on Advanced Plasma Sci. & Its Applications for Nitrides and Nanomaterials (招待講演) (国際学会)
4. 発表年 2020年

1. 発表者名 M. Nakajima, M. Kaneko, and T. Kimoto
2. 発表標題 400 operation of normally-off n- and p-JFETs with a side-gate structure fabricated by ion implantation into a high-purity semi-insulating SiC substrate
3. 学会等名 European Conf. on Silicon Carbide and Related Materials 2018 (招待講演) (国際学会)
4. 発表年 2018年

1. 発表者名 T. Kobayashi, K. Tachiki, K. Ito, Y. Matsushita, T. Kimoto
2. 発表標題 Reduction of interface state density in SiC (0001) MOS structures by very-low-oxygen-partial-pressure annealing
3. 学会等名 European Conf. on Silicon Carbide and Related Materials 2018 (国際学会)
4. 発表年 2018年

1. 発表者名 M. Kaneko, U. Grossner, and T. Kimoto
2. 発表標題 SiC vertical-channel n- and p-JFETs fully fabricated by ion implantation
3. 学会等名 European Conf. on Silicon Carbide and Related Materials 2018 (国際学会)
4. 発表年 2018年

1. 発表者名 T. Kimoto, A. Iijima, S. Yamashita, and H. Niwa
2. 発表標題 Defect electronics in SiC for high-voltage power devices
3. 学会等名 4th Intensive Discussion on Growth of Nitride Semiconductors (招待講演) (国際学会)
4. 発表年 2018年

1. 発表者名 T. Kimoto
2. 発表標題 Defect electronics in SiC for high-voltage power devices and future prospects
3. 学会等名 KIEEME-Silicon Carbide Conference (招待講演) (国際学会)
4. 発表年 2019年

1. 発表者名 T. Kimoto and M. Kaneko
2. 発表標題 Progress and Future Prospects of High-Voltage SiC Power Devices
3. 学会等名 2020 Int. Symp. on VLSI Technology, Systems and Applications (招待講演) (国際学会)
4. 発表年 2020年

1. 発表者名 Q. Jin, M. Nakajima, M. Kaneko, and T. Kimoto
2. 発表標題 Lateral spreads of Al and P atoms implanted into a high-purity semi-insulating SiC substrate
3. 学会等名 2020 Int. Conf. on Solid State Devices and Materials (国際学会)
4. 発表年 2020年

1. 発表者名 T. Kimoto, T. Kobayashi, K. Tachiki, K. Ito, and M. Kaneko
2. 発表標題 Progress and Future Challenges of SiC Power MOSFETs
3. 学会等名 5th IEEE Electron Devices Technology and Manufacturing Conference 2021 (招待講演) (国際学会)
4. 発表年 2021年

〔図書〕 計0件

〔出願〕 計1件

産業財産権の名称 SiC相補型電界効果トランジスタ	発明者 金子光顕、木本恒暢	権利者 同左
産業財産権の種類、番号 特許、特願2020-104834	出願年 2020年	国内・外国の別 国内

〔取得〕 計0件

〔その他〕

-

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
研究 分 担 者	西 佑介 (Yusuke Nishi) (10512759)	京都大学・工学研究科・助教 (14301)	

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------