

科学研究費助成事業 研究成果報告書

令和 3 年 6 月 16 日現在

機関番号：32644

研究種目：基盤研究(C) (一般)

研究期間：2018～2020

課題番号：18K04244

研究課題名(和文) 電荷捕獲膜のトラップ準位のエネルギー分布制御に関する研究

研究課題名(英文) Control of the energy distribution of trap levels in the charge trapping films

研究代表者

小林 清輝 (Kobayashi, Kiyoteru)

東海大学・工学部・教授

研究者番号：90408005

交付決定額(研究期間全体)：(直接経費) 3,300,000円

研究成果の概要(和文)：(a)フラッシュメモリの高性能化を目的として、シリコン窒化膜に深い欠陥準位を形成できる元素の探索を行った。内部に不純物元素を含む γ -Si₃N₄結晶のエネルギーバンドについて第一原理計算を行い、MnとVが、 γ -Si₃N₄の禁制帯に3d軌道に起因する欠陥準位を生じることを見出した。次に、Mnをドーブした窒化膜からなるメモリ素子を作製し、Mnドーブによって、電子保持特性が僅かに向上すること及び、窒化膜内での正孔と電子の再結合が抑制できる可能性があることを示した。(b)窒化膜に捕獲された電子のエネルギー深さを求める方法及び、捕獲された正孔のチャージセントロイドと密度を決定する方法を新たに構築した。

研究成果の学術的意義や社会的意義

本研究の(a)によって、シリコン窒化膜を電荷捕獲膜とするフラッシュメモリの信頼性の向上と大容量化に対し、不純物元素(本研究ではMnとV)のドーブが有効な手段と成り得ることを見出した。この知見は、高性能フラッシュメモリの実現のための一つの技術指針を与えられられる。また、(b)で言及した二つの方法によって、不純物元素をドーブしたシリコン窒化膜や新規材料の電荷捕獲膜を開発する際に、電子トラップのエネルギー深さと正孔のチャージセントロイド、捕獲可能な最大の正孔密度を比較的容易に求めることが可能となる。これによって、高性能フラッシュメモリの開発を加速できる可能性がある。

研究成果の概要(英文)：(a) In order to improve the reliability and to increase the capacity of flash memories, we have searched for elements that can create deep defect levels in silicon nitride films. First-principles calculations were carried out on the energy band of γ -Si₃N₄ crystal containing an impurity element inside, and it was found that the 3d orbitals of Mn and V atoms generate defect levels in the forbidden band of the γ -Si₃N₄ crystal. Next, memory devices with Mn-doped silicon nitride films were fabricated. It was found that, in the memory devices, the electron retention characteristics at room temperature was slightly improved and the recombination of holes and electrons in the silicon nitride films might be suppressed.

(b) A novel method for determining the energy depth of electrons trapped in silicon nitride films and a method for determining the charge centroid and the density of trapped holes have been developed.

研究分野：半導体デバイス工学、電気電子材料工学

キーワード：不揮発性半導体メモリ フラッシュメモリ 電荷トラップ シリコン窒化膜

1. 研究開始当初の背景

情報を保存するストレージデバイスの中核であるフラッシュメモリにおいて、近年、シリコン窒化膜 (SiN_x 膜) を電荷捕獲層とするメモリセルを立体的に配列する 3 次元構造が用いられるようになった (図 1 を参照) [1,2]。この構造では、シリコン窒化膜に内在する点欠陥が窒化膜の禁制帯につくるトラップ準位に電子または正孔を捕獲させることで情報を記憶する [2]。フラッシュメモリにおいて重視される性能の一つにデータ保持時間があり、シリコン窒化膜のトラップ準位に捕獲された電子や正孔がメモリセルから失われると、記憶したデータが消失してしまう。この現象は 3 次元構造のフラッシュメモリの信頼性に関わる重大な問題となっている [2]。また、データ保持性能が近い将来のフラッシュメモリの大容量化を制約する一因となると考えられている。

トラップ準位に捕獲された電子の放出機構に関しては、高温ではトラップ準位からシリコン窒化膜の伝導帯への電子の熱励起が律速過程となる [3-6]。図 1 に示したデバイス構造ではシリコン窒化膜が上下のメモリセル

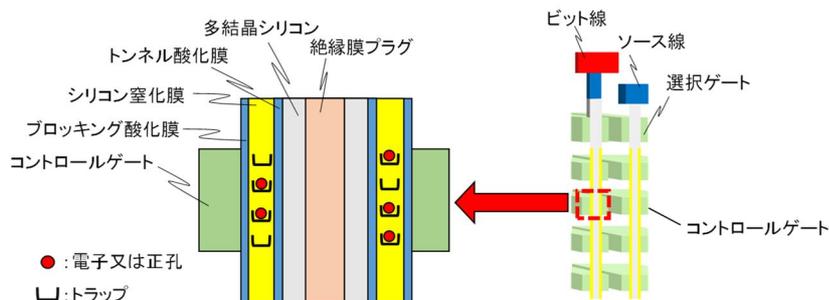


図 1 3次元構造フラッシュメモリとそのメモリセルの模式図

間で繋がっているため、伝導帯へ励起した電子が窒化膜中を上または下のメモリセルに移動して元のメモリセルから失われてしまう [7]。また低温では、電子がシリコン窒化膜のトラップ準位からトンネル効果によってトンネル酸化膜を透過して多結晶シリコンへ放出される機構が問題となる [6,7]。トラップ準位のエネルギー深さが浅い (伝導帯に近い) と電子の熱励起の確率が高くなり、加えて電子がトンネル効果によってトラップから放出される確率も高くなる。そのためデータ保持時間が短くなってしまふ。即ち、エネルギー準位が深いトラップを有し、浅いトラップ準位を持たないシリコン窒化膜または新たな電荷捕獲膜が必要である。

2. 研究の目的

本研究ではシリコン窒化膜に対し、その構成元素である Si と N 以外の元素をドーブした場合に窒化膜中に生じる点欠陥および点欠陥がつくる電荷トラップの性質について調べた。また、これらの元素をドーブしたシリコン窒化膜から成るメモリ素子の書き込み消去特性や電荷保持特性等を調べ、シリコン窒化膜に深いトラップを形成できる元素の探索を行った。

更に、シリコン窒化膜に捕獲された電子のエネルギー深さを求める方法および捕獲された正孔のチャージセントロイド (電荷重心) と密度を決定する方法の構築を行った。

3. 研究の方法

(1) まず、シリコン窒化膜を構成する元素である Si に比べて電気陰性度が低く d 軌道に不対電子を持つ Hf に着目し、このような特徴を持つ元素がシリコン窒化膜につくる欠陥準位について調べた。実験試料の作製に当たっては、シリコン基板表面に形成したシリコン酸化膜-シリコン窒化膜-シリコン酸化膜の三層膜に対し、Hf イオン注入を行い、シリコン窒化膜に Hf をドーブした。Hf イオン注入に先立って、モンテカルロシミュレーションにより窒化膜中に Hf イオンが留まるようにイオン注入エネルギーを 55 keV と決定した。Hf のドーブ量はメモリ素子のトラップ密度と同程度 ($3 \times 10^{13} \text{ cm}^{-2}$) とし、中電流イオン注入装置を使用した。Hf イオン注入を行った後、窒素雰囲気中で 600 °C 30 分間の熱処理を施した。その後、アルミニウムを用いてゲート電極を形成し、MONOS (Metal-Oxide-Nitride-Oxide-Semiconductor) キャパシタを作製した。MONOS キャパシタに対し、一定電圧を加えて電子または正孔を注入し、ゲート容量 - ゲート電圧 (C-V) 特性を測定することによって書き込み消去特性を調べ、更に、MONOS キャパシタの電荷保持特性の測定を行った。また、これらの実験と並行して、電子スピン共鳴法を用いてシリコン窒化膜にドーブした Hf がつくる点欠陥について調べ、更に第一原理計算によって Hf がつくる点欠陥の構造やエネルギー準位について検討した。

(2) シリコン窒化膜に深い欠陥準位を形成できる元素を探索するために、 $-\text{Si}_3\text{N}_4$ 結晶の Si を 5 種類の元素 (Mg, Ti, V, Mn, Al の金属元素) に置き換えた系について第一原理計算を行い、生成する欠陥準位について調べた。また、 $-\text{Si}_3\text{N}_4$ 結晶の N をハロゲン元素である Cl, F に置き換えた系についても同様の計算を行った。

(3) (2) で得られた結果に基づいて、シリコン窒化膜にドーブする元素として 3d 軌道に不対電子を有する Mn に注目し、Mn をドーブした窒化膜からなる MNOS (Metal-Nitride-Oxide-Semiconductor) キャパシタを作製した。Mn ドープ MNOS キャパシタの書き込み消去特性と電子と正孔の保持特性を測定し、ドーブした Mn の効果を調べた。

(4) 約 5 nm の厚さのシリコン酸化膜を有するシリコン窒化膜-シリコン酸化膜二層膜を用いて、電子トラップのエネルギー深さを求める方法を構築した。

(5) MONOS 型メモリ素子のブロッキング酸化膜を流れる Fowler-Nordheim (F-N) トンネル電流を解析することによって、高電圧印加時に電荷捕獲膜に捕獲される正孔のチャージセント

ロイドと最大の密度を求めることができる方法を構築した。

4. 研究の成果

(1) Hf をドープしたシリコン窒化膜について電子スピン共鳴測定を行った結果、窒化膜中に常磁性欠陥が生成したことが分かった[8]。次に、電荷保持特性測定により、Hf ドープ MONOS キャパシタの電子保持特性が、ドープしていない MONOS キャパシタに比べて著しく劣ることが分かった[9]。また、 $-\text{Si}_3\text{N}_4$ 結晶を構成する Si を Hf に置き換えた系について第一原理計算を行ったところ、Hf が Si_3N_4 の伝導帯下端の直下に浅い準位を形成することが分かった[10]。Hf ドープ試料における電子保持特性の低下に対し、Hf により形成された浅い欠陥準位が関与している可能性が示唆された。

(2) (1) の結果を踏まえて、シリコン窒化膜に深い欠陥準位を形成できる元素を探索するために、 $-\text{Si}_3\text{N}_4$ 結晶の Si を 5 種類の元素 (Mg, Ti, V, Mn, Al の金属元素) に置き換えた系について第一原理計算を行い、生成する欠陥準位について調べた。その結果、Mn と V の 3d 軌道が、 $-\text{Si}_3\text{N}_4$ 結晶の禁制帯に複数の欠陥準位をつくることを見出した[11-14]。Mn と V が $-\text{Si}_3\text{N}_4$ 結晶の格子間に位置する場合についても調べ、これらの原子が格子間に入った場合でも、禁制帯に 3d 軌道に起因する複数の欠陥準位が生じることを見出した。図 2 に、 $-\text{Si}_3\text{N}_4$ 結晶の 12 員環内に Mn 原子が位置する場合に $-\text{Si}_3\text{N}_4$ 結晶の禁制帯に生じた欠陥準位を示す。Mn の 3d 軌道に起因する欠陥準位が $-\text{Si}_3\text{N}_4$ 結晶の禁制帯に現れた。

一方、Mg, Ti, Al については深い準位の生成は確認できなかった[11,14]。また、 $-\text{Si}_3\text{N}_4$ 結晶の N をハロゲン元素である Cl, F に置き換えた系についても第一原理計算を行い、Cl, F が浅い準位を生じることが分かった。

これらの結果から、Mn と V をドープすることでシリコン窒化膜に欠陥準位を形成できる可能性があると考えられる。

(3) (2) で得られた計算結果に基づいて Mn に注目し、Mn イオンを注入したシリコン窒化膜からなる MNOS キャパシタを作製した。Mn イオン注入については幾つかの条件で実施したが、20 keV のエネルギーで 60° の斜めイオン注入により $3.0 \times 10^{13} \text{ cm}^{-2}$ の Mn イオンを約 30 nm の厚さのシリコン窒化膜に注入し、その後、窒素雰囲気中で 750 の熱処理を 30 分間行った試料から以下の結果が得られた。

まず、Mn ドープ MNOS キャパシタの書き込み特性と電子保持特性を測定し、ドープしていない MNOS キャパシタの特性と比較した。その結果、書き込み電圧 +20 ~ +25 V の条件で、Mn ドープ MNOS キャパシタにおいて比較的大きなフラットバンド電圧シフト V_{fb} が得られた。この理由は、Mn により窒化膜に電荷トラップが生成し、そのトラップが電子を捕獲したためと考えられる。

次に、Mn ドープ MNOS キャパシタとドープを行っていない MNOS キャパシタの室温における電子保持特性を比較した。図 3 にその実験結果の一部を示す。グラフの $f(t)$ は、書き込み直後の試料の $V_{fb} (=V_{fb}(0)-V_{fb,0})$ に対する保存時間 t における $V_{fb} (=V_{fb}(t)-V_{fb,0})$ の割合と定義しており、以下の式より求めた。

$$f(t) = \frac{V_{fb}(t) - V_{fb,0}}{V_{fb}(0) - V_{fb,0}}$$

ここで $V_{fb,0}$ は書き込み前のフラットバンド電圧である。Mn ドープ MNOS キャパシタでは、室温での電子保持特性が僅かに向上した。Mn ドープによって生成したトラップは、Mn ドープを施す前に存在していたトラップよりも深い準位を有する可能性がある。

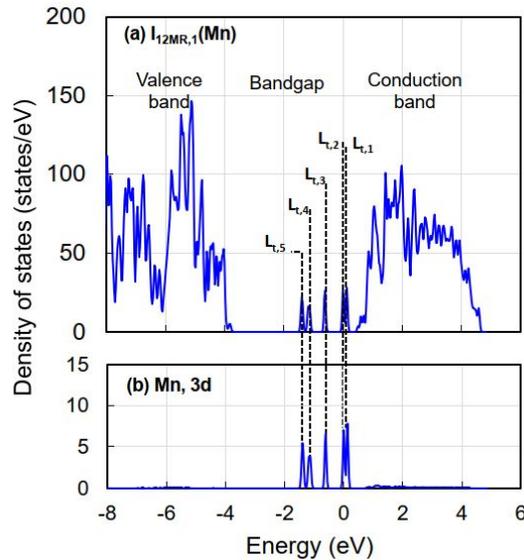


図 2 $-\text{Si}_3\text{N}_4$ 結晶の 12 員環内に Mn 原子が位置する場合に $-\text{Si}_3\text{N}_4$ の禁制帯に生じた欠陥準位。Mn の 3d 軌道に起因する欠陥準位が $-\text{Si}_3\text{N}_4$ 結晶の禁制帯に現れた。

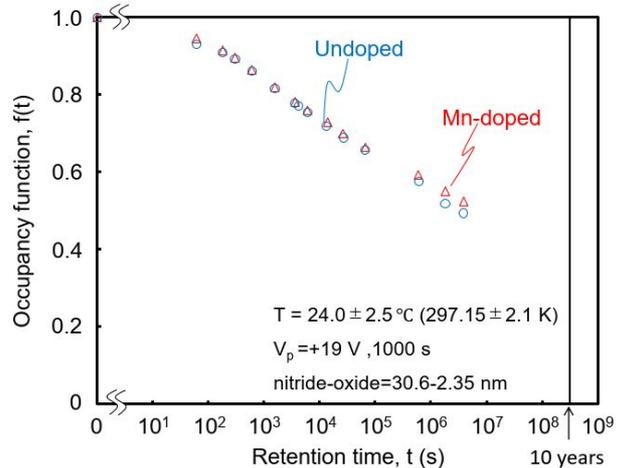


図 3 Mn ドープ MNOS キャパシタとドープを行っていない MNOS キャパシタの室温における電子保持特性の比較。 $f(t)$ と保存時間 t の関係。

次に、-14~-26 Vの電圧で消去を行ったところ、-22~-26 Vの消去電圧においては、Mn ドープ MNOS キャパシタの V_{fb} がドープを行っていない MNOS キャパシタに比べて小さかった。消去動作では、負ゲート電圧下でシリコン基板から窒化膜に注入された正孔が窒化膜のトラップに捕獲されて正電荷を形成し、フラットバンド電圧がシフトするが、同時にゲート電極から窒化膜に電子が注入される。-22~-26 Vの消去電圧において Mn ドープ MNOS キャパシタの V_{fb} が小さかった理由は、ゲート電極から注入された電子が Mn によって生成したトラップに捕獲され、比較的高密度の負電荷が窒化膜に形成されたためと考えられる。また、消去後の正孔保持特性を調べたところ、図 4 に示すように、-22~-26 Vの電圧で消去を行った Mn ドープ MNOS キャパシタの正孔保持特性は、ドープを行っていない MNOS キャパシタに比べて向上した。-22~-26 Vの消去電圧の場合、窒化膜に正孔と電子が捕獲されており、正孔と電子の再結合速度が正孔保持特性を左右すると考えられる。上記の消去電圧における Mn ドープ MNOS キャパシタの正孔保持特性の向上は、正孔と電子の再結合速度が低下したためと考えられる。但し、そのメカニズムの解明は今後の課題である。

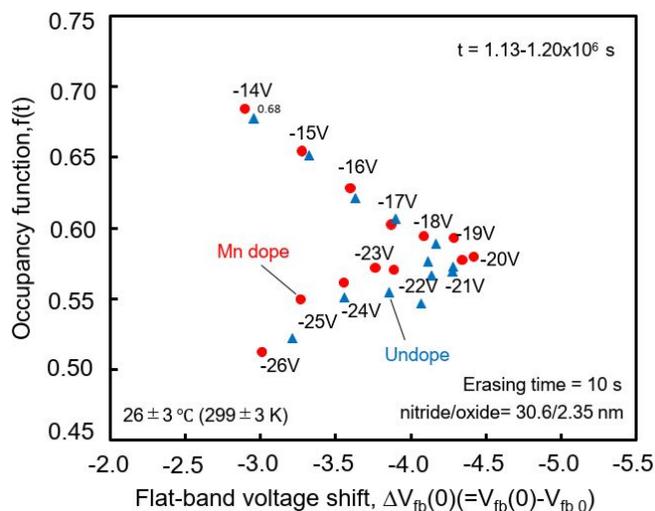


図 4 様々な電圧で消去を行った場合の正孔保持特性。Mn ドープ MNOS キャパシタとドープを行っていない MNOS キャパシタの室温における電子保持特性の比較。f(t)と保存時間 t の関係。

以上のように、シリコン窒化膜に対し 3d 軌道に不対電子を有する Mn を適切な条件でドープすることによって、電子保持特性の向上と、窒化膜内での正孔と電子の再結合の抑制が実現できる可能性が見出された。これらの結果は、シリコン窒化膜を電荷捕獲膜とするフラッシュメモリの信頼性の向上と大容量化に対し、一つの技術指針を与える。今後、Mn によって生成したトラップのエネルギー深さを測定するなど更なる研究を進める必要がある。また、3d 軌道に不対電子を有する他の元素の効果についても調べる必要がある。

(4) トラップに捕獲された電子が放出される際に必要なエネルギー（ここではエネルギー深さと呼ぶ）を調べる方法は幾つか提案されてきた[3-6]。しかし従来の方法は、捕獲された電子のエネルギー深さを決定するために、膜中の電子の平均自由行程やトラップの捕獲断面積、電子の有効質量など正確に決定することが難しい物理量を必要とした。トラップの特性を改善するために様々な形成条件でシリコン窒化膜や新規材料の電荷捕獲膜を作製しても、電子の平均自由行程等の諸量を正確に求めるために多大の時間と労力を要するため、それらのトラップのエネルギー深さを求め、比較することは困難であった。それゆえ、トラップに捕獲された電子のエネルギー深さを求める新たな方法が必要とされていた。

シリコン窒化膜を流れる伝導電流は正孔電流と電子電流からなると考えられている。また、正孔電流の方が支配的であると考えられている[15-19]。これまで、正孔電流の電界依存性と温度依存性を解析することで、正孔トラップのエネルギー深さを見積もることは可能であったが[20]、窒化膜を流れる電子電流の観測が困難であったため、伝導電流解析によって電子トラップのエネルギー深さを決定することは困難であった。図 5 に、アルミニウム-シリコン窒化膜-シリコン酸化膜-シリコン構造のエネルギーバンド模式図を示す。本研究では、図 5 の構造の窒化膜-酸化膜二層膜を流れる伝導電流の電界依存性と温度依存性について調べ、陽極と窒化膜の間に約 5 nm の厚さのシリコン酸化膜を設けることで陽極からの正孔注入を抑制でき、高温では電子電流を観測できることを確認した。更に、電子電流の解析を行い、電子トラップのエネルギー深さを決定した。

図 6 に、窒化膜-酸化膜二層膜 C2 と窒化膜単層膜 C1 の 20~300 K における J_g-1/T 特性を示した (J_g は伝導電流密度、T は絶対温度である)。二層膜 C2 の窒化膜と酸化膜の膜厚は、それぞれ 18.4 nm と 5.0 nm であり、単層膜 C1 の窒化膜の膜厚は 22.6 nm である。これらの窒化膜は同じ条件で同時に成膜された。二層膜 C2 と単層膜 C1 の伝導電流には強い温度依存

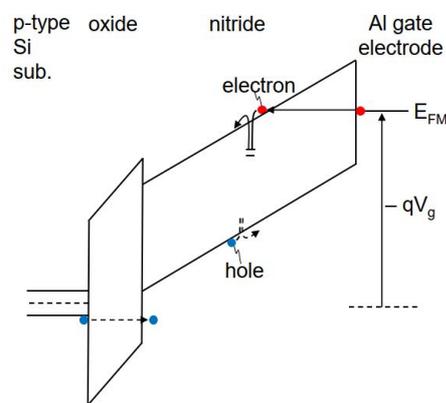


図 5 アルミニウム-シリコン窒化膜-シリコン酸化膜-シリコン構造のエネルギーバンド模式図。

性がある。C2 の J_g-1/T プロットの高温領域に対し Poole-Frenkel 伝導機構に基づいた解析を行い、電子のトラップ準位の深さは 1.3 eV と求められた。また、C1 についての実験結果から、正孔のトラップ準位の深さは 1.0 eV と求められた。これらの結果から、本実験で用いた窒化膜の電子トラップのエネルギー深さは、正孔トラップの深さより深いことが分かった。この結果は、窒化膜単層膜においては電子の伝導が深いトラップによって律速されることを意味しており、窒化膜の伝導電流において正孔電流が支配的となっていることと矛盾しない。

本研究では、電子トラップのエネルギー深さを求める方法を構築した。今後、この方法を(3)で用いた Mn ドープシリコン窒化膜に対して適用し、この膜中の電子トラップのエネルギー深さを決定することが今後の課題の一つである。

(5) MONOS 型メモリに捕獲された電子や正孔の密度を決定するためには、同時にチャージセントロイド(電荷重心)を求める必要がある。その方法として、定電流キャリア注入法や定電圧キャリア注入法が知られている[21,22]。しかしこれらの方法には、シリコン酸化膜-シリコン窒化膜-シリコン酸化膜三層膜に大きなリーク電流が流れる高電圧印加時に、チャージセントロイドを決定することができないという問題がある。本研究では、MONOS 型メモリ素子のブロッキング酸化膜を流れる F-N トンネル電流を解析することによって、高電圧印加時に電荷捕獲膜に捕獲される正孔のチャージセントロイドと最大の密度を求めることができる方法を構築した。

2.4 nm のトンネル酸化膜と 30.4 nm の窒化膜、17.2 nm のブロッキング酸化膜からなる三層膜にこの方法を適用し、フラットバンド電圧シフトが飽和した際に、正孔のチャージセントロイドがシリコン窒化膜-ブロッキング酸化膜界面から 2.8-3.0 nm の位置に達し、この実験で用いた窒化膜に捕獲できる最大の正孔密度が $1.0 \times 10^{13} / \text{cm}^2$ であることが分かった[23-27]。この方法は、電荷捕獲膜に捕獲できる最大の正孔密度を求めることを可能にし、新規な電荷捕獲膜の評価に有用である。今後、この方法を(3)で用いた Mn ドープシリコン窒化膜に対して適用し、この膜に捕獲できる最大正孔密度を決定することが一つの課題である。

<引用文献>

- [1] H. Tanaka *et al.*, 2007 Symposium on VLSI Technology, 14, 2007.
- [2] S. Inaba, Proceedings of 2018 IEEE Inter. Memory Workshop, 08388775, 2018.
- [3] L. Lundkvist *et al.*, Solid-State Electronics, 19, 221 (1976).
- [4] P.J. McWhorter *et al.*, J. Appl. Phys., 68, 1902 (1990).
- [5] Y. Wang and M. H. White, Solid-State Electronics, 49, 97 (2005).
- [6] A. Arreghini *et al.*, 52, 1460 (2008).
- [7] L. Liu *et al.*, Solid-State Electron. 116, 95 (2016).
- [8] R. Agrawal *et al.*, 第 83 回半導体・集積回路技術シンポジウム, P02, 2019.
- [9] R. Agrawal and K. Kobayashi, 第 80 回応用物理学会秋季学術講演会, 18p-PB2-2, 2019.
- [10] 新里健也, 小林清輝, 第 66 回応用物理学会春季学術講演会, 11a-PB2-5, 2019.
- [11] R. Agrawal and K. Kobayashi, ECS Transactions, 98, 65 (2020).
- [12] R. Agrawal and K. Kobayashi, 第 84 回半導体・集積回路技術シンポジウム, 2020.
- [13] R. Agrawal and K. Kobayashi, PRIME Meeting 2020, H06-2057, 2020.
- [14] R. Agrawal and K. Kobayashi, 第 81 回応用物理学会秋季学術講演会, 11a-Z10-9, 2020.
- [15] Z. A. Weinberg, Appl. Phys. Lett. 29, 617 (1976).
- [16] D. K. Schroder *et al.*, IEEE Trans. Electron Devices ED-26, 899 (1979).
- [17] E. Suzuki *et al.*, IEEE Trans. Electron Devices ED-36, 1145 (1989).
- [18] K. Kobayashi *et al.*, J. Electrochem. Soc. 139, 1693 (1992).
- [19] K. Kobayashi *et al.*, J. Electrochem. Soc. 142, 990 (1995).
- [20] S. M. Sze, J. Appl. Phys. 38, 2951 (1967).
- [21] S. R. A. Ahmed, K. Kato and K. Kobayashi, Mater. Sci. Semicond. Process. 70, 265 (2017).
- [22] S. Fujii *et al.*, Jpn. J. Appl. Phys. 49, 04DD06 (2010).
- [23] H. Mino and K. Kobayashi, AiMES 2018, D04-0746, 2018.
- [24] H. Mino and K. Kobayashi, NVMTS 2018, P-23, 2018.
- [25] H. Mino and K. Kobayashi, ECS Transactions 86, 23 (2018).
- [26] K. Kobayashi, ICANS28, Mo.Def.P8, 2019.
- [27] K. Kobayashi and H. Mino, Eur. Phys. J. Appl. Phys. 91, 10101 (2020).

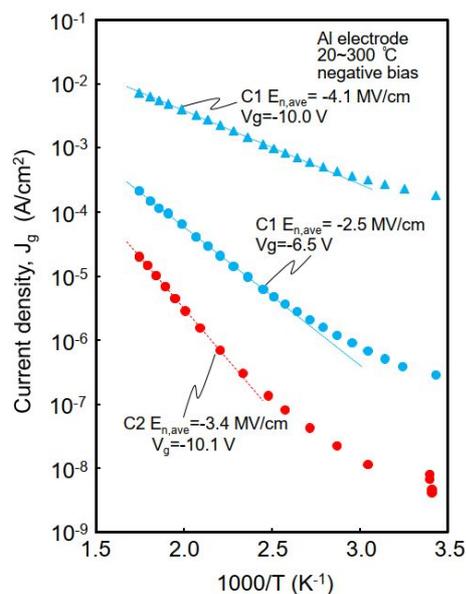


図6 窒化膜-酸化膜二層膜C2と窒化膜単層膜C1の20~300における J_g-1/T 特性。

5. 主な発表論文等

〔雑誌論文〕 計3件（うち査読付論文 3件 / うち国際共著 0件 / うちオープンアクセス 0件）

1. 著者名 Mino Hiroshi, Kobayashi Kiyoteru	4. 巻 86
2. 論文標題 Experimental Extraction of the Charge Centroid of Holes Trapped in Metal-Oxide-Nitride-Oxide-Semiconductor Memories	5. 発行年 2018年
3. 雑誌名 ECS Transactions	6. 最初と最後の頁 23-32
掲載論文のDOI（デジタルオブジェクト識別子） 10.1149/08603.0023ecst	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Rahul Agrawal and Kiyoteru Kobayashi	4. 巻 98
2. 論文標題 First-Principles Study of Defect Levels Caused by Transition Metal Atoms in Silicon Nitride for Non-Volatile Memory Applications	5. 発行年 2020年
3. 雑誌名 ECS Transactions	6. 最初と最後の頁 65-75
掲載論文のDOI（デジタルオブジェクト識別子） 10.1149/09808.0065ecst	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Kiyoteru Kobayashi and Hiroshi Mino	4. 巻 91
2. 論文標題 Hole trapping capability of silicon carbonitride charge trap layers	5. 発行年 2020年
3. 雑誌名 Eur. Phys. J. Appl. Phys.	6. 最初と最後の頁 10101-p1 - p7
掲載論文のDOI（デジタルオブジェクト識別子） 10.1051/epjap/2020190297	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

〔学会発表〕 計15件（うち招待講演 0件 / うち国際学会 4件）

1. 発表者名 Kiyoteru Kobayashi
2. 発表標題 Determination of Charge Centroid and Density of Holes Trapped in Metal-Oxide-Nitride-Oxide-Semiconductor-type Non-Volatile Memory Devices
3. 学会等名 28th International Conference on Amorphous and Nano-crystalline Semiconductors (ICANS) (国際学会)
4. 発表年 2019年

1. 発表者名 Rahul Agrawal, Takashi Kuroi, Naoya Matsuoka, Ayato Sakurai, Reo Mazaki, Koudai Nakamura, Akinari Okano, Riku Ito, and Kiyoteru Kobayashi
2. 発表標題 The effect of Hf-ion implantation on the charge trapping characteristics of MONOS-type memory devices
3. 学会等名 第83回半導体・集積回路技術シンポジウム
4. 発表年 2019年

1. 発表者名 Rahul Agrawal and Kiyoteru Kobayashi
2. 発表標題 The effect of Hf-ion implantation on the charge trapping characteristics of MONOS-type memory devices
3. 学会等名 第80回応用物理学会秋季学術講演会 講演予稿集
4. 発表年 2019年

1. 発表者名 新里 健也、小林 清輝
2. 発表標題 ハフニウムを添加したシリコン窒化膜の窒素原子空孔の欠陥準位
3. 学会等名 2019年第66回応用物理学会春季学術講演会
4. 発表年 2019年

1. 発表者名 美濃 暢、小林 清輝
2. 発表標題 トンネル電流解析によるMONOS型不揮発性メモリの捕獲正孔密度の決定
3. 学会等名 2019年第66回応用物理学会春季学術講演会
4. 発表年 2019年

1. 発表者名 H. Mino and K. Kobayashi
2. 発表標題 Determination of the Charge Centroid of Holes Trapped in MONOS-Type Memories at High Gate Voltages
3. 学会等名 18th Non-Volatile Memory Technology Symposium (NVMTS 2018) (国際学会)
4. 発表年 2018年

1. 発表者名 H. Mino and K. Kobayashi
2. 発表標題 Experimental Extraction of the Charge Centroid of Holes Trapped in Metal-Oxide-Nitride-Oxide-Semiconductor Memories
3. 学会等名 2018 ECS and SMEQ Joint International Meeting (AIMES 2018) (国際学会)
4. 発表年 2018年

1. 発表者名 新里 健也、小林 清輝
2. 発表標題 シリコン窒化膜の窒素原子空孔による欠陥準位の第一原理計算
3. 学会等名 第82回半導体・集積回路技術シンポジウム
4. 発表年 2018年

1. 発表者名 岸田拓朗、小林清輝
2. 発表標題 MONOS型不揮発性メモリの電子保持特性
3. 学会等名 第79回応用物理学会秋季学術講演会
4. 発表年 2018年

1. 発表者名 1050 熱処理において生成したシリコン窒化膜の常磁性欠陥 ()
2. 発表標題 山口真司、小林清輝
3. 学会等名 第79回応用物理学会秋季学術講演会
4. 発表年 2018年

1. 発表者名 美濃 暢、小林 清輝
2. 発表標題 高電圧で MONOS 型メモリに捕獲された正孔のチャージセントロイドの決定
3. 学会等名 第82回半導体・集積回路技術シンポジウム
4. 発表年 2018年

1. 発表者名 小林大泰、岸田拓朗、山口真司、小林清輝
2. 発表標題 N/Si 組成比が異なるシリコン窒化膜の紫外線照射後の伝導電流の変化
3. 学会等名 第82回半導体・集積回路技術シンポジウム
4. 発表年 2018年

1. 発表者名 Rahul Agrawal and Kiyoteru Kobayashi
2. 発表標題 First-Principles Calculations of Transition Metal Defects in Silicon Nitride Charge Trap Material
3. 学会等名 第84回半導体・集積回路技術シンポジウム
4. 発表年 2020年

1. 発表者名 Rahul Agrawal and Kiyoteru Kobayashi
2. 発表標題 First-Principles Study of Defect Levels Caused By Transition Metal Atoms in Silicon Nitride for Non-Volatile Memory Applications
3. 学会等名 Pacific Rim Meeting on Electrochemical and Solid-State Science 2020 (PRiME Meeting, 2020) (国際学会)
4. 発表年 2020年

1. 発表者名 Rahul Agrawal and Kiyoteru Kobayashi
2. 発表標題 First-Principles Calculations of Energy Levels in Metal-Doped Silicon Nitride for Charge Trap Memory Applications
3. 学会等名 第81回応用物理学会秋季学術講演会
4. 発表年 2020年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

東海大学 小林研究室 http://www.ei.u-tokai.ac.jp/lab/kkbys/index.html

6. 研究組織		
氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8 . 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------